



HAL
open science

Réalisation d'un système d'acquisition et d'un système de décodage de signaux acoustiques et sismiques

Évelyne Pougatch

► **To cite this version:**

Évelyne Pougatch. Réalisation d'un système d'acquisition et d'un système de décodage de signaux acoustiques et sismiques. Traitement du signal et de l'image [eess.SP]. 1986. dumas-00322976

HAL Id: dumas-00322976

<https://dumas.ccsd.cnrs.fr/dumas-00322976v1>

Submitted on 19 Sep 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

CONSERVATOIRE NATIONAL DES ARTS ET METIERS

CENTRE AGREE

DE GRENOBLE (C.U.E.F.A)

MEMOIRE

présenté en vue d'obtenir

le **DIPLOME D'INGENIEUR C.N.A.M**

en

Informatique

par

Evelyne POUGATCH

REALISATION D'UN SYSTEME D'ACQUISITION

ET D'UN SYSTEME DE DECODAGE

DE SIGNAUX ACOUSTIQUES ET SISMIQUES

Les travaux relatifs au présent mémoire ont été effectués au Centre d'Etudes de la Neige sous la direction de Monsieur Jérôme Lafeuille, Chef de centre et de Monsieur Louis Bolliet, Professeur à l'Université de Grenoble.

Ce travail a été réalisé au Centre d'Etudes de la Neige (C.E.N), centre de recherches de l'Etablissement d'Etudes et de Recherches de la Météorologie, dans le cadre d'une action de recherches sur les mouvements mécaniques de la neige.

Je remercie très chaleureusement,

MM Louis BOLLIET et Jean-Yves RANCHIN, Professeurs au Conservatoire National des Arts et Métiers, qui m'ont fait l'honneur de présider ce jury.

M Jérôme LAFEUILLE, Chef du C.E.N, qui m'a conseillée et guidée dans le choix du sujet et m'a permis ainsi d'effectuer ce mémoire.

M Jean-Michel PANEL, responsable du Laboratoire Electronique du C.E.N, pour la gentillesse et l'aide constante qu'il m'a apportées tout au long de ce travail, et particulièrement pour le temps consacré à résoudre et m'expliquer les différents problèmes électroniques, et pour la participation à la conception et réalisation matérielle du système d'acquisition.

M Jean-Louis DUMAS, responsable du Centre de Calcul du C.E.N, pour son soutien et pour avoir accepté de participer au jury.

MM Marcel SUDUL et François TOUVIER, électroniciens au C.E.N, pour les conseils, le soutien et la participation à la réalisation matérielle des projets effectués.

MM Gilbert GUYOMARC'H et Alain TAILLEFER, météorologistes au C.E.N, pour leur aide tout au long de la phase de tests des systèmes réalisés.

RESUME

Dans le cadre de ses recherches, le Centre d'Etudes de la Neige s'est fixé pour objectif de suivre l'état de contraintes du manteau neigeux par un enregistrement de ses émissions acoustiques.

Ceci doit permettre d'une part d'améliorer les connaissances mécaniques du matériau neige, et d'autre part d'essayer de détecter des signes précurseurs d'avalanches.

Cette étude décrit la réalisation d'une chaîne d'acquisition pour signaux acoustiques et sismiques.

Deux systèmes conçus à base de microprocesseurs constituent cette chaîne :

- L'un est destiné à effectuer l'acquisition des signaux issus d'un capteur de vibration (géophone) ainsi que l'enregistrement sur support magnétique des événements détectés.

- L'autre permet le décodage des données stockées sur bandes et le transfert de celles-ci vers un miniordinateur.

Pour compléter l'information fournie par le géophone, un certain nombre d'autres mesures sont effectuées.

La dernière partie de ce travail consiste à réaliser le transfert de ces mesures vers une unité de stockage et de traitement et leur visualisation pour contrôle sur le site.

MOTS CLES

- Microprocesseurs
- Acquisition de données acoustiques
- Géophone
- Codage - Décodage
- Transfert de données

TABLE DES MATIERES

INTRODUCTION	015
--------------------	-----

PREMIERE PARTIE

SYSTEME D'ACQUISITION DE DONNEES ACOUSTIQUES A ENREGISTREMENT DECLENCHE

1. Introduction	019
1.1 Présentation	019
1.2 Fonctions supplémentaires	021
1.3 Plan	021
2. Hypothèses du système d'acquisition	023
2.1 Description du capteur : géophone	023
2.2 Détection d'évènements - Calculs de moyennes	024
2.2.1 Principe de la détection d'évènements	024
2.2.2 Calcul des sommes partielles	024
2.2.3 Redressement du signal	025
2.3 Codage des données	026
2.3.1 Type de codage	026
2.3.2 Codage de HH	027
2.3.3 Codage de CIH	028
2.3.4 Base de temps	028
2.3.5 Enregistrement effectué	029
2.3.6 Intérêt du codage	029
2.4 Dialogue avec le microterminal	029
3. Réalisation matérielle de l'acquisition	031
3.1 Synoptique général	031
3.2 Carte n°2 : Filtrage - Conversion analogique numérique	032
3.2.1 Digitalisation ou numérisation du signal	032
3.2.2 Fonctions de la carte	033
3.2.2.1 Filtrage	034

3.2.2.2	Tableau récapitulatif des calculs des gains Courbe de réponse du filtre	036
3.2.2.3	Conversion analogique numérique	041
3.2.2.4	Schéma logique - Plan de masse - Composants	043
3.3	Carte n°1 : Microprocesseur	046
3.3.1	Synoptique de la carte	046
3.3.2	Horloge temps réel - Interface horloge microprocesseur	048
3.3.3	Adressage des différents boitiers	049
3.3.3.1	Mémoire adressable	049
3.3.3.2	Découpage de la mémoire	050
3.3.3.3	Adressage des différents composants	050
3.3.4	Interruptions sur demande extérieure	052
3.3.4.1	Reset	052
3.3.4.2	Génération d'interruption sur l'entrée IRQ du microprocesseur	053
3.3.5	Schéma logique - Plan de masse - Composants	057
3.4	Carte n°3 : Interface	060
3.4.1	Génération de sinusoides sur les pistes de l'enregistrement magnétique	060
3.4.1.1	Synoptique général	061
3.4.1.2	Génération de sinusoides	063
3.4.1.3	Détection de passage à 0 V	065
3.4.1.4	Déclenchement sur front montant de l'horloge	065
3.4.1.5	Amplification pour adaptation sur magnétophone	066
3.4.1.6	Porte analogique	066
3.4.1.7	Lissage des sinusoides sur basculement d'un bit du port du microprocesseur (PB4)	067
3.4.2	Alimentation du magnétophone	068
3.4.3	Emission et réception de caractères entre le microterminal et le microprocesseur	068
3.4.4	Schéma logique - Plan de masse - Composants - Connecteurs	070
4.	Réalisation logicielle de l'application	075
4.1	Logique de la réalisation	075
4.1.1	Découpage du temps	075
4.1.2	Déroulement du programme	076
4.1.2.1	Gestion des tâches	076
4.1.2.2	Gestion des buffers	077

4.1.2.3	Schéma synthétisant la gestion des tâches et celle des buffers	078
4.1.2.4	Principe pour la ligne à retard de 20s et pour les 10s après l'évènement	079
4.1.3	Note : interruption extérieure	080
4.1.4	Algorithmes généraux	081
4.1.4.1	Programme principal : ACQUIS	081
4.1.4.2	Programme d'interruption du timer : ITIMER	082
4.1.5	Chronogramme	083
4.2	Points particuliers du logiciel	084
4.2.1	Ecriture de sous programmes en RAM - Remplacement de l'adressage indirect	084
4.2.1.1	Rappel sur l'adressage indirect	084
4.2.1.2	Méthode utilisée	085
4.2.1.3	Les deux sous programmes	085
4.2.2	Stockage des mesures - Indicateurs d'évènements - Heure système - Pointeurs	087
4.2.2.1	Mesures - Indicateurs d'évènements - Heure système	087
4.2.2.2	Structure des tableaux	087
4.2.2.3	Les pointeurs	088
4.2.3	Lecture des données en sortie du CAN	091
4.2.4	Détection d'évènements	093
4.2.5	Codage en code PCM	094
4.2.6	Calcul du numéro de jour - Instruction DAA	096
4.2.7	Codage de l'heure système - Code CIH	097
4.2.7.1	Code CIH	097
4.2.7.2	Principe	097
4.2.8	Visualisation de l'heure en cours d'expérience	099
4.2.8.1	Schématisation du principe	099
4.2.8.2	Emission d'un caractère	099
4.2.8.3	Chronogramme de l'émission des bits	100
4.2.9	Enregistrement d'un évènement "spécial" à heure fixe	101
4.2.10	Enregistrement d'un bloc délimitant les évènements	102
4.2.11	Dialogue avec le microterminal	104
4.2.12	Initialisation de l'application	105
5.	Conclusion	111

DEUXIEME PARTIE

DECODAGE DES ENREGISTREMENTS SISMIQUES SUR BANDES MAGNETIQUES

1. Introduction	115
2. Rôles du décodeur	117
2.1 Schéma de principe	117
2.2 Entrée du décodeur	117
2.3 Les différents rôles du décodeur	117
2.3.1 Sortie de l'heure de l'évènement (HH) et de la longueur de l'évènement	117
2.3.2 Sortie graphique	118
2.3.3 Topage horaire (CIH)	118
2.3.4 Sortie série vers un minicalculateur	118
3. Réalisation matérielle du décodeur	121
3.1 Schéma général	121
3.2 Carte microprocesseur 6802	122
3.3 Module de mise en forme des signaux enregistrés	125
3.3.1 Enregistrement	125
3.3.2 Anomalies des enregistrements	126
3.3.3 Mise en forme des signaux - Réalisation du circuit .	127
3.3.3.1 Buts	127
3.3.3.2 Schéma synoptique	127
3.3.3.3 Schéma logique	128
3.3.3.4 Redressement double alternance	129
3.3.3.5 Selecteur de niveau de seuil	130
3.4 Module de conversion numérique analogique et filtrage pour sortie graphique	131
3.4.1 Conversion numérique analogique	131
3.4.2 Filtrage	132
3.5 Module du topage horaire	133
3.6 Interfaces série RS232	133

4. Réalisation logicielle du décodeur	135
4.1 Entrée des données - Programmation des PIA	135
4.2 Programmation des ACIA	137
4.3 Principe général du décodage	137
4.3.1 Lecture d'un bit	137
4.3.2 Recherche de la synchronisation	138
4.3.3 Algorithme général	139
4.3.4 Décodage de l'heure et détermination de la longueur de l'évènement	140
5. Liaison entre le décodeur et un minicalculateur	141
5.1 Liaisons avec l'unité de stockage / traitement	141
5.1.1 Liaison parallèle	141
5.1.2 Liaison série	141
5.2 Liaison série et stockage des données	142
6. Exemples de sorties graphiques et heures d'évènements obtenues par décodage	145
7. Conclusion	147

TROISIEME PARTIE

MESURES COMPLEMENTAIRES

TRANSFERT DE DONNEES D'UN ENREGISTREUR NUMERIQUE VERS UN MICROORDINATEUR

1. Introduction	151
2. Différents enregistrements effectués	153
2.1 Un anémomètre	153
2.2 Un accéléromètre	153
2.3 Deux sondes de température	153
2.4 Deux reptomètres	154
3. Stockage et traitement des mesures effectuées	155
4. Instrumentation	157
4.1 Lecteur enregistreur à mémoire : ECUREUIL	157
4.2 Microordinateur pour transfert des données : EPSON HX 20 ..	158
5. Transfert des données de l'Ecureuil vers l'Epson	159
5.1 Données transmises	159
5.2 Taille de la mémoire	161
5.3 Principe du 'Handshake'	161
5.4 Programme de transfert	161
5.4.1 Contrôle du transfert	162
5.4.2 Description de l'algorithme	162
5.4.3 Les différentes phases du programme de transfert ...	163
5.5 Programme de traitement	166
5.5.1 Généralités	166
5.5.2 Déroulement des différents menus	167
5.5.3 Organigramme général	168
5.5.4 Modules d'édition	169
6. Exemples de sorties graphiques et numériques des données transférées	173
7. Conclusion	175
CONCLUSION GENERALE	179

ANNEXES

ANNEXE I

SYSTEME D'ACQUISITION DE DONNEES ACOUSTIQUES A ENREGISTREMENT DECLENCHE

I.1	Filtre d'ordre n	185
I.1.1	Calcul de la fréquence de coupure maximale correspondant à une atténuation de 40 dB pour un filtre du 8ième ordre	185
I.1.2	Réseau de réponses de Butterworth	186
I.1.3	Schéma d'un filtre de rang n	186
I.1.4	Tableau permettant la détermination des coefficients suivant l'ordre de la réponse de Butterworth	186
I.2	Convertisseur analogique numérique ADC 804 LCN	187
I.3	Le microprocesseur MC 146805E2	189
I.3.1	Introduction à la famille 6805	189
I.3.2	Schéma bloc interne du microprocesseur	189
I.3.3	Les registres	190
I.3.4	Le timer	193
I.3.5	L'espace mémoire du microprocesseur	197
I.4	Le circuit horloge MC 146818	199
I.4.1	Le circuit	199
I.4.2	Caractéristiques générales	200
I.4.3	Les registres A - B - C - D	201
I.5	Principe du circuit anti-rebond	205
I.6	Circuits d'interface 1488 - 1489	207
I.7	Jeu d'instructions 6805	209
I.8	Algorithmes d'addition et de soustraction d'une donnée à une table de trois octets	211
I.9	Instruction DAA du microprocesseur 6809	213
I.10	Sous programmes d'émission et de réception de caractères entre le microprocesseur et le microterminal	215

ANNEXE II

SYSTEME DE DECODAGE DES ENREGISTREMENTS SISMIQUES SUR BANDES MAGNETIQUES

II.1	Le microprocesseur 6802	221
II.2	Démultiplexeur 74LS155 - Schéma logique et table de vérité	223
II.3	Convertisseur numérique analogique DAC 1220	225
II.4	Filtre passe haut - Calcul de la fréquence de coupure	227
II.5	Tâches temps réel de liaison entre le décodeur et le minicalculateur	229

ANNEXE III

MESURES COMPLEMENTAIRES TRANSFERT DES DONNEES D'UN ENREGISTREUR VERS UN MICROORDINATEUR

III.1	Accéléromètre	235
III.2	Reptomètre	237
III.3	Ecureuil	241
III.4	Epson HX 20 - Caractéristiques générales	243
III.5	Communication série RS232C	245
BIBLIOGRAPHIE		249

INTRODUCTION

Le développement des méthodes de prévision du risque d'avalanches et la mise au point des modèles d'aide à la prévision débutent par l'observation systématique du comportement du manteau neigeux.

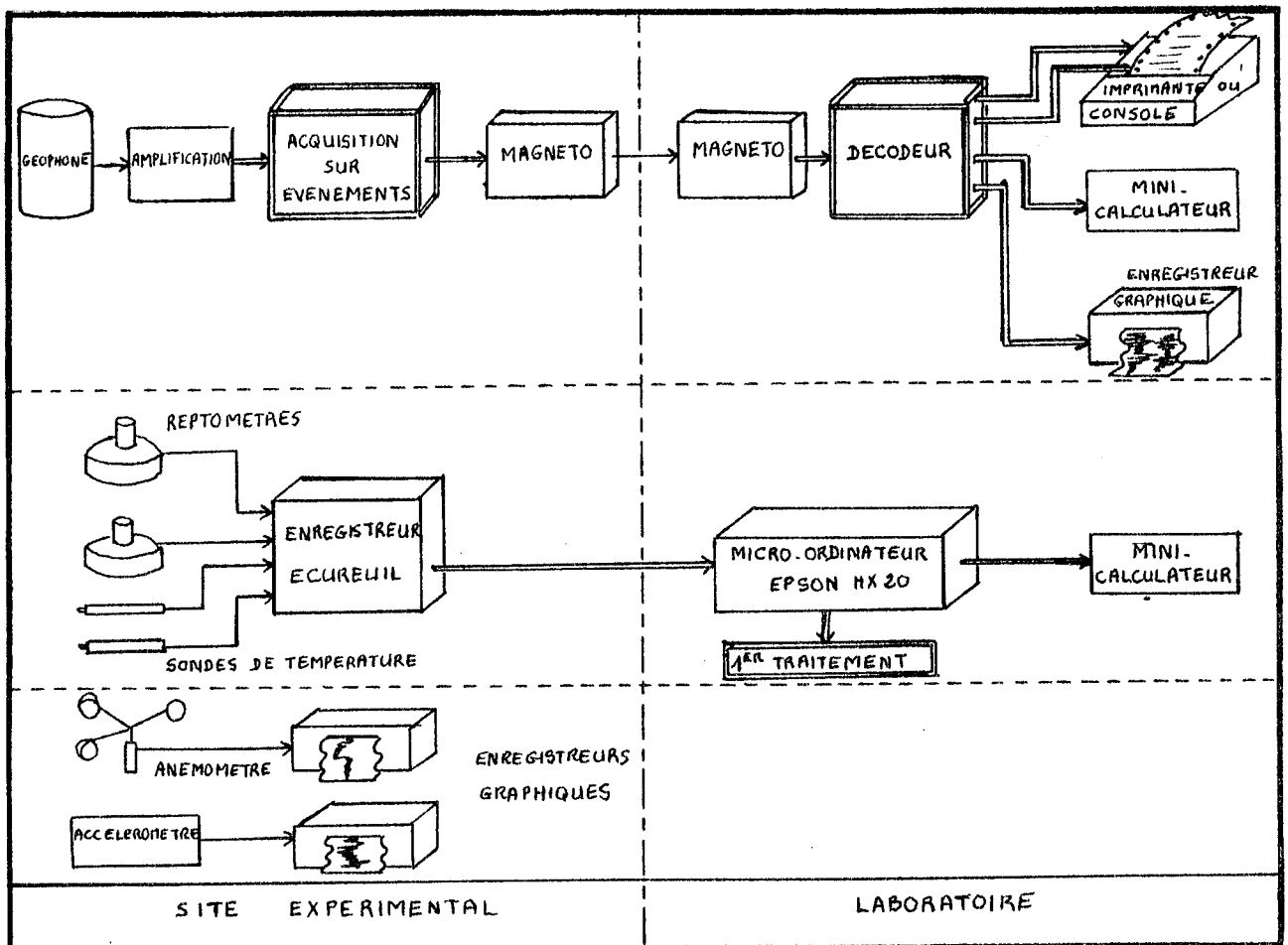
Dans ce but, un des objectifs du Centre d'études de la neige est de développer l'étude des mouvements mécaniques du matériau neige.

Durant l'hiver 1985-86, sur le site expérimental des Deux-Alpes, différents capteurs ont été installés et principalement un géophone : capteur d'ondes acoustiques.

L'acquisition des mesures est enregistrée graphiquement ou stockée dans une mémoire, et ceci systématiquement ou sur détection d'évènements.

Puis, les données mémorisées sont relues et transmises vers un ordinateur.

Le schéma ci-dessous synthétise d'une part les différents capteurs et méthodes d'acquisition, et d'autre part les moyens de relecture des données.



La première partie de ce rapport décrit la réalisation du système d'acquisition des émissions acoustiques issues du géophone.

L'outil mis au point pour décoder ces mesures est présenté dans le chapitre suivant.

Enfin, la dernière partie est consacrée aux différentes mesures complémentaires effectuées sur le site, et plus particulièrement au transfert des données de reptation et de température d'un enregistreur (Ecureuil) vers un microordinateur portable ; ainsi que le traitement de ces données.

PREMIERE PARTIE

SYSTEME D'ACQUISITION DE DONNEES ACOUSTIQUES

A ENREGISTREMENT DECLENCHE

1. INTRODUCTION

1.1 Présentation

L'étude des mouvements mécaniques de la neige se divise en différentes branches de connaissances. L'une d'elles consiste à étudier les ondes acoustiques et sismiques.

Dans ce but, le Centre d'études de la neige a entrepris d'expérimenter un système de détection des avalanches par méthodes sismiques. [CEN84]

Pour cela, l'enregistrement sur bandes magnétiques d'évènements sismiques détectés par un sismomètre est effectué depuis plusieurs hivers.

Afin de compléter cette étude, il semble intéressant de disposer d'un système de surveillance des émissions acoustiques et sismiques de la neige.

Le but essentiel de cette application consiste à rechercher la présence possible de signaux précurseurs d'avalanches.

Cette première partie décrit le travail effectué pour réaliser un tel système d'acquisition, de codage et d'enregistrement sur support magnétique.

Afin de détecter les vibrations du sol, des géophones dont le principe de fonctionnement est identique à un sismomètre, sont placés en contact avec le sol, à une distance approximative de 100 mètres du système d'acquisition.

Un microterminal permet le dialogue entre le système et l'utilisateur.

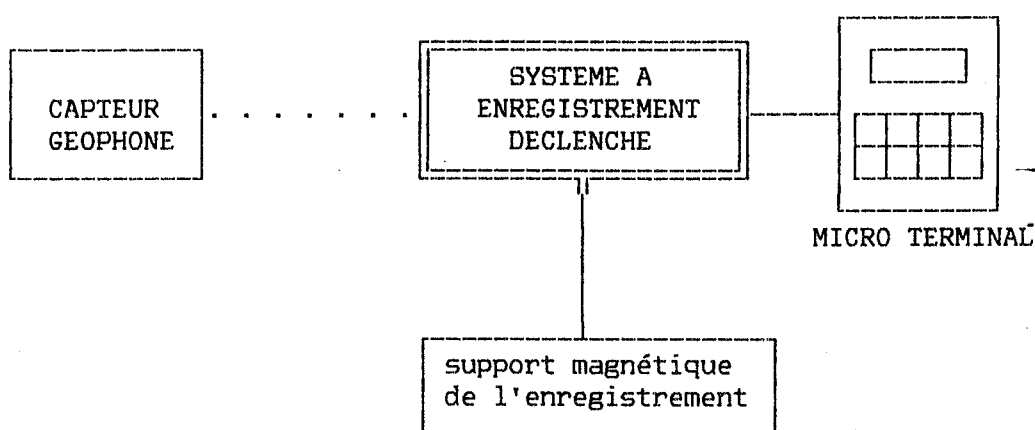
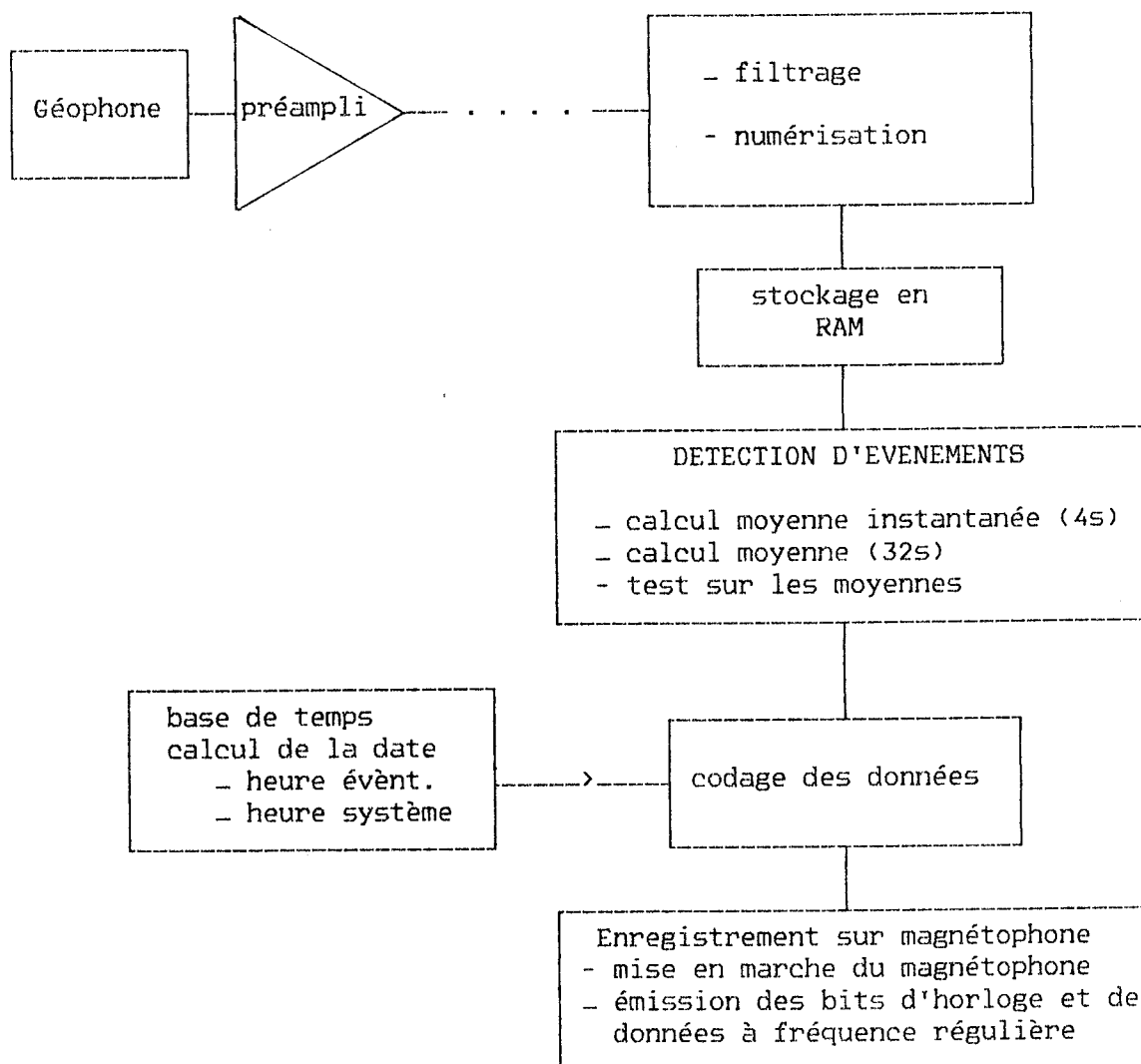


Figure I.1

Le système mis au point déclenche sur évènement. Un enregistrement est effectué lorsque le signal se distingue du bruit de fond. Il s'agit d'un système à enregistrement déclenché (SED).

- Le signal analogique provenant du géophone est échantillonné à 50 Hz et numérisé sur 8 bits.
- La détection d'un évènement se fait en calculant le rapport des mesures moyennées sur 4 secondes aux mesures moyennées sur 32 secondes.
- Les mesures sont codées par blocs de 20 bits comportant une indication de temps. Pour cela, une horloge temps réel est intégrée à l'outil.
- L'ensemble des informations est enregistré sur un magnétophone à bandes UHER à vitesse lente (2,4 cm/s).

La figure ci-après schématise ces différentes phases :



1.2 Fonctions supplémentaires

- a. Enregistrement des mesures durant les 20 secondes précédant l'évènement et les 10 secondes le suivant, afin de récupérer les phases de croissance et de décroissance du signal.
- b. Délimitation des évènements : un bloc de 20 bits et de configuration fixe est enregistré après chaque évènement.
- c. Selon une fréquence fixée par dialogue, un enregistrement supplémentaire est effectué, dans le but de vérifier le bon fonctionnement du système et également de disposer d'un enregistrement régulier du bruit de fond.
- d. Edition sur demande de l'heure du système sur un micro-terminal pour vérifier son bon fonctionnement, ainsi que le décalage éventuel du circuit horloge.
- e. Comptage du nombre d'évènements.
- f. Initialisation du circuit horloge, réglage du zéro du convertisseur analogique-numérique par l'intermédiaire d'un micro-terminal.

1.3 Plan

Cette étude se décompose en trois parties :

1°) Cahier des charges : introduction des hypothèses relatives au capteur d'une part ; aux critères de déclenchement d'enregistrement et au type de codage d'autre part.

De plus on montrera la nécessité de disposer d'une interface matérielle (sous forme de terminal) entre le système effectué et l'utilisateur.

2°) Réalisation matérielle du système d'acquisition reposant autour d'une carte centrale à microprocesseur et d'une horloge temps réel intégrée. [HEN81] [SUR83]

Ce chapitre soulignera les différentes fonctions du système d'acquisition, c'est à dire :

- le filtrage et la conversion analogique numérique des mesures issues du géophone
- le codage des données enregistrées
- l'interface de dialogue entre le microprocesseur et l'utilisateur

3°) Réalisation logicielle de l'application avec :

- la démarche effectuée grâce aux différentes particularités du microprocesseur choisi et des divers circuits composant les cartes électroniques (horloge, convertisseur, RAM...)

- les points particuliers du déroulement des différents programmes.

2. HYPOTHESES DU SYSTEME D'ACQUISITION

2.1 Description du capteur : géophone

Principe :

Le géophone fonctionnant selon le même principe qu'un sismomètre, délivre une mesure de la vitesse de vibration du sol, selon la composante verticale.

Le principe est d'observer la composante verticale de vibration du sol en mesurant la F.E.M induite dans la bobine oscillant par inertie dans le champ magnétique d'un aimant solidaire du sol.

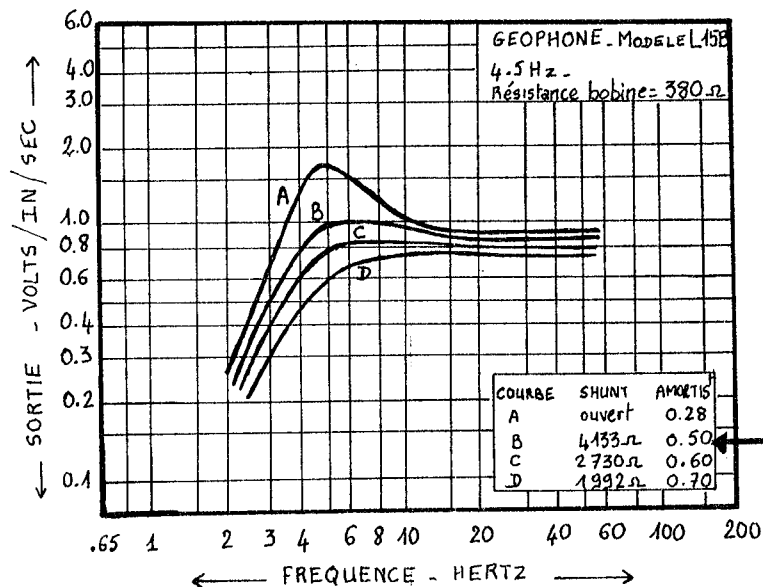
Les caractéristiques du modèle choisi sont les suivantes :

Modèle choisi : L - 15B

Gamme standard de fréquence, Hz	4.5 - 10
Tolérance de la fréquence, Hz	± 0.5
Résistance standard de la bobine, Ohms ...	380
Tolérance de la résistance, %	5
Distortion maximum, %	0.2
Constante de conversion, V/in/s +10%	$0.047\sqrt{R_c} = 0.36\text{V/cm/s}$
Amortissement en circuit ouvert, +10%.....	$1.253 / f$
Amortissement du courant de la bobine.....	$11.84 R_c / f(R_c + R_s)$
Masse mobile, Grammes	23.00
Sensibilité, mW/in/s	$2.21 = 0.087 \text{ mW/mm/s}$
Diamètre, in	1.25
Hauteur, in	1.4
Masse totale, Grammes	142

Les courbes (A, B, C, D) représentent la réponse en fréquence du géophone, pour différentes résistances branchées en parallèle sur celui-ci.

Figure I.2.1



2.2 Détection d'évènements - Calculs de moyennes

2.2.1 Principe de la détection d'évènements

- But :
Comparer les mesures moyennées sur 4 secondes ("valeur instantanée") aux mesures moyennées sur 32 secondes ("valeur moyenne") pour déclenchement ou non de l'enregistrement des données.
- Hypothèse :
 - . Fréquence d'échantillonnage = 50 Hz
 - . n_4 = nb de mesures effectuées sur 4 secondes
= 200 mesures
 - . n_{32} = nb de mesures effectuées sur 32 secondes
= 1600 mesures
$$\implies n_4 \ll n_{32}$$
 - . M_4 et M_{32} = moyennes des n_4 et n_{32} dernières mesures
- Test effectué :
 $M_4 > k M_{32} \iff$ détection évènement
- Modifications possibles :
 - . L'indice k tel que k = 1 ou 2 ou 4
 - . Les valeurs n_4 et n_{32} :
par exemple la "valeur instantanée" peut être limitée par rapport à la "valeur moyenne" (moyenne effectuée sur 2 s au lieu de 4 s)

2.2.2 Calcul des sommes partielles

- Le test sur les moyennes se ramène à une comparaison sur les sommes partielles soit :

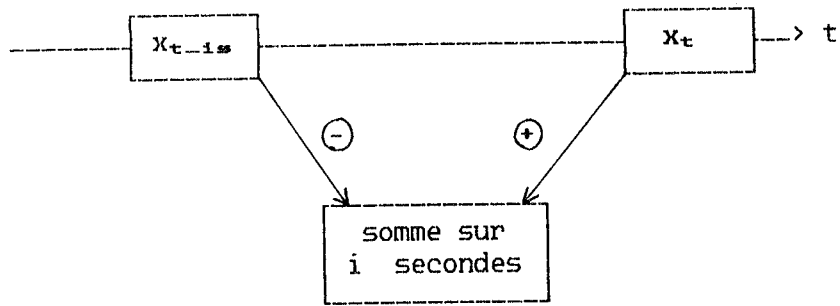
- . Hypothèse : $S_4 = 200$ informations
 $S_{32} = 1600$ informations

- . Test : $M_4 > 2 M_{32}$ (k = 2)

$$\implies S_4 / 200 > 2 \cdot (S_{32} / 1600) \quad -$$

$$\iff \boxed{S_4 > S_{32} / 4}$$

- Calcul des S_i
 - . A l'initialisation : totaliser les valeurs sur 4 et 32 secondes.
 - . En déroulement normal : la RAM disponible de 2 Koctets permet de stocker les mesures des 32 dernières secondes.



x_t = valeur à l'instant t
 x_{t-is} = valeur à l'instant t - is avec is = 4 ou 32 s

$$\langle ==\rangle \quad S_{is} = S_{is} + x_t - x_{t-is}$$

2.2.3 Redressement du signal

- Le signal est numérisé sur 8 bits, la valeur à un instant t donné varie entre 00_H et FF_H.
- Pour calculer S_4 et S_{32} , il faut redresser la valeur lue par rapport à la valeur moyenne du signal (M).

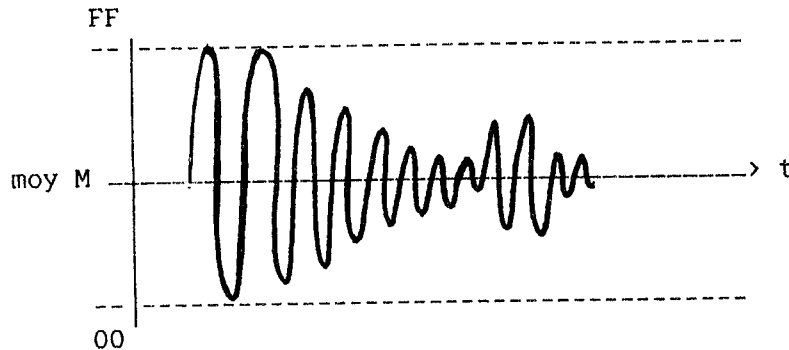


Figure I.2.2

- Lors de l'initialisation du système, un réglage de la position de repos du CAN permet d'ajuster la moyenne M à 7F_H.

- Il est possible de réactualiser constamment cette moyenne afin de compenser une dérive éventuelle de cette dernière.

. La valeur moyenne des 4096 dernières mesures (soit approximativement 82 s) est alors calculée et notée M_{e2} .

. La somme S_{e2} nécessaire au calcul de cette moyenne est effectuée à l'initialisation.

. Puis la RAM disponible ne permettant pas de stocker 4096 valeurs, le calcul de la somme S_{B2} s'effectue selon l'équation suivante :

$$S_{B2} = S_{B2} + X_t - M_{B2}$$

- L'algorithme de redressement utilisé est le suivant :

valeur lue = valeur lue - moyenne M

si valeur lue > FF_H - moyenne M

alors

valeur lue = complément à 2 de la valeur lue

finsi

2.3 Codage des données

2.3.1 Type de codage

En collaboration avec le CEA/LDG, le Centre d'études de la neige effectue depuis l'hiver 82-83 sur le site de La Plagne dans le département de la Savoie et depuis cet hiver sur le site du Rivier d'Allemont dans la vallée de l'Eau d'Olle l'enregistrement sur bandes magnétiques des événements sismiques détectés par un sismomètre.

Le système conçu par le CEA/LDG est un système à enregistrement déclenché.

Les enregistrements effectués suivent le codage PCM/LDG (Pulse Coded Modulation).

Une partie de cette étude décrit la réalisation d'un décodeur pour la relecture des enregistrements sismiques (cf 2ème partie).

Aussi, il est apparu intéressant de conserver le même codage pour cette chaîne d'acquisition afin de pouvoir décoder les enregistrements avec le même matériel.

Le signal analogique est échantillonné à 50 Hz soit une période de 20 ms.

La mesure est numérisée sur 12 bits (dans le cas du SED du CEA/LDG) et 8 bits (dans le cas de la chaîne d'acquisition géophone). Les 4 bits de poids faible sont forcés à 0. Cette mesure doit être transmise toutes les 20ms dans des blocs de 20 bits.

Les 8 bits supplémentaires sont :

- 4 bits de synchronisation (1.0.0.1)
- TRIG = bit de détection d'évènement, initialement à 0, passe à 1 pendant toute la période où la condition de dépassement du seuil de déclenchement est satisfaite
- HH = bit de codage de l'heure de l'évènement
- CIH = bit de codage de l'heure du système
- P = bit de parité (parité paire).

SYNCHRO	MESURE											TRIG	HH	CIH	P	
	MSB															LSB
1 0 0 1	X11	X10	X9	X8	X7	X6	X5	X4	X3	X2	X1	X0	T	H	C	P

2.3.2 Codage de HH

HH = codage de l'heure du début de l'évènement

. TRIG = 0 ==> HH = 0

. si TRIG passe à 1 alors HH passe à 1, puis sur les 34 blocs suivants, HH prendra pour valeur les 34 bits utilisés pour coder l'heure de l'évènement selon le tableau suivant :

START	10 ² j.	10 j.	jour	10 h.	heure	10min	min	10sec	sec	10 ⁻¹ s
1	X X	XXXX	XXXX	X X	XXXX	XXX	XXXX	XXX	XXXX	XXXX
nb de bits	2	4	4	2	4	3	4	3	4	4

exemple : le 15 Mars à 23 H 34 mn 35 s,0
le numéro de jour = 74 (==> 15 Mars)

HH = 1 . 00 . 0111 . 0100 . 10 . 0011 . 011 . 0100 . 011 . 0101 . 0000
S . 0 . 7 . 4 . 2 . 3 . 3 . 4 . 3 . 5 . 0

2.3.3 Codage de CIH

CIH a pour rôle le codage de tops de durée une seconde et sert à donner l'heure à toutes les minutes rondes. Ceci présente l'avantage de constituer une base de temps, qui figure sur l'enregistrement graphique lors du décodage des données.

Sachant que l'on transmet un bloc toutes les 20 ms, chaque top seconde doit être réparti sur 50 blocs successifs.

Il existe trois sortes de tops :

- top court = "0" = [5 bits à 1 + 45 bits à 0]
- top long = "1" = [25 bits à 1 + 25 bits à 0]
- top "start spécial" = [45 bits à 1 + 5 bits à 0]

En temps normal, CIH code des tops courts.

A chaque début de minute, CIH donne l'heure sur 24 secondes successives soit 24 x 50 blocs

Codage sur 24 tops :

START	10 ² jour	10 jour	jour	10heure	heure	10 min	min
1	X X	XXXX	XXXX	X X	XXXX	XXX	XXXX
nb de tops							
1	2	4	4	2	4	3	4

X = $\begin{cases} 1 = \text{top long} \\ 0 = \text{top court} \end{cases}$

Au début de chaque quart d'heure, le top start est plus long, il s'agit d'un top spécial.

2.3.4 Base de temps

Le circuit horloge temps réel MC146818 permet de disposer d'une base de temps fiable. La lecture des registres de ce circuit donne les différents modules de la date (mois, jour ...) permettant ainsi de coder l'heure du système (bit CIH) et l'heure de l'évènement (bit HH).

2.3.5 Enregistrement effectué

- Vitesse d'enregistrement

Au total, 20 bits sont enregistrés sur bande magnétique toutes les 20 ms soit 1 Kbits/s, indépendamment de la vitesse du défilement de la bande. Cette dernière est de 2,4 cm/s.

En lecture, la vitesse est portée à 4,7 cm/s d'où un flux de 2 Kbits/s.

- L'enregistrement

L'enregistrement s'effectue simultanément sur les deux pistes. On enregistre les mots de 20 bits correspondant au codage vu précédemment.

L'enregistrement du signal s'effectue alternativement sur les deux voies avec présence ou non du signal d'horloge 1000 Hz sur la voie.

2.3.6 Intérêt du codage

L'intérêt de ce codage est double, il permet :

a. de retrouver le début d'un mot à l'aide des bits de synchronisation.

b. de vérifier les données grâce au codage alterné sur les deux pistes.

2.4 Dialogue avec le microterminal

L'initialisation du système doit être effectué sous contrôle de l'utilisateur, par l'intermédiaire d'un microterminal.

Fonctions réalisées :

a. affichage de la moyenne des conversions analogiques - numériques effectuées sur une durée égale à 10 secondes, et réglage éventuel du zéro du convertisseur analogique - numérique - sur demande -.

b. initialisation de la date et heure du circuit horloge ainsi que de l'heure de l'enregistrement test effectué quotidiennement pour contrôle du système.

c. remise à zéro du compteur d'évènements.

D'autre part, l'utilisateur a la possibilité de lire en cours d'expérience la date et l'heure du système ; la demande étant réalisée par bouton poussoir.

3. REALISATION MATERIELLE DU SYSTEME D'ACQUISITION

Cette réalisation constituée de trois cartes électroniques, dépend directement des différentes fonctions demandées au système :

- a. Filtrage et numérisation des données issues du géophone
===> effectuées par la carte "CAN + filtre" n°2
- b. Acquisition et détection d'évènements
===> effectuées par la carte "microprocesseur" n°1
- c. Enregistrement sur magnétophone et interface avec le microterminal
===> effectuées par la carte "interface" n°3

3.1 Synoptique général

Les trois cartes sont dépendantes les unes des autres et reliées entre elles par des connecteurs.

Le prototype de cette réalisation a été effectué en wrapping ; seule la carte de conversion analogique - numérique a été réalisée sur un circuit imprimé.

Schéma général

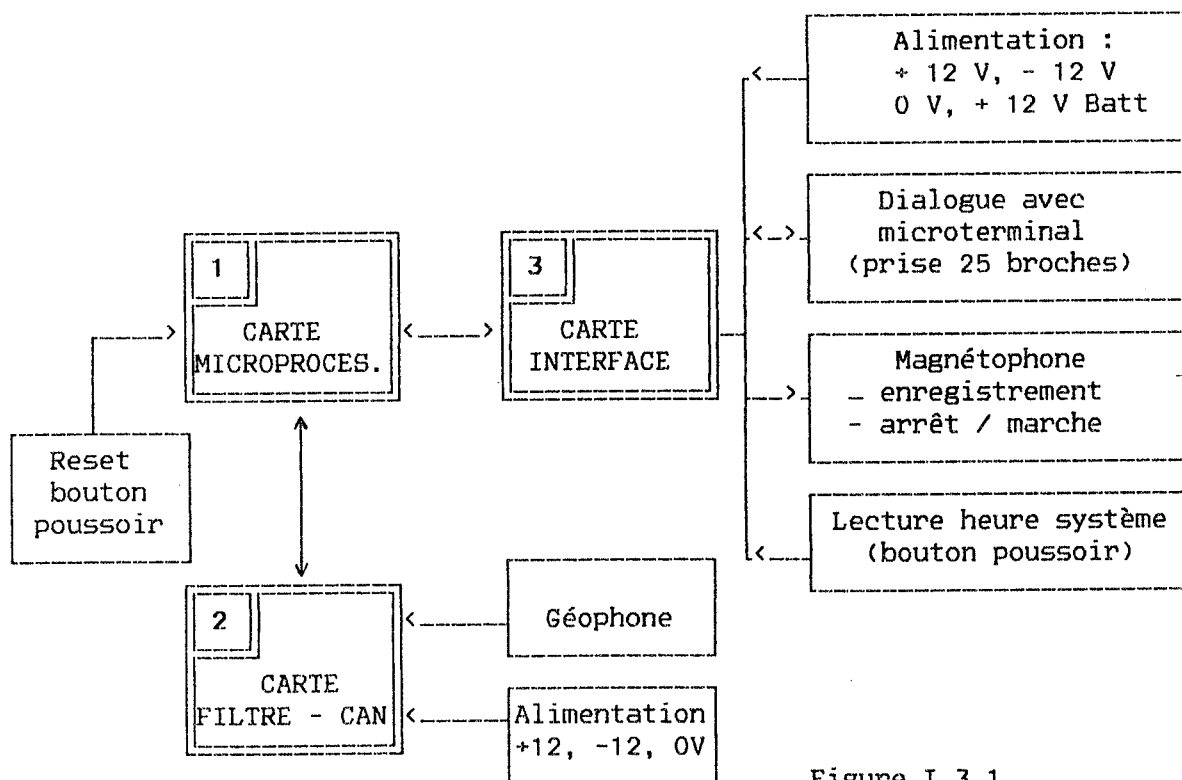


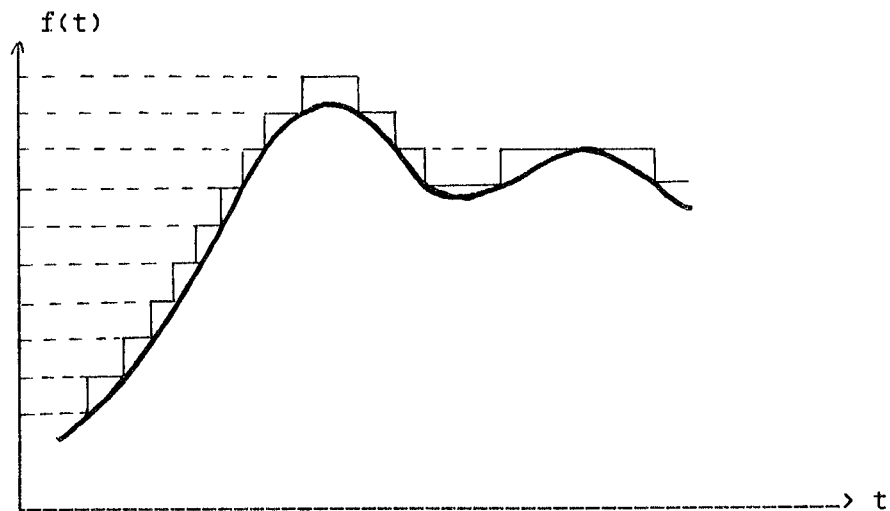
Figure I.3.1

3.2 Carte n°2 : Filtrage - Conversion analogique numérique

Le but de la conversion analogique - numérique est d'établir une relation unique entre une grandeur physique à variation continue dans le temps et un code numérique c'est à dire un mot binaire.

3.2.1 Digitalisation ou numérisation du signal

Le signal $f(t)$ est continu, il évolue entre f_{max} et f_{min} (sur un temps donné) et prend une infinité de valeurs réelles.



Signal $f(t)$ dépendant du temps

Figure I.3.2

Un mot binaire de n bits ne peut prendre qu'un nombre $N = 2^n$ d'états logiques.

Pour représenter $f(t)$ par un mot binaire de n bits, il faut découper l'axe $f(t)$ en tranches élémentaires supérieures ou égales à :

$$\xi = \frac{f_{max} - f_{min}}{2^n}$$

Il est nécessaire de quantifier les grandeurs issues du géophone, afin de les traiter numériquement.

On est amené à effectuer des mesures sur des échantillons de $f(t)$ prélevés à des instants t d'échantillonnage.

Le théorème de Shannon démontre que les échantillons permettent de reconstituer le signal $f(t)$ avec une bonne approximation si la fréquence d'échantillonnage F_e est supérieure à $2 F_m$ (F_m étant la fréquence maximum mise en jeu par le signal $f(t)$).

On considère la bande de fréquence du signal initial comprise entre 1 et 15Hz, la fréquence d'échantillonnage choisie est alors de 50Hz.

3.2.2 Fonctions de la carte

Le dessin ci-dessous montre les deux fonctions réalisées par la carte.

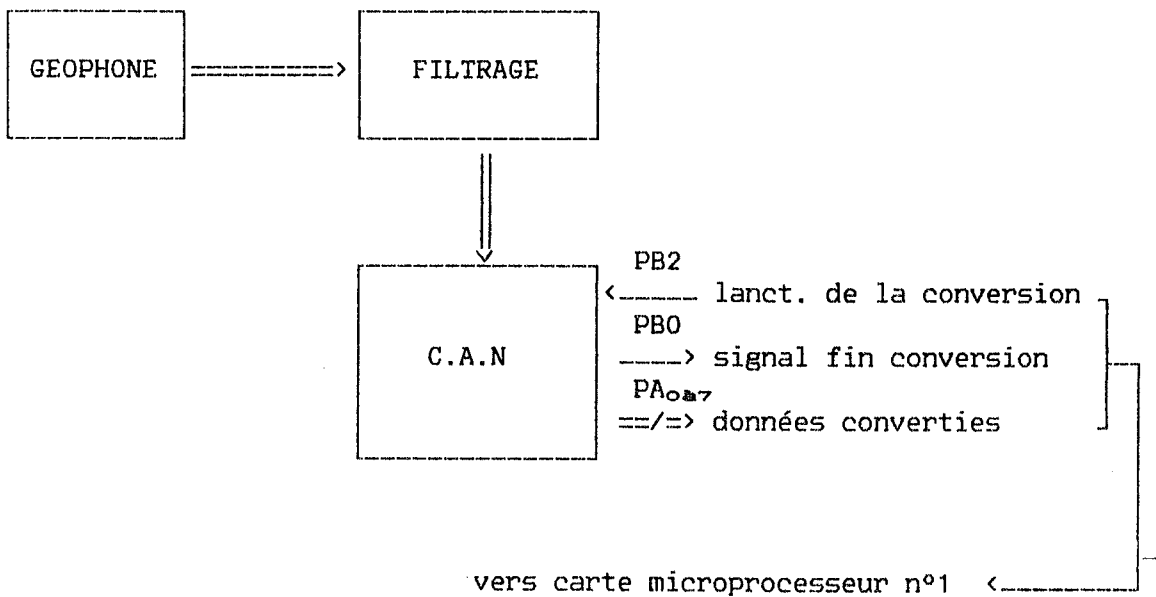


Figure I.3.3

3.2.2.1 Filtrage

1°) La figure ci-après montre l'effet indésirable du bruit superposé au spectre. [MIQ85]

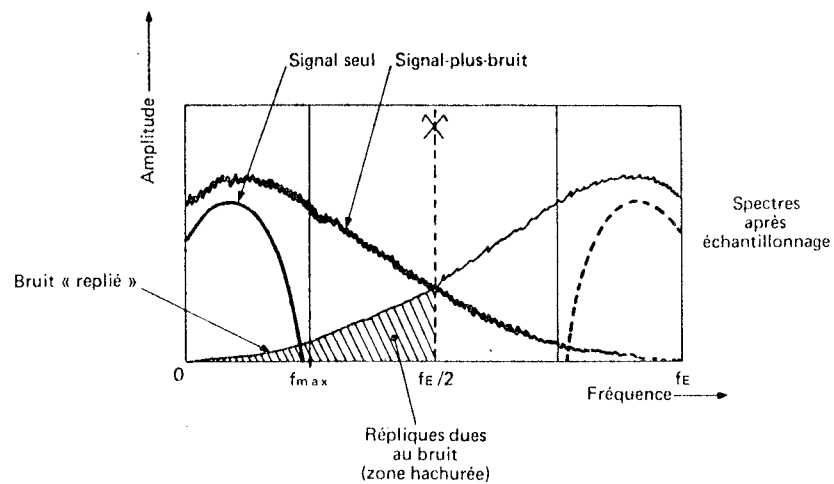


Figure I.3.4

2°) L'hypothèse de départ est la suivante :

Supposant que la bande de fréquence du signal à étudier est comprise entre 1 et 15 Hz, on fixe la fréquence de coupure du filtre à 15 Hz.

D'autre part, on pose le critère suivant à savoir que la contribution du bruit dû au repliement du spectre ne doit pas excéder de plus de 1% le niveau du bruit réellement présent à la fréquence maximale.

Cela nécessite de prévoir un filtre qui atténue le bruit "replié" dans un rapport 100 (soit $20 \log 100 = 40$ dB d'atténuation).

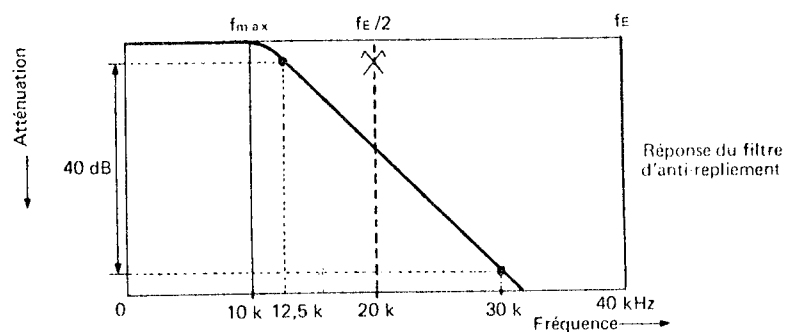
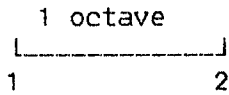


Figure I.3.5

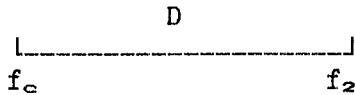
3°) Calcul du filtre :

$$\text{Pente} = \frac{40 \text{ dB}}{\text{distance sur l'axe des fréquences}} = \frac{40 \text{ dB}}{\text{Distance}}$$

(==> ramenée à l'échelle /octave)



$$\text{Doctave} = \log 2 - \log 1 = \log 2$$



$$D = \log(f_2) - \log(f_c) = \log f_2/f_c$$

$$\text{Distance} = \frac{D}{\text{Doctave}} = \frac{\log f_2/f_c}{\log 2}$$

avec : f_c = fréq. de coupure du filtre à -3dB
 f_2 = fréq. "sosie" = fréq. échantil. - fréq. max.

$$\left. \begin{array}{l} f_c = 15 \text{ Hz} \\ f_2 = 35 \text{ Hz} \end{array} \right\} \implies \text{Distance} = \frac{\log 35/15}{\log 2}$$

$$\text{Pente} = \frac{40}{\text{Distance}} = \frac{40 \log 2}{\log 35/15} = 32 \text{ dB/octave}$$

Cela implique d'utiliser un filtre ayant au moins 6 pôles, ceci pour une fréquence de coupure de 15 Hz (la pente maximale obtenue par un filtre est de 6 dB/octave par pôle).

Pour se réserver une certaine marge, on choisit un filtre à 8 pôles dont la réponse est une réponse de Butterworth.

Les résultats expérimentaux du filtre réalisé donnent une fréquence de coupure égale à 15,12 Hz pour une résistance mesurée à 11,7K et une capacité de 0,92uF. [GAZ74]

L'Annexe I.1 présente :

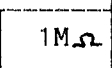
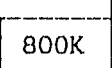
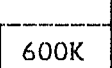


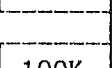
- le calcul de la fréquence de coupure maximale correspondant à une atténuation de 40 dB (la pente maximale obtenue avec un filtre du 8ème ordre est de 48 dB/octave).
- le réseau de réponses de Butterworth
- le schéma d'un filtre de rang n, ainsi que le tableau permettant de déterminer les coefficients suivant l'ordre du filtre.

3.2.2.2 Tableau récapitulatif des calculs des gains pour différentes fréquences en entrée - Courbe de réponse du filtre

$$\text{Gain} = G_{dB} = 20 \log V_B/V_E$$

Fréquence Hz	Potentiomètre sur 10			Potentiomètre sur 4		
	V _E mV	V _B mV	G _{dB}	V _E mV	V _B mV	G _{dB}
50	12,4	0		13		
40						
30		50	12,11			
25		190	23,706		77	15,45
20		1050	38,555		525	32,12
18		2350	45,552			
16		5900	53,548			
14		12800	60,275			
12		16400	62,428			
10		16500	62,481		7000	54,62
8		16250	62,348			
6		16000	62,213			
5					6900	54,49
4		"	"			
2		"	"			
1		"	"		6900	54,49
0,5		"	"			
0,1		11000	58,959		4300	50,39
0,05		7500	55,632			
0,01		1750	42,992			

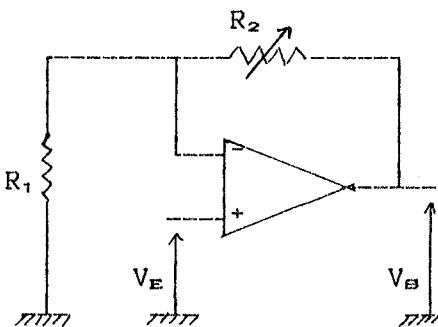
$$G = \left[\frac{V_B}{V_E} \right]_{f=10\text{Hz}} = \frac{16500}{12,4} = 1330,64$$

freq. Hz	V_E mV	position du potentiomètre	V_B mV	$G_1 = \frac{V_B}{V_E}$	$\frac{R_1 + R_2}{R_1} = \frac{V_B}{V_E} = G_2$	$\frac{G_1}{G_2}$
10	13	10 	16250	1250	213,76	5,84
		8 	13800	1061,5	171,21	6,2
		6 	10400	800	128,66	6,2
		4 	6600	507,69	86,10	5,89
		2 	2600	200	43,55	4,59
		1 	650	50	22,27	2,24

$$\frac{V_E}{R_1} \cdot R_2 + V_E = V_B$$

<==> $V_E \left[\frac{R_1 + R_2}{R_1} \right] = V_B$

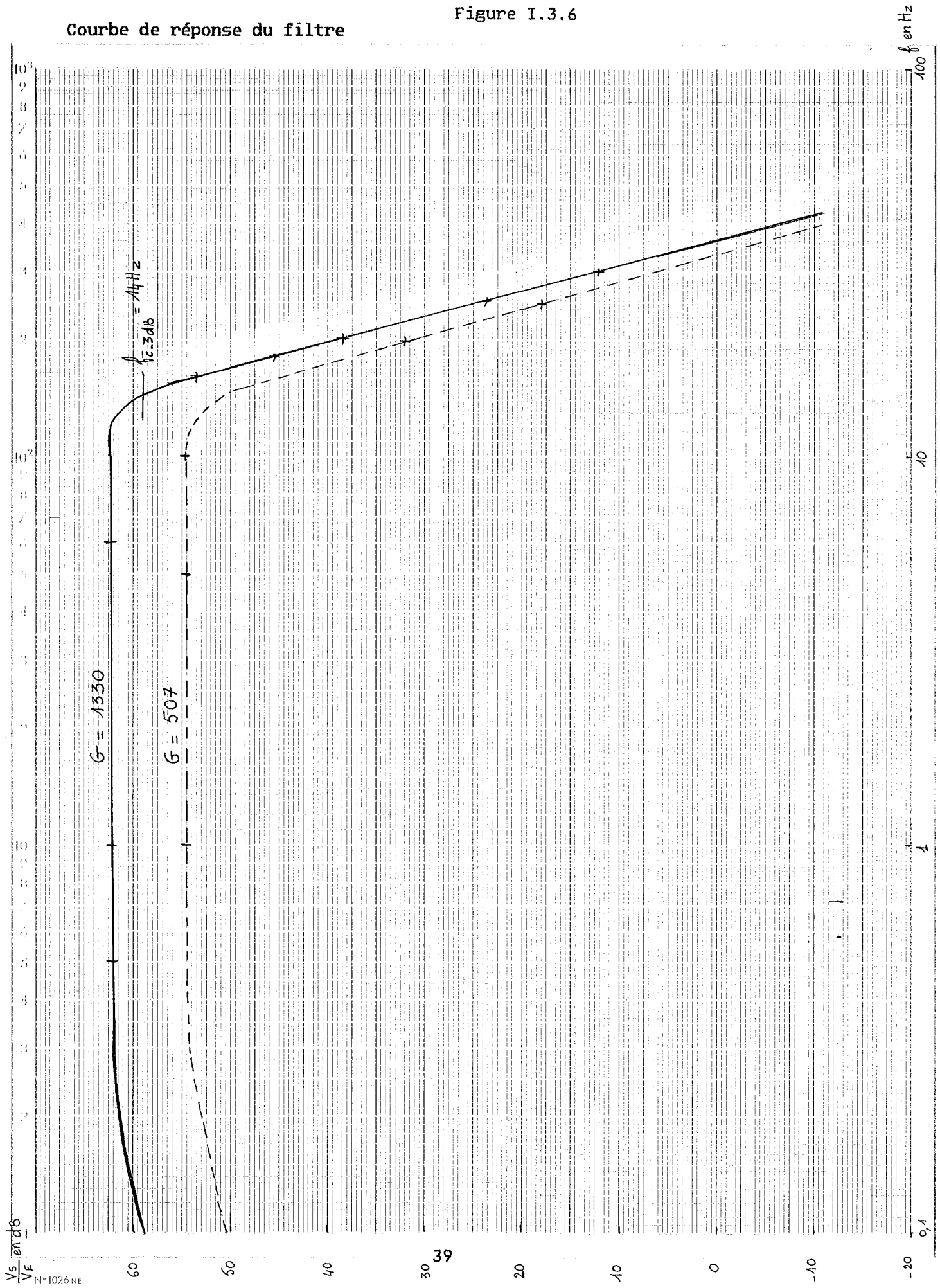
$$G_2 = \frac{V_B}{V_E} = \frac{R_1 + R_2}{R_1}$$



$R_1 = 4,7K$
 $R_2 = \text{potent. de } 1M$

Courbe de réponse du filtre

Figure I.3.6



3.2.2.3 Conversion analogique - numérique

- Mise à niveau de la tension à l'entrée du convertisseur

Le CAN choisi ne peut convertir que des valeurs analogiques comprises entre 0 et 5 V.

Les amplificateurs constituant le filtre présente une tension de sortie variant de -12V à +12V.

Il est nécessaire de ramener la sortie du dernier amplificateur à une tension compatible avec le convertisseur. Pour cela, on utilise un pont diviseur de résistances

Un potentiomètre permet d'ajuster la valeur moyenne à 2,5V.

- Le convertisseur utilisé est un ADC 804LCN. Ses caractéristiques et le principe de fonctionnement sont décrits dans l'Annexe I.2.

- Interfaces entre le CAN et la sortie du filtre et le microprocesseur :

- . L'entrée du signal à convertir provient du filtre décrit ci-dessus et attaque la ligne AIN + du CAN. Deux diodes de protection sont placées afin de protéger l'entrée du CAN.

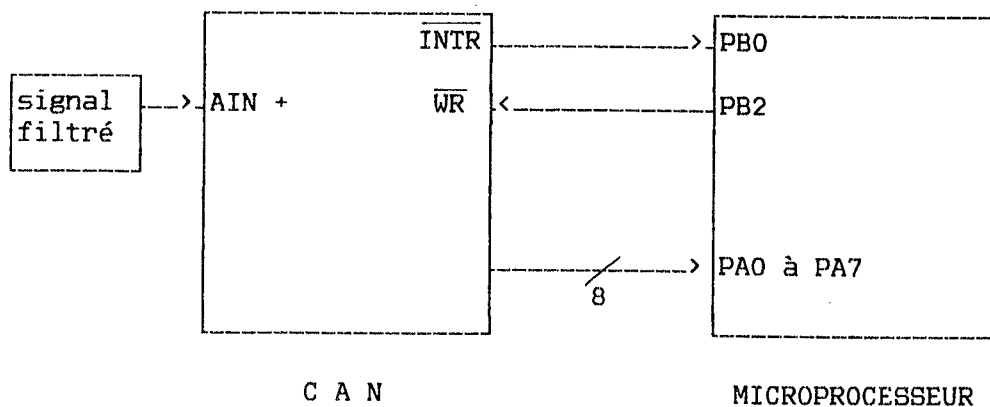
- . Le départ d'une conversion s'effectue en positionnant la ligne WR du convertisseur à l'état bas.

- . Un niveau bas sur la ligne INTR signale la fin de conversion.

- . Le résultat de l'opération est disposé sur les 8 lignes de données DB0 à DB7. Le microprocesseur peut alors lire cette valeur par l'intermédiaire des 8 lignes de son port A.

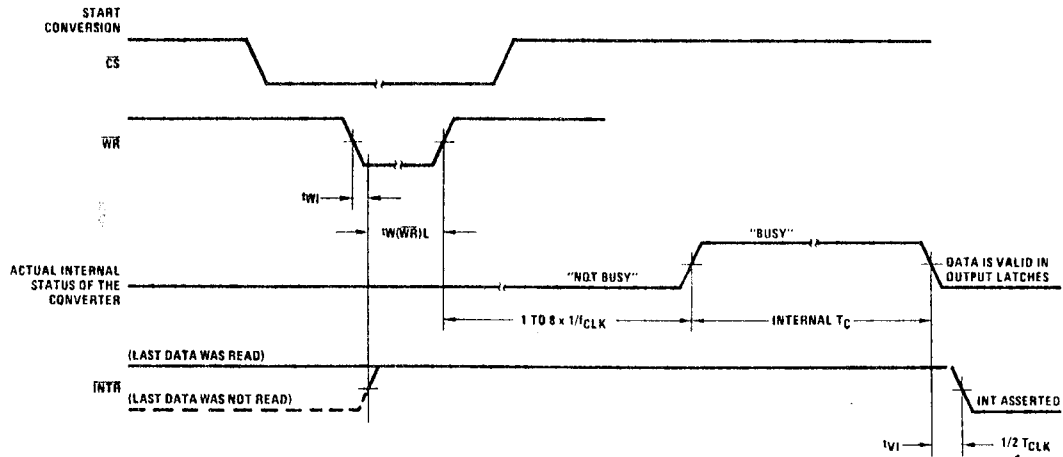
Le schéma suivant montre ces différentes liaisons.

Figure I.3.7

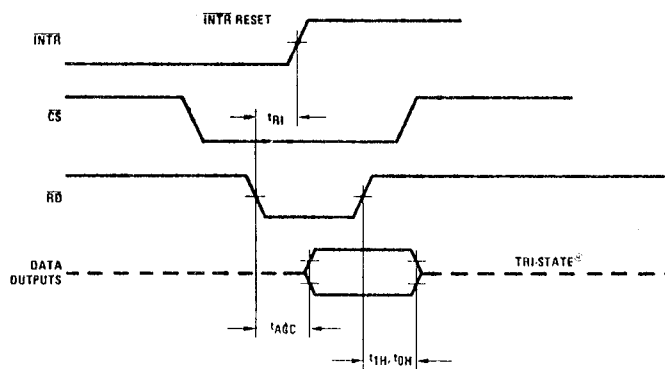


- Le diagramme des temps (diagramme ci-dessous) permet de définir les différentes étapes à suivre pour convertir un échantillon du signal initial.

Ligne \overline{CS} = ligne de sélection du convertisseur



Output Enable and Reset \overline{INTR}



Note: All timing is measured from the 50% voltage points.

Figure I.3.8

Dans l'application les signaux \overline{CS} et \overline{RD} sont forcés à 0 donc toujours validés.

. 1er temps : lancement de la conversion sur la ligne \overline{WR}
 $\Rightarrow \overline{WR} = 0$

. 2ème temps : après un temps t_{wi} , la ligne \overline{INTR} passe à 1 avertissant ainsi le microprocesseur que la donnée convertie est disponible sur le bus de données DB0-DB7.

Le logiciel de l'application doit donc se synchroniser sur ce chronogramme afin d'optimiser le temps nécessaire à l'opération de conversion.

3.2.2.4 Schéma logique - Plan de masse - Composants

1°) Schéma logique

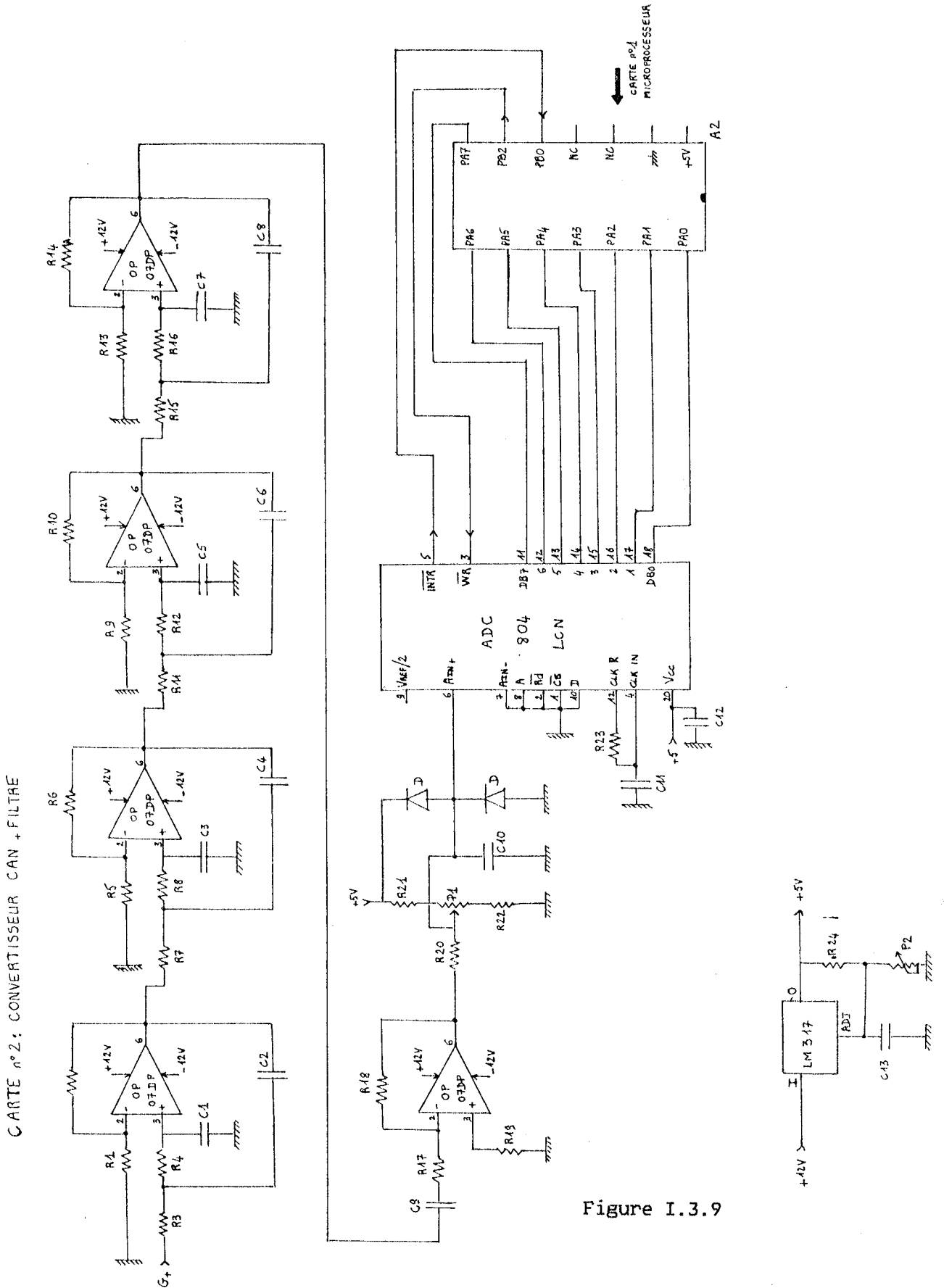


Figure I.3.9

2°) Plan de masse

CARTE n°2: CONVERTISSEUR CAN + FILTRE

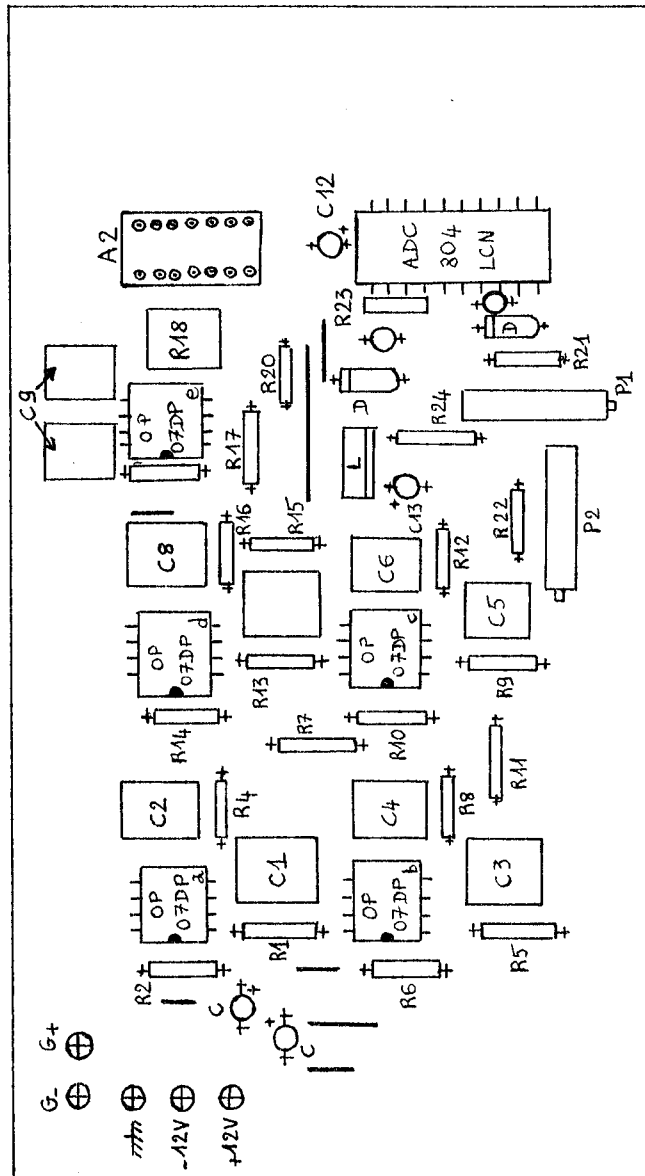


Figure I.3.10

3°) Composants

Résistances :

R1 = 10K
R2 = 392 Ω
R3 = 12K *
R4 = 12K *
R5 = 10K
R6 = 3,32K
R7 = 12K *
R8 = 12K *
R9 = 10K
R10 = 9,09K
R11 = 12K *
R12 = 12K *
R13 = 10K
R14 = 16,2K
R15 = 12K *
R16 = 12K *
R17 = 100K
R18 = 1M Ω (potentiomètre)
R19 = 100K
R20 = 10K
R21 = 5,1K
R22 = 10K
R23 = 10K
R24 = 270 Ω

Capacités :

C1 = 1 μ F **
C2 = 1 μ F **
C3 = 1 μ F **
C4 = 1 μ F **
C5 = 1 μ F **
C6 = 1 μ F **
C7 = 1 μ F **
C8 = 1 μ F **
C9 = 2 μ F
C10 = 47nF
C11 = 150pF
C12 = 10 μ F (P)
C13 = 10 μ F (P)

* : R mesurée = 11,7K
** : C mesurée = 0,92 μ F

Diodes :

D = 1N914

Potentiomètres :

P1 = 500 Ω
P2 = 1K

Amplificateurs opérationnels :

a, b, c, d, e = OP 07DP

Régulateur :

L = LM317

3.3 Carte n°1 : Microprocesseur

C'est la carte centrale du système d'acquisition.

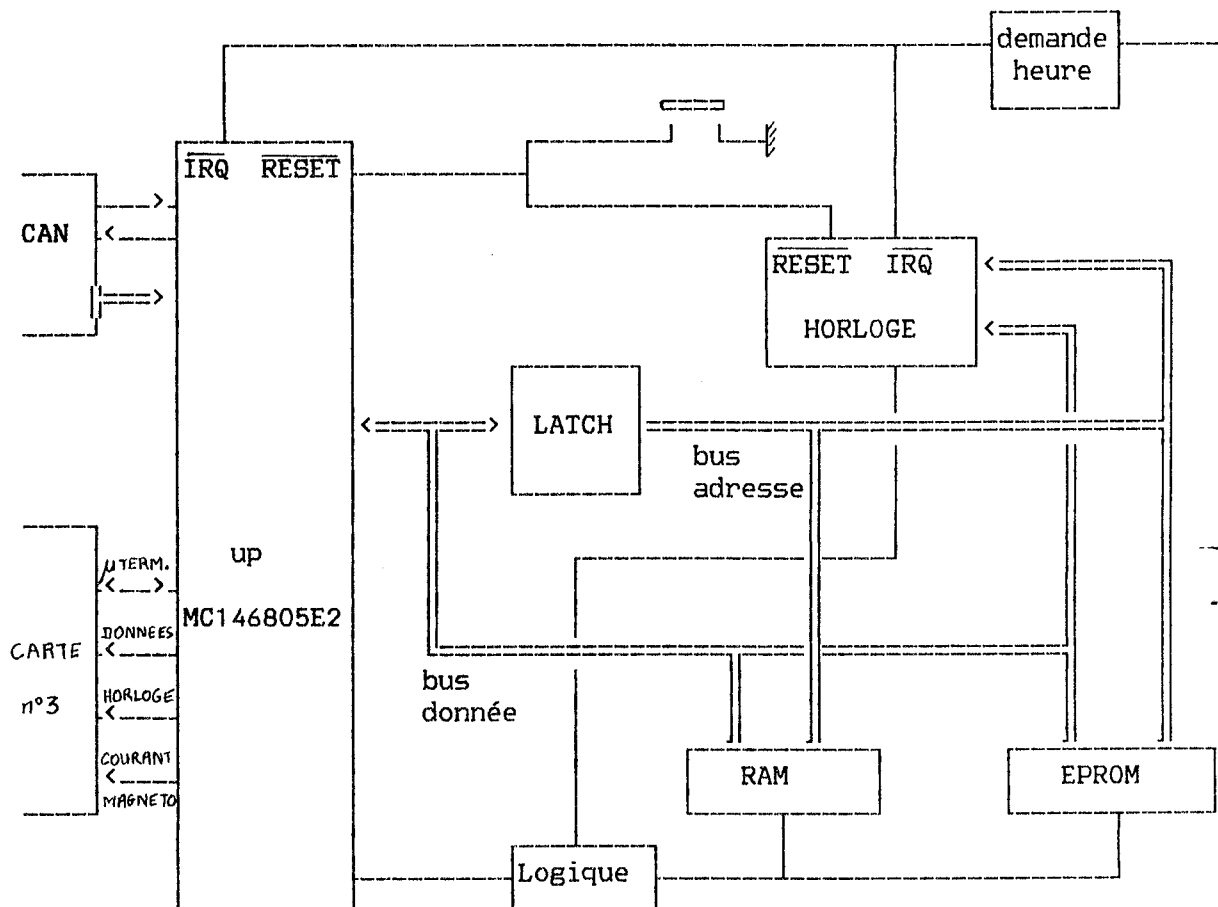
Elle doit assurer trois fonctions principales :

- L'acquisition des données provenant de la carte CAN et filtre à une fréquence fixe
- Le stockage de ces données en effectuant des moyennes pour détection d'évènement
- Le dialogue avec l'utilisateur par l'intermédiaire d'un microterminal afin de lire ou de modifier des paramètres et relancer le système (Reset).

De plus, afin de pouvoir lire l'heure sur demande et dater les évènements, une horloge est intégrée sur la carte.

3.3.1 Synoptique de la carte

Figure I.3.11



La carte comporte :

- un microprocesseur 146805 E2 8 bits Motorola
(cf Annexe I.3) [MOT80₁] [MOT80₂]
- 4K d'EPROM (2732A - technologie CMOS)
- 2K de RAM (5516 - technologie CMOS)
- une horloge MC146818 (cf Annexe I.4) [MOT..] [TRU85]
- deux quartz de fréquence :
 - . 5 MHz = quartz associé au microprocesseur
 - . 4,194304 MHz = quartz associé à l'horloge
- une logique d'adressage
- un latch 74LS373 pour démultiplexage données - adresses

3.3.2 L'horloge temps réel - Interface horloge - microprocesseur

- Rôle de l'horloge

Afin de pouvoir coder l'heure de l'évènement et l'heure du système avec exactitude il est nécessaire de disposer d'une horloge.

Cette dernière pouvant être "logicielle" ou intégrée à la carte d'acquisition.

Les avantages d'une horloge temps réel intégrée par rapport à une horloge logicielle sont importants :

- . gain de temps pour le processeur qui ne décompte pas les impulsions

- . facilité de programmation pour obtenir la date et l'heure ; seule l'initialisation des registres internes du circuit est à effectuer.

- Lecture des registres du circuit horloge

Les registres du circuit horloge sont réactualisés toutes les secondes.

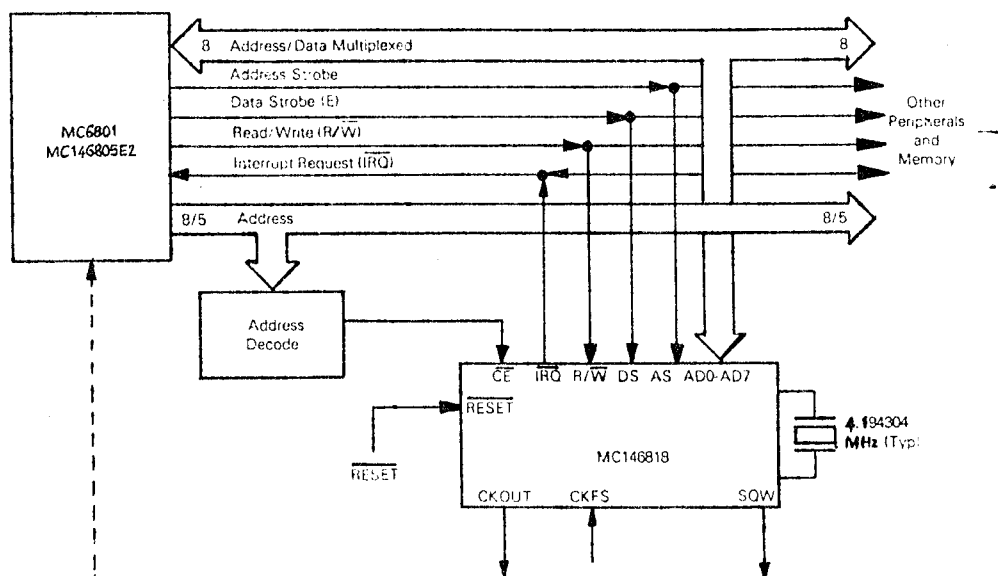
Avant de lire les informations contenues dans ceux-ci il convient de tester qu'une remise à jour n'est pas en cours.

Pour cela la lecture ne se fait que si le bit 7 (UIP) du registre A est nul. Les différentes valeurs lues sont alors stockées dans des registres tampons.

- Interfaçage horloge - microprocesseur

Synoptique de l'interfaçage effectué :

Figure I.3.12



La sélection du boîtier est réalisée grâce à une logique câblée reliée à l'entrée CE du circuit (cf ch I 3.3.4).

3.3.3 Adressage des différents boîtiers

3.3.3.1 Mémoire adressable

Le microprocesseur MC 146805E2 est capable d'adresser 8 Koctets (2000_H) de mémoire et registres d'entrée/sortie.

L'espace adressable est divisé en espace interne et espace externe comme le montre la figure ci-après.

Plan mémoire total et zone mémoire interne du microprocesseur

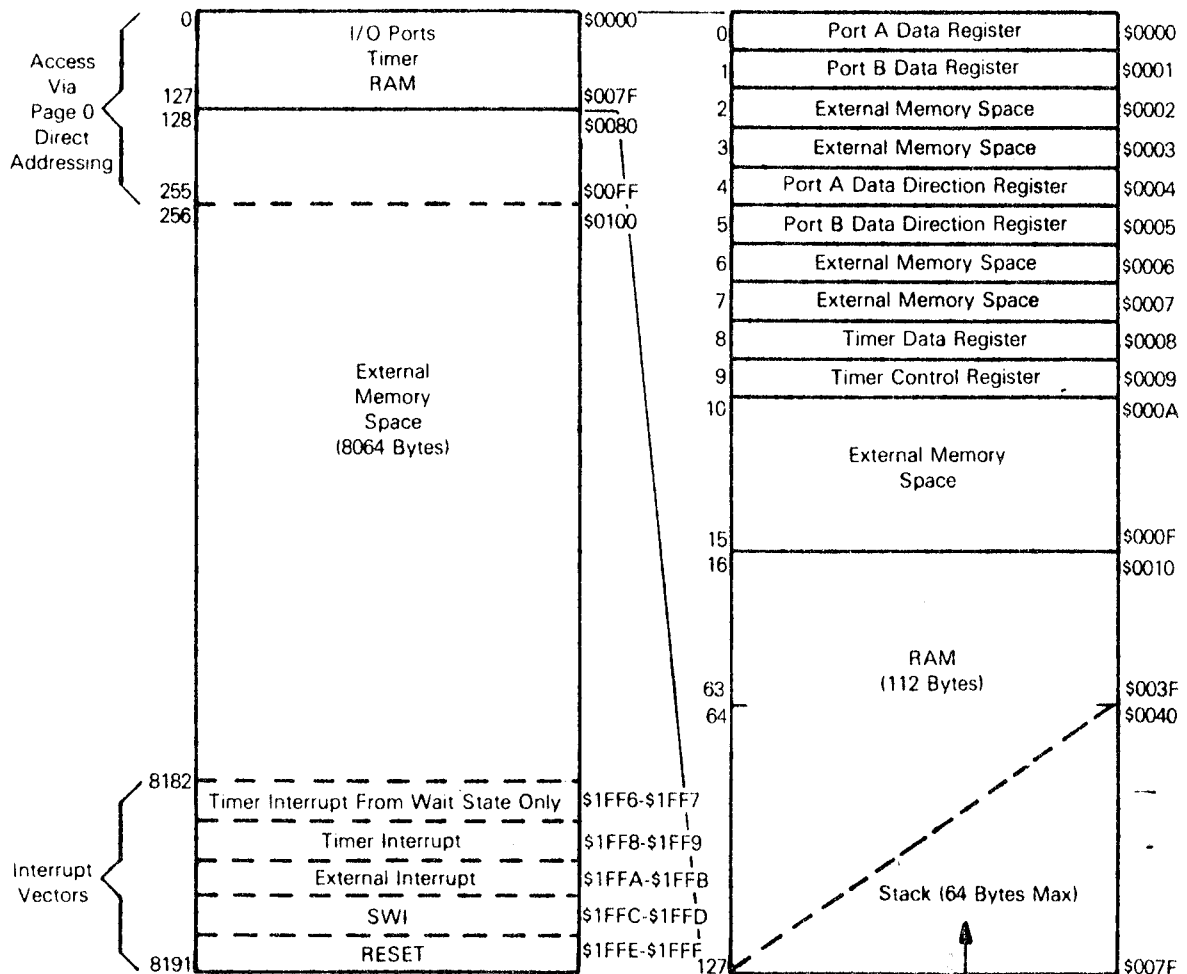


Figure I.3.13

3.3.3.2 Découpage de la mémoire

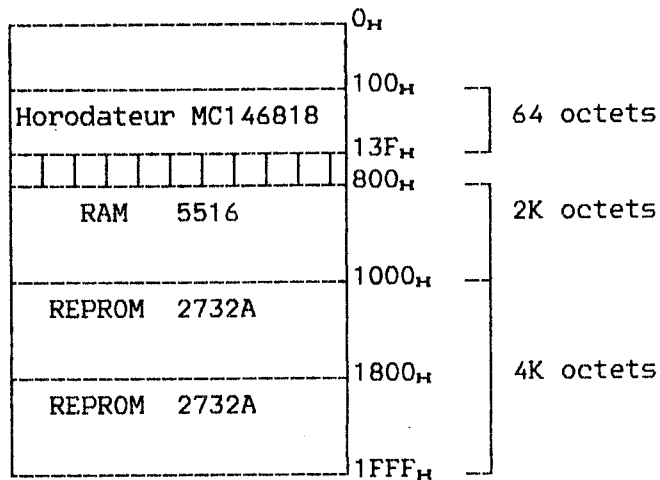


Figure I.3.14

3.3.3.3 Adressage des différents composants

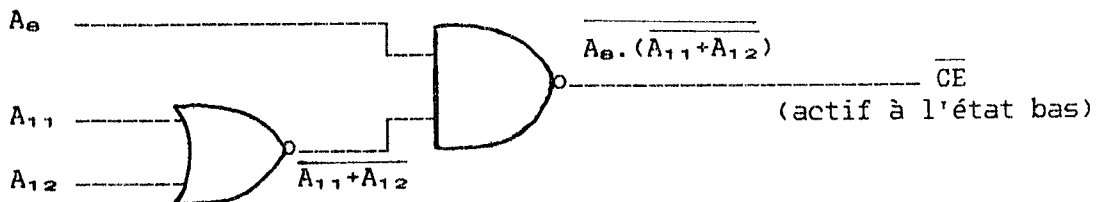
Cet adressage se réalise grâce à un certain nombre de portes logiques. [TEX76] La combinaison des lignes d'adresse $A_8 - A_{11}$ et A_{12} permet la sélection des différentes zones de la mémoire

bits	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
horodateur 100H	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
RAM 5516 800H	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
EPROM 2732A 1000H	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0

1°) Horodateur MC146818

$$\text{adresse} = 100_H : \overline{A_8} \cdot (\overline{A_{11} + A_{12}})$$

Figure I.3.15



En utilisant les théorèmes de Morgan de l'algèbre de Boole :

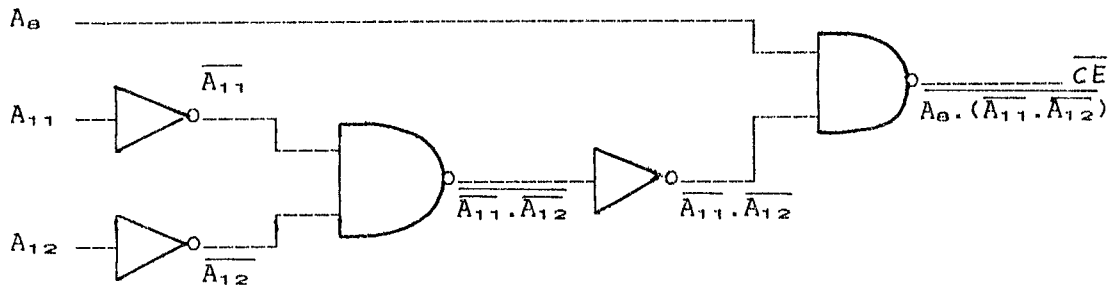
$$\overline{X \cdot Y} = \overline{X} + \overline{Y} \quad \text{et} \quad \overline{X + Y} = \overline{X} \cdot \overline{Y}$$

il vient :

$$\overline{\overline{A_B \cdot (\overline{A_{11}} + \overline{A_{12}})}} = \overline{\overline{A_B \cdot (\overline{\overline{A_{11}} \cdot \overline{A_{12}}}})} = \overline{\overline{\overline{\overline{A_B \cdot (\overline{A_{11}} \cdot \overline{A_{12}})}}}}$$

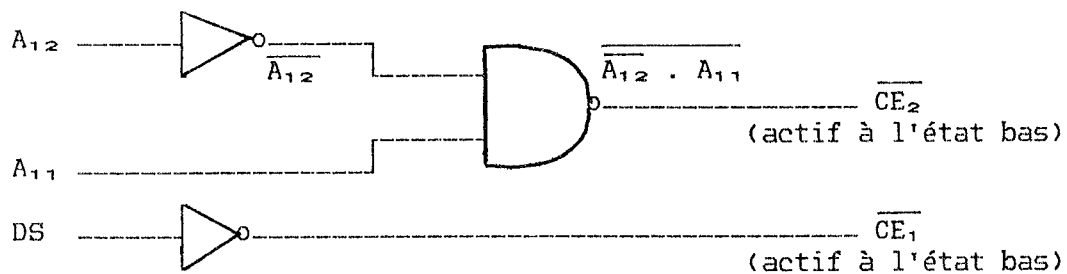
d'où le schéma équivalent ci-dessous (ceci afin d'économiser le nombre de circuits logiques sur la carte).

Figure I.3.16



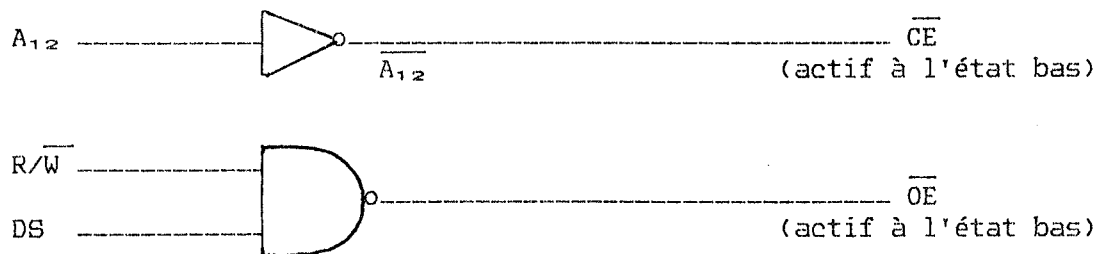
2°) RAM 5516 : adresse = 800_H : $\overline{A_{11}} \cdot \overline{A_{12}}$

Figure I.3.17



3°) EPROM 2732A : adresse = 1000_H : A_{12}

Figure I.3.18



Composants utilisés :

- 2 circuits NAND 74HC00 (N1 et N2)
- 1 circuit NON 74HC14 (I)

Schéma récapitulatif de cet adressage :

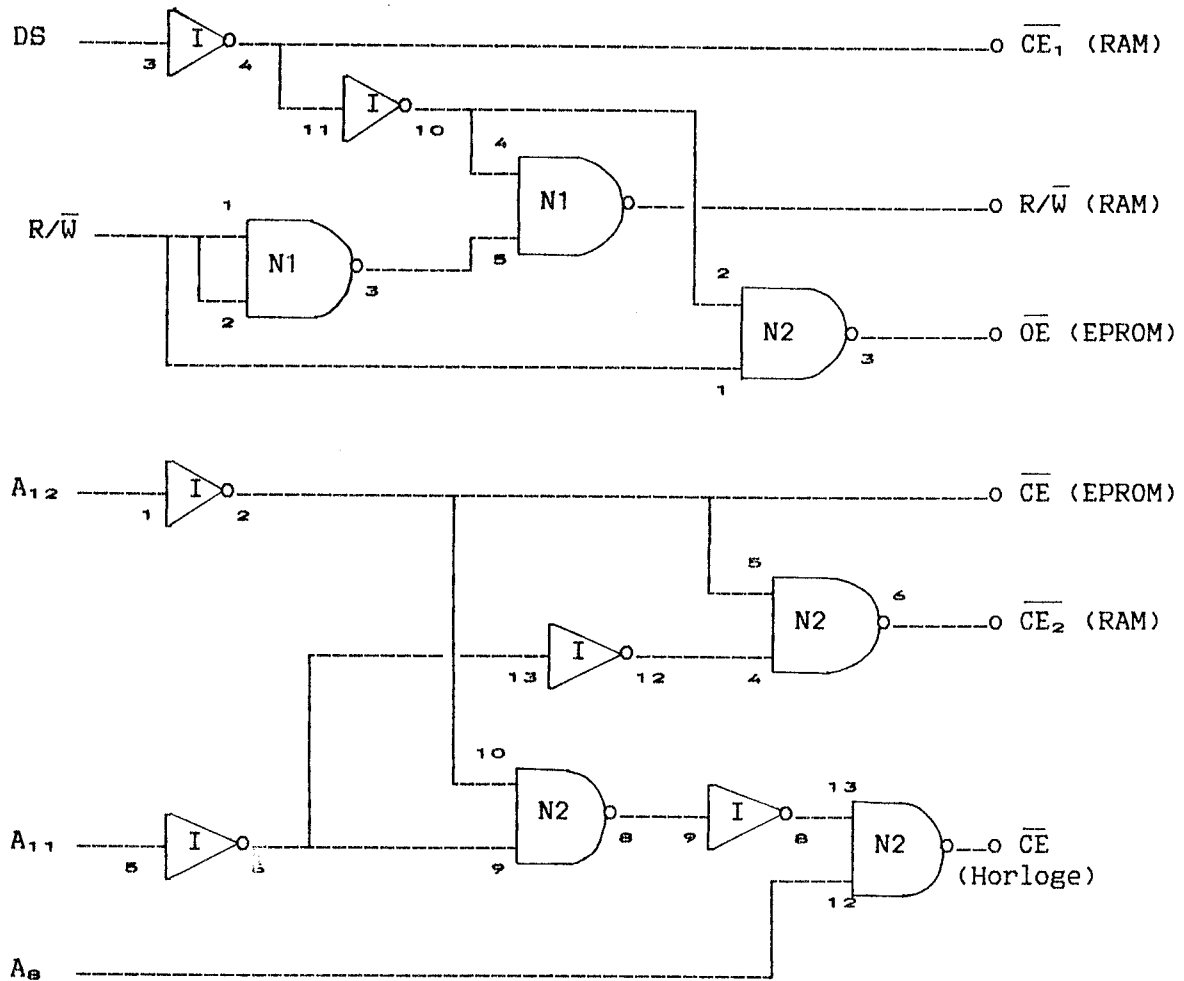


Figure I.3.19

3.3.4 Interruptions sur demande extérieure

3.3.4.1 Reset

- Le microprocesseur MC 146805 E2 a deux modes de reset, une entrée de reset active à l'état bas et une fonction de reset lors d'une mise sous tension.

- L'entrée $\overline{\text{Reset}}$ est utilisée pour réinitialiser le microprocesseur et fournir une procédure de départ software.

- Le reset à la mise sous tension se déclenche lorsqu'un front montant est détecté sur V_{DD} . Son rôle est d'assurer une bonne initialisation du programme lors de la mise sous tension du système.

- Chacun des deux types de reset produit les actions suivantes :

- . le bit 7 de demande d'interruption du registre de contrôle du timer est positionné à zéro

- . tous les bits des registres de direction des ports d'entrée/sortie sont positionnés à 0, c'est à dire en tant qu'entrée

- . le bus d'adresse est forcé au vecteur de reset (1FFE, 1FFF).

- Matériellement l'entrée RESET du microprocesseur est reliée à l'entrée RESET de l'horloge et un bouton poussoir relié à la masse permet sur demande la mise à l'état bas de ces entrées.

3.3.4.2 Génération d'interruption sur l'entrée \overline{IRQ} du microprocesseur

L'utilisateur a la possibilité de visualiser l'heure du système en cours de fonctionnement.

Sa demande est effectuée par bouton poussoir. Celui-ci est relié à l'entrée IRQ du microprocesseur par l'intermédiaire de circuits logiques.

Quand l'interruption se produit, le processus normal du microprocesseur est suspendu à la fin de l'exécution de l'instruction traitée.

Tous les registres 'programme' sont sauvegardés dans la pile. Le vecteur correspondant à l'interruption (1FFA,1FFB) est chargé et pointe l'adresse de départ de la routine d'interruption.

La logique utilisée est séparée en deux étapes :

- constitution d'un anti-rebond (cf Annexe I.5)

- génération d'un front descendant en entrée \overline{IRQ} du microprocesseur (actif à l'état bas) sur passage de 0 à 1 de la sortie de l'anti-rebond

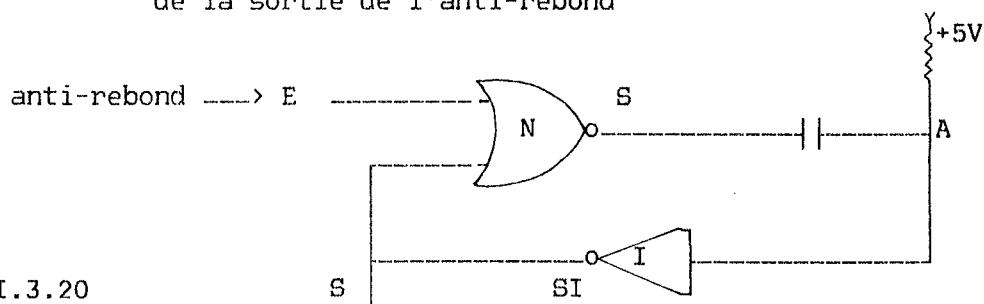


Figure I.3.20

. I correspondant à un inverseur est réalisé à l'aide d'une porte NOR dont les deux entrées sont rebouclées

. la sortie S est inversée à l'aide d'une porte NAND dont les deux entrées sont également rebouclées afin de valider l'interruption \overline{IRQ} sur front descendant.

Principe :

Cas 1 : Hypothèse de départ = l'entrée E est à 0

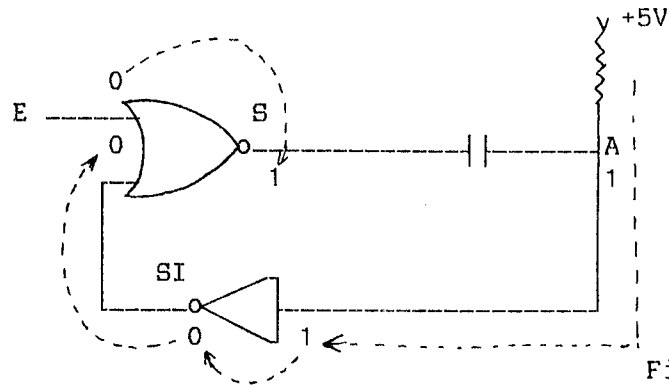


Figure I.3.21

- le point A est au potentiel + 5V et la sortie de l'inverseur SI est à 0

```

- si SI = 0
  |   alors  puisque E = 0
  |           ===> S = 1
  |
finsi

```

- les 2 points S et A sont égaux à 1, ce qui correspond à relier les deux extrémités de la capacité à + 5V. Aucune tension ne traverse donc celle-ci.

Cas 2 : L'entrée passe de 0 à 1

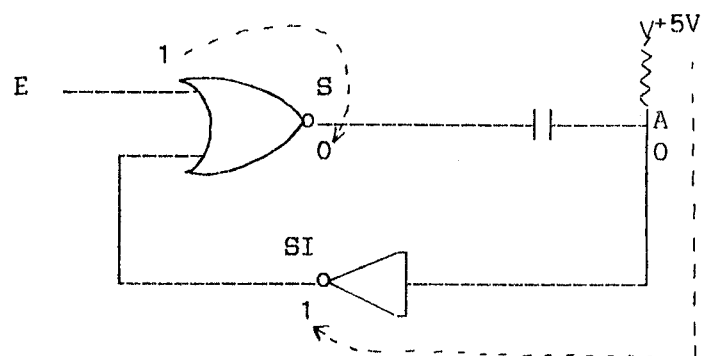


Figure I.3.22

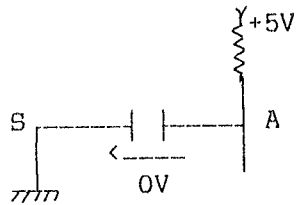
```

- si E = 1
  |   alors  quelque soit SI
  |           on a : S = 0
  |                   et A passe brusquement de 1 à 0
  |
finsi

```

- le potentiel aux bornes de la capacité ne varie pas instantanément .

==> au temps $t_1 = t_0 + \Delta t$ avec Δt petit
Le potentiel est toujours égal à 0V



==> au temps $t = t_0 + \Delta t'$ avec $\Delta t' > \Delta t$
La capacité va se charger progressivement jusqu'à ce que l'on obtienne un état haut au point A (temps t_3)

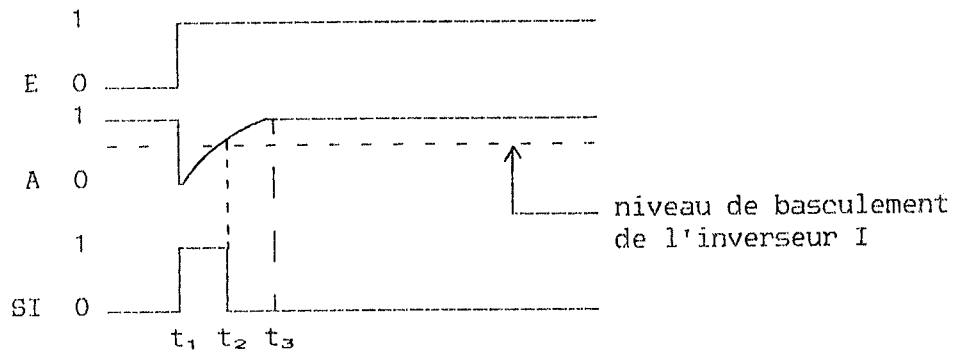
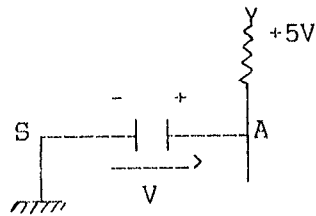


Figure I.3.23

temps t_1 :

. La sortie SI bascule en même temps que A telle quē :

$$SI = \bar{A} = 1$$

temps t_2 :

. Le point A est dans un état intermédiaire qui correspond au niveau de basculement de l'inverseur

. le point SI va alors basculer de 1 à 0 ce qui correspond à l'impulsion souhaitée (pour attaquer l'entrée \bar{IRQ} du microprocesseur).

Cas 3 : L'entrée E passe de 1 à 0

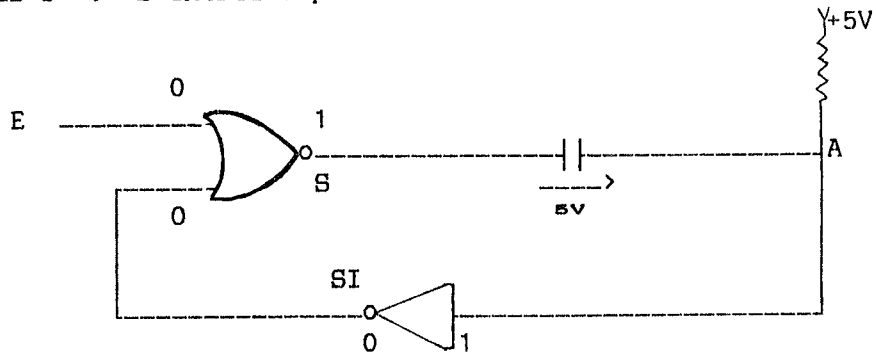


Figure I.3.24

- le potentiel aux bornes de la capacité ne varie pas instantanément

==> au temps $t_1 = t_0 + \Delta t$ avec Δt petit
 Le potentiel est toujours égal à +5V, donc $S = 1$, et le point A passe brusquement à une tension double soit +10V

==> au temps $t = t_0 + \Delta t'$ avec $\Delta t' > \Delta t$
 La capacité va se décharger petit à petit jusqu'à avoir une tension égale à +5V au point A

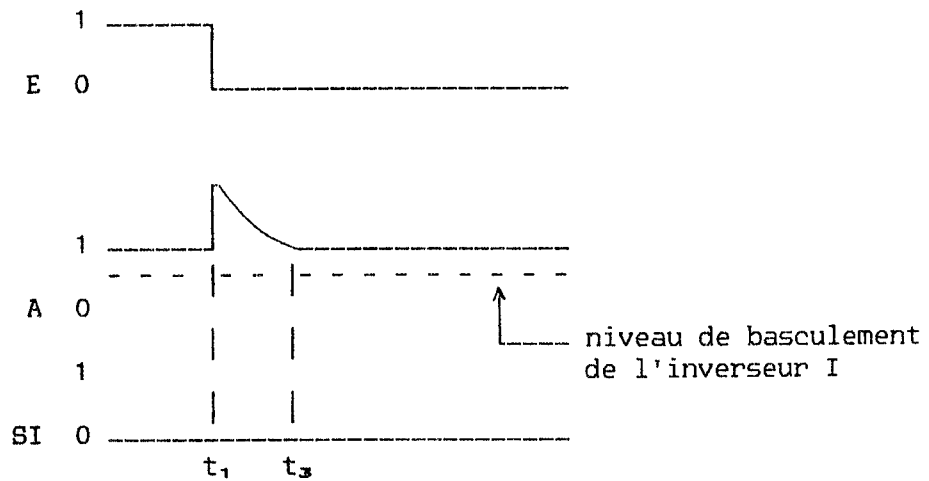


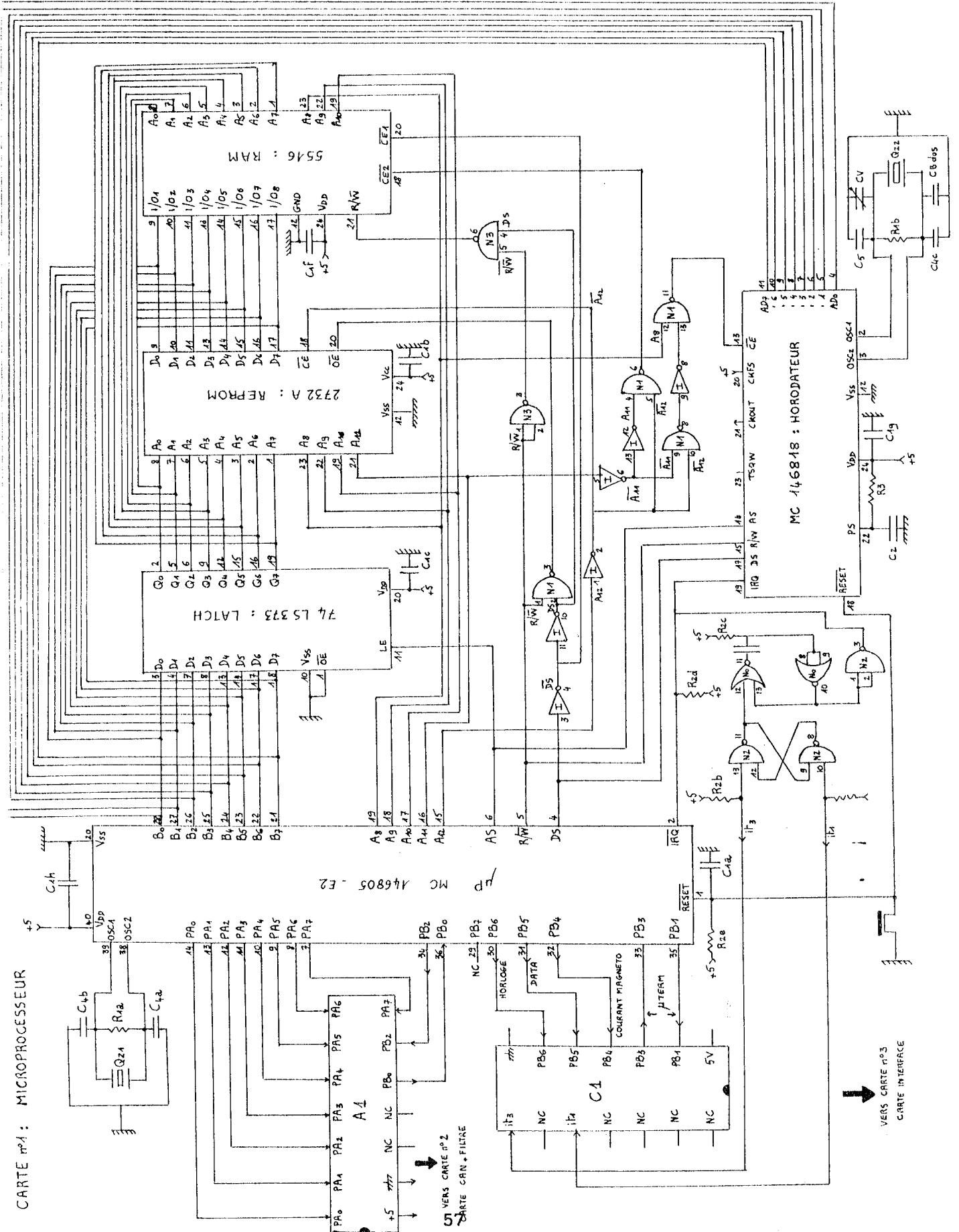
Figure I.3.25

SI ne bouge pas car le niveau de basculement de l'inverseur n'est jamais atteint.

3.3.5 Schéma logique - Plan de masse - Composants

1°) Schéma logique

Figure I.3.26



CARTE n°1 : MICROPROCESSEUR

VERS CARTE n°3
CARTE INTERFACE

2°) Plan de masse

CARTE n°1 : MICROPROCESSEUR

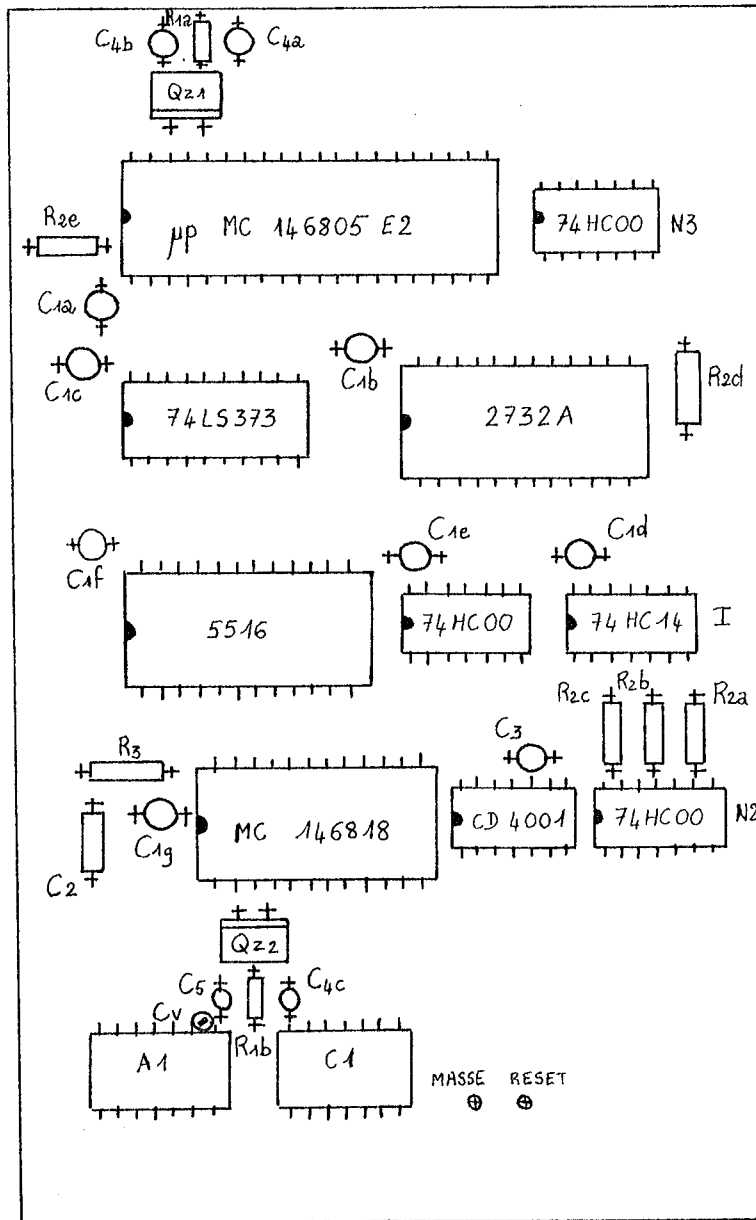


Figure I.3.27

3°) Composants :

Résistances :

R1 = 10M
R2 = 10K
R3 = 1K

Capacités :

C1 = 0,1 μ F (P)
C2 = 47pF
C3 = 100pF
C4 = 22pF
C5 = 3,3pF
C6 = 10 μ F
CV = 3,5 à 13pF

Quartz :

QZ1 = 5MHz
QZ2 = 4,194304MHz

Inverseur :

I = 74HC14

Nand :

N1, N2, N3 = 74HC00

Microprocesseur = MC146805E2

Horloge = MC146818

EPROM = 2732A

RAM = 5516

LATCH = 74LS373

3.4 Carte n°3 : Interface

Trois fonctions sont assurées par cette carte :

- Génération de sinusoides sur les deux voies droite et gauche pour l'enregistrement magnétique
- Alimentation du magnétophone sur basculement d'un bit du port du microprocesseur (bit PB4)
- Emission et réception de caractères entre le microterminal et le microprocesseur.

3.4.1 Génération de sinusoides sur les pistes de l'enregistrement magnétique

Les mots de 20 bits correspondant au codage PCM sont émis par logiciel sur un des ports du microprocesseur. Ils doivent être transformés en sinusoides afin d'être enregistrés sur bande magnétique.

La génération de sinusoides permet donc le codage des données avec enregistrement simultané sur les deux voies à la fréquence de 1000 Hz. (cf Ch I 2.3.5).

Hypothèse :

Les données sont émises en série sur le port B du microprocesseur (PB5)

Parallèlement, sur le même port (PB6) on dispose d'une horloge 1000 Hz (générée par logiciel grâce à l'interruption timer).

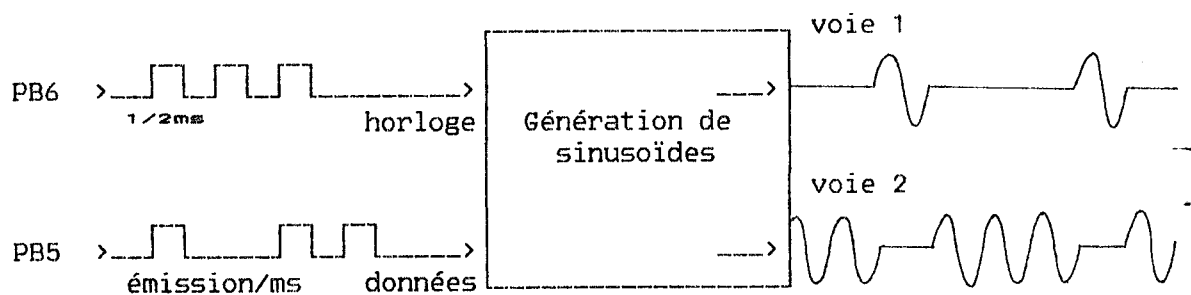


Figure I.3.28

3.4.1.1 Synoptique général

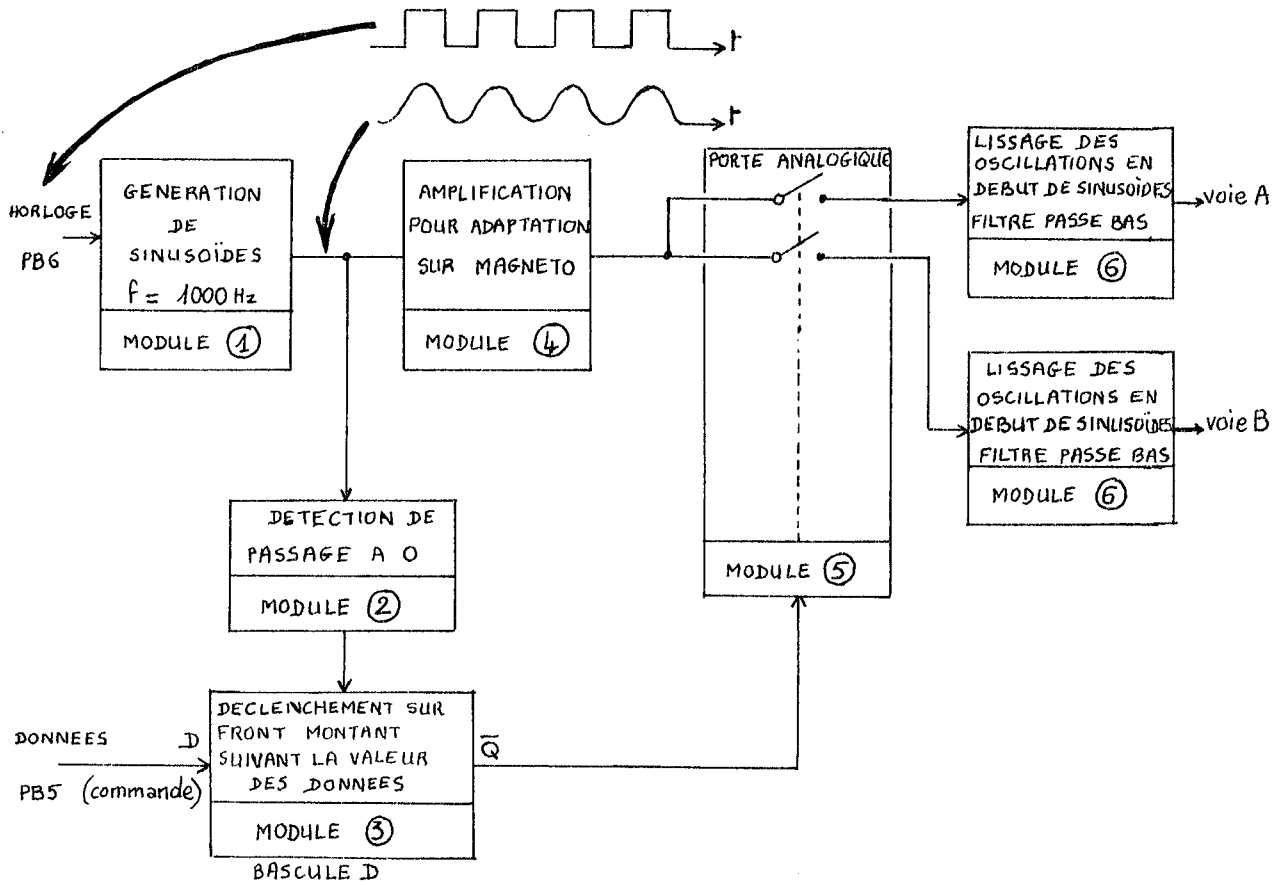


Figure I.3.29

Fonctionnement :

- Une sinusoïde de fréquence 1000 Hz est générée à partir des impulsions d'horloge issues de la sortie PB6 du microprocesseur.
- Les valeurs successives des données émises par la sortie PB5 attaquent l'entrée D d'une bascule (module 3).

A chaque front montant de l'horloge, la sortie Q suit l'état de l'entrée de la bascule.

- La sortie \bar{Q} commande le commutateur analogique.
- La sinusoïde présente à l'entrée du commutateur analogique est aiguillée sur l'une de ses deux sorties.

La commutation ne peut s'effectuer que sur un front montant et au moment du passage à zéro du signal sinusoïdal.

Le diagramme ci-dessous montre ces différentes étapes :

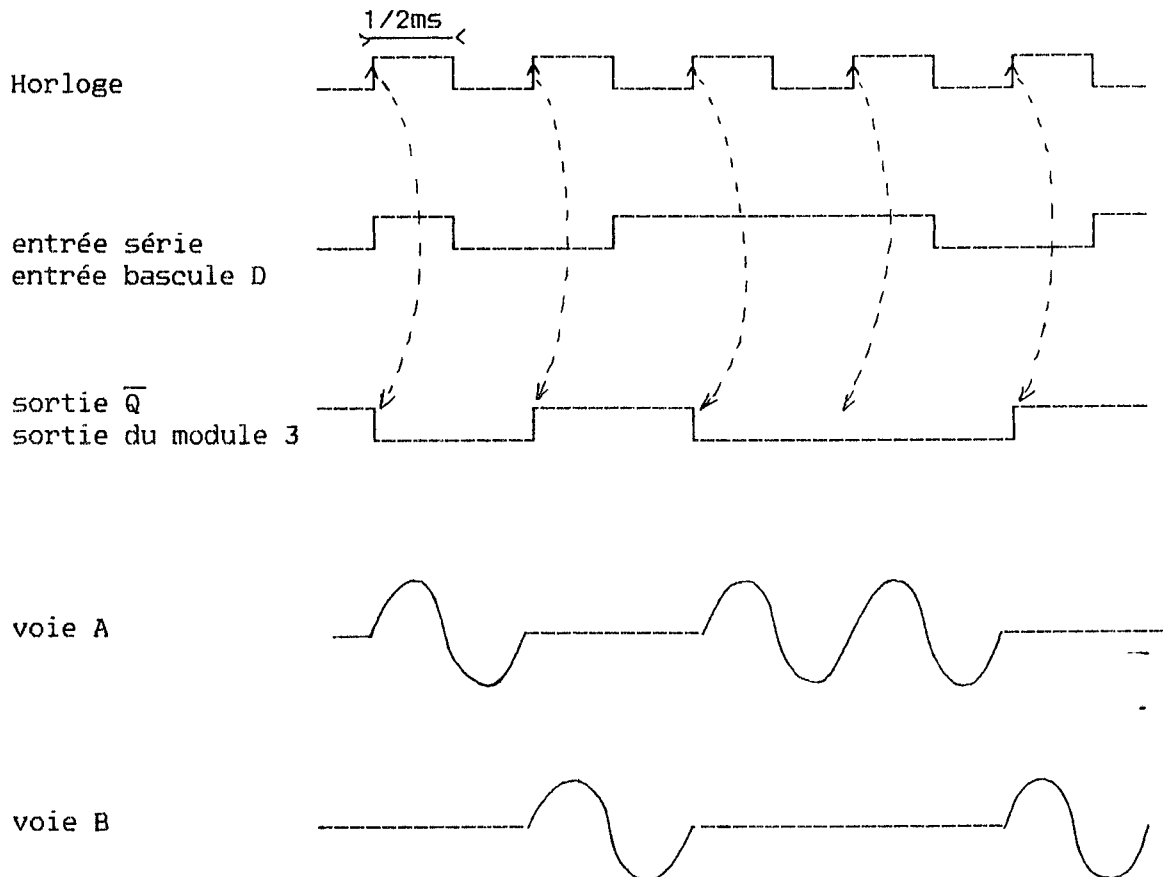
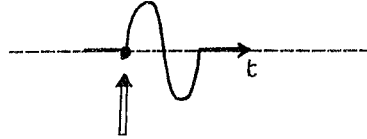


Figure I.3.30

Problèmes existants :

- obtenir des arches de sinusoides en phase sur les deux voies
- réaliser le début du front montant des sinusoides centré sur l'axe horizontal des temps



Pour ce dernier point, on utilise un circuit de détection de zéro. Puis, on sélectionne les seuls passages par zéro sur front montant. Ceux-ci serviront à valider l'impulsion de commande extérieure (valeurs des données) pour commander la porte analogique.

3.4.1.2 Module 1 = Génération de sinusoides

Structure de base :

La structure utilisée est un réseau à contre réaction multiple ou structure de Rauch.

Le circuit de base de la structure de Rauch comprend plusieurs boucles de contre-réaction.

Organisation générale d'un réseau à contre-réaction multiple :

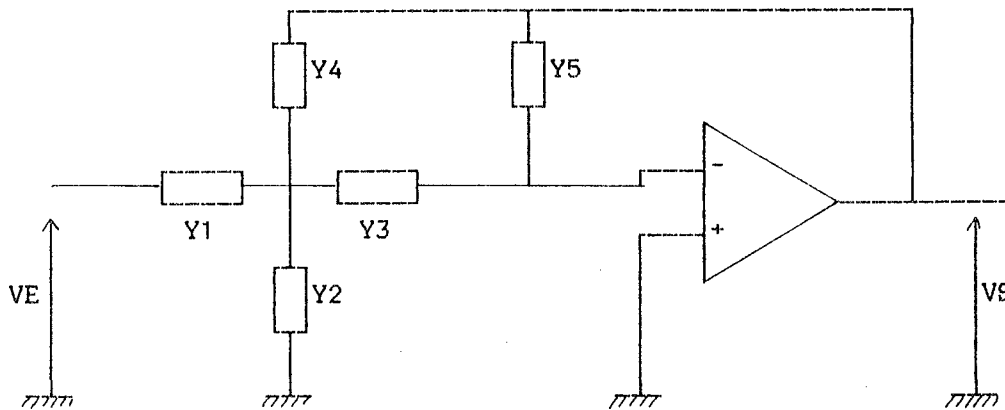


Figure I.3.31

. deux résistances pour Y1 et Y3 permettront de synthétiser un transfert passe bas (pas de terme en p ou p^2 au numérateur).

. deux capacités pour Y1 et Y3 font apparaître un terme en p^2 au numérateur, donc permettront de synthétiser une fonction de transfert passe haut.

. une résistance et une capacité réaliseront, de la même façon, un filtre passe bande (apparition d'un terme en p au numérateur).

C'est ce dernier cas qui permet de réaliser un résonateur actif. Le montage utilisé est le suivant :

Filtre passe bande

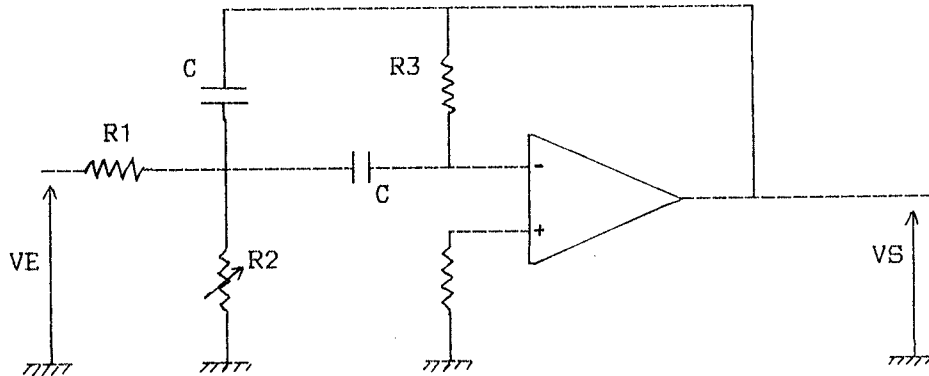


Figure I.3.32

La fonction de transfert peut s'écrire sous la forme :

$$\frac{V_S}{V_E} = -A \cdot \frac{\Delta \omega p}{p^2 + \Delta \omega p + \omega_0^2}$$

A = gain à la fréquence d'accord f_0
 $\Delta \omega$ = largeur de bande A - 3dB

avec :

$$\begin{cases} A = -R3/2R1 \\ \Delta \omega = 2/CR3 \\ \omega_0 = 1/C \sqrt{R3 (R1 \cdot R2 / R1 + R2)} \end{cases}$$

Afin d'obtenir une fréquence d'oscillation de 1000 Hz, les différents composants prennent pour valeur :

$$\begin{aligned} C &= 82 \text{ nF} \\ R3 &= 56 \text{ K}\Omega \\ R1 &= 22 \text{ K}\Omega \end{aligned}$$

R2 est un potentiomètre de 100 Ω permettant d'accorder le filtre sans modifier le gain à l'accord et la largeur de bande.

D'après ces valeurs, il vient :

- A = -1
 - $\Delta \omega = 435 \text{ rd/s} \implies \Delta f = 69 \text{ Hz}$
 - Pour R2 maxi = 100
 $\omega_0 = 5165 \text{ rd/s} \implies f_0 = 822 \text{ Hz}$
 - Pour R2 mini = 1
 $\omega_0 = 51533 \text{ rd/s} \implies f_0 = 8206 \text{ Hz}$
- On fixe donc R2 telle que $f \approx 1000 \text{ Hz}$

3.4.1.3 Module 2 : Détection de passage à 0V

Afin de détecter les passages par zéro, on utilise un comparateur rapide (avec e^+ relié à la masse).

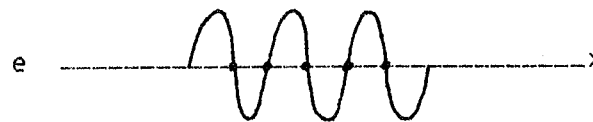
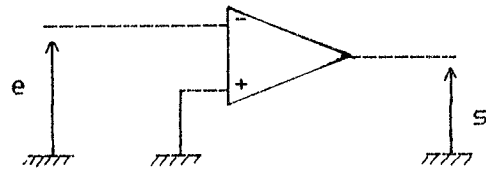


Figure I.3.33

Le montage bascule pour une tension e voisine de 0

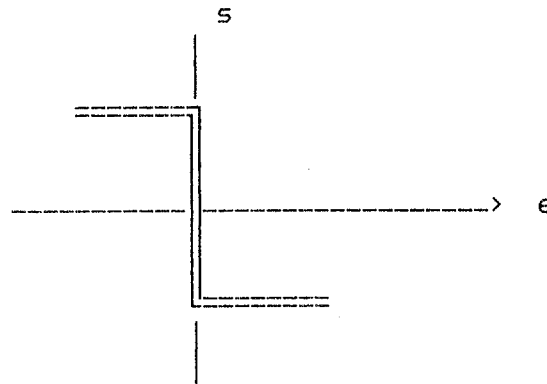


Figure I.3.34

La sortie est de signe contraire à l'entrée.

Les entrées du comparateur sont protégées par deux diodes connectées tête - bêche.

Un circuit inverseur trigger de Schmitt permet d'éviter les oscillations qui subsistent en sortie du comparateur.

3.4.1.4 Module 3 : Déclenchement sur front montant de l'horloge

Le circuit utilisé est une bascule D de type 74LS74 dont la table de vérité est donné par le tableau suivant :

INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

- les deux entrées PRESET et CLEAR doivent être positionnées à l'état haut.

- la sortie \bar{Q} que l'on considère est validée sur front montant de l'horloge (entrée clock de la bascule D). Elle attaque alors la porte analogique (module 5).

3.4.2.5 Module 4 : Amplification pour adaptation sur magnétophone

Le signal sinusoïdal émis par l'oscillation (module 1) doit être amplifié avant d'attaquer les deux entrées du magnétophone.

On utilise donc le montage suivant :

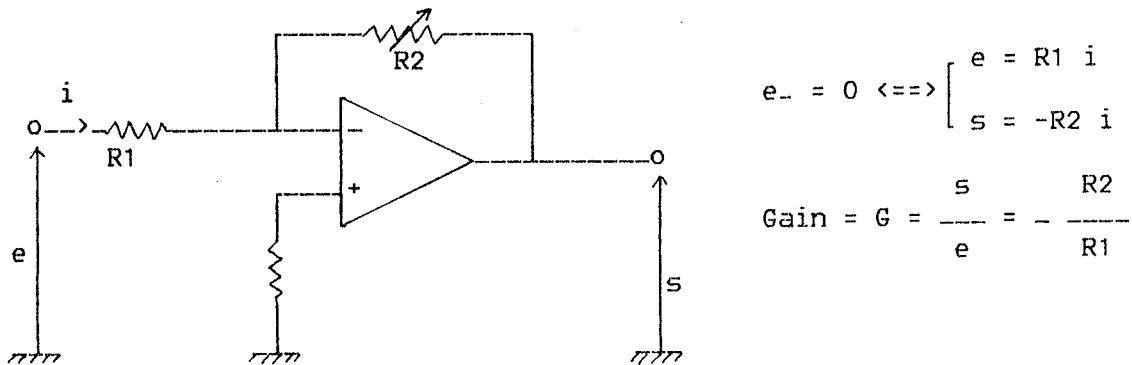


Figure I.3.35

3.4.1.6 Module 5 : Porte analogique

La porte analogique choisie comporte deux "contacts" séparés ; l'ouverture de l'un s'effectuant en phase avec la fermeture de l'autre et inversement.

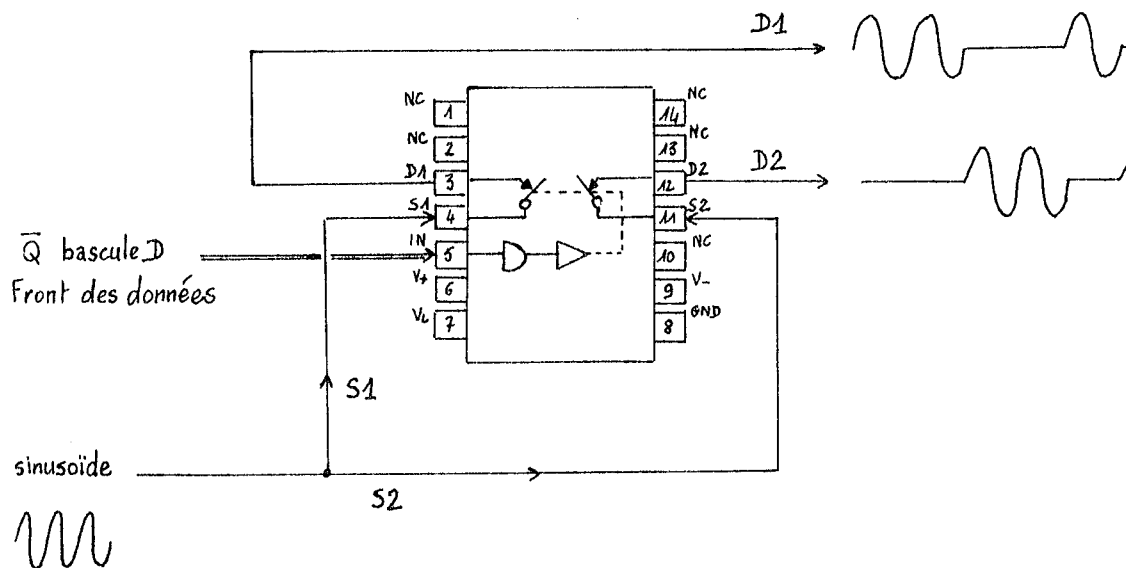


Figure I.3.36

Le signal de sortie de la bascule D attaque l'entrée IN de la porte.

La sinusoïde fabriquée par le module 1 et amplifiée par le module 4 est présente sur les deux entrées S1 et S2.

L'entrée IN commande l'ouverture de l'un des deux contacts et la fermeture de l'autre. La sinusoïde présente en S1 et S2 sera disposée sur l'une des sorties D1 ou D2. [ELE78]

3.4.1.7 Module 6 : Lissage des sinusoïdes

L'observation sur un oscilloscope a permis de constater la présence de petites oscillations à chaque établissement de la sinusoïde.

Afin de remédier à cet inconvénient et obtenir ainsi des salves propres, un filtre passe bas est placé en amont du magnétophone.

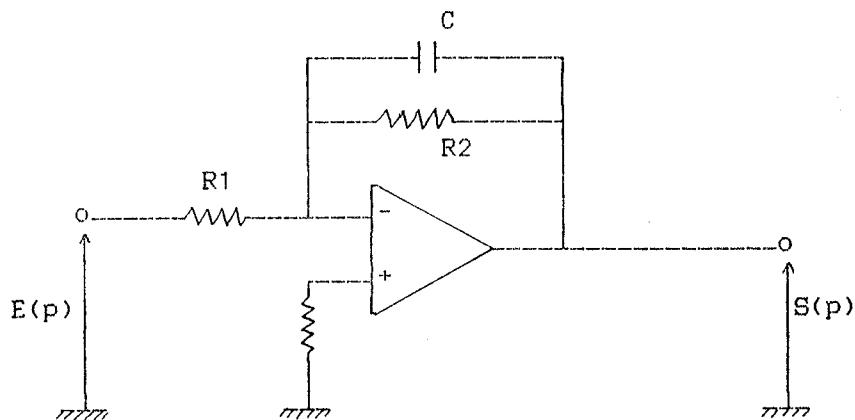


Figure I.3.37

Détermination des valeurs de $Z_1(p)$ et $Z_2(p)$:

$$Z_1(p) = R1$$

$$Z_2(p) = R2 \parallel (1/Cp) = R2 / (1 + R2Cp)$$

La fonction de transfert s'écrit : [IUT3] [POU82]

$$H(p) = - Z_2(p) / Z_1(p) = - R2 / (R1 \cdot (1 + R2Cp))$$

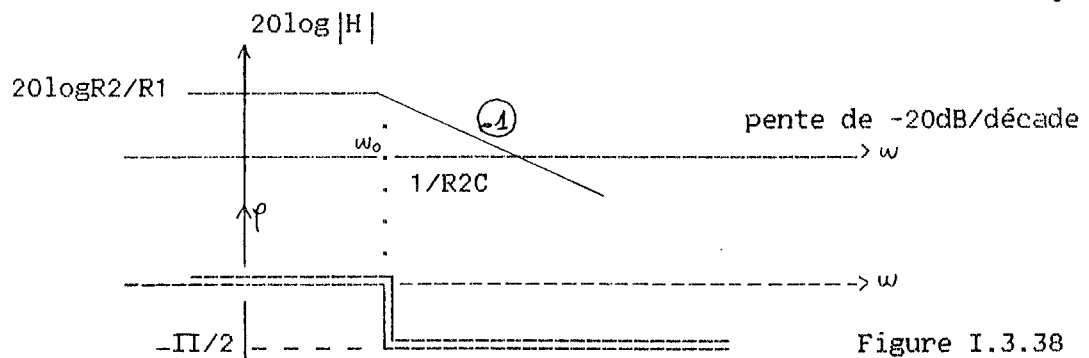


Figure I.3.38

3.4.2 Alimentation du magnétophone sur basculement d'un bit du port du microprocesseur (PB4)

Le magnétophone utilisé pour l'enregistrement des évènements est un magnétophone à bandes UHER 4200.

Une modification de câblage a permis de mettre le magnétophone en pause électrique avec les touches d'enregistrement appuyées et l'alimentation coupée.

La commande extérieure de la mise en marche du magnétophone s'effectue par l'intermédiaire de deux prises .

Le schéma suivant symbolise le déroulement de cette commande.

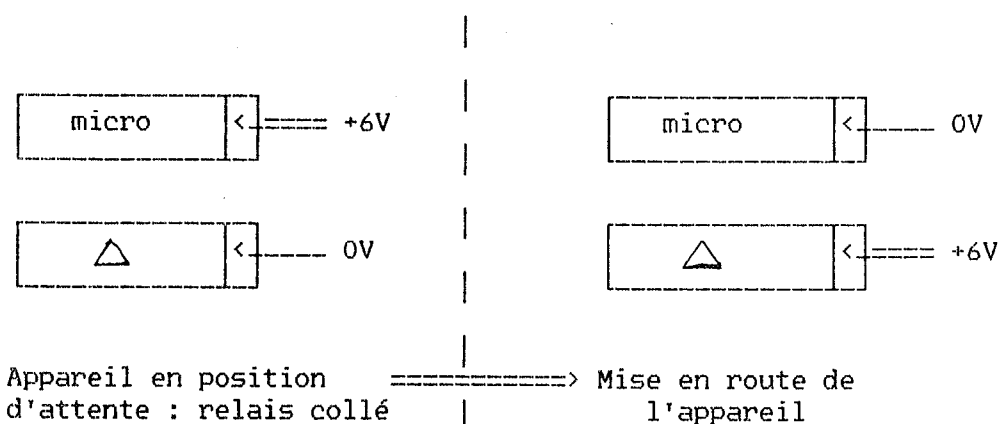


Figure I.3.39

La commande provient du basculement logiciel du bit PB4 du port B du microprocesseur. Un relais permet le déclenchement de la commande.

3.4.3 Emission et réception de caractères entre le microterminal et le microprocesseur

Un microterminal est utilisé pour permettre le dialogue entre l'utilisateur et le système mis au point.

Deux broches du port B sont affectées à ces échanges :

- PB3 = initialisée en entrée
 ==> réception de caractères
 microterminal ----> microprocesseur
- PB1 = initialisée en sortie
 ==> émission de caractères
 microprocesseur ----> microterminal

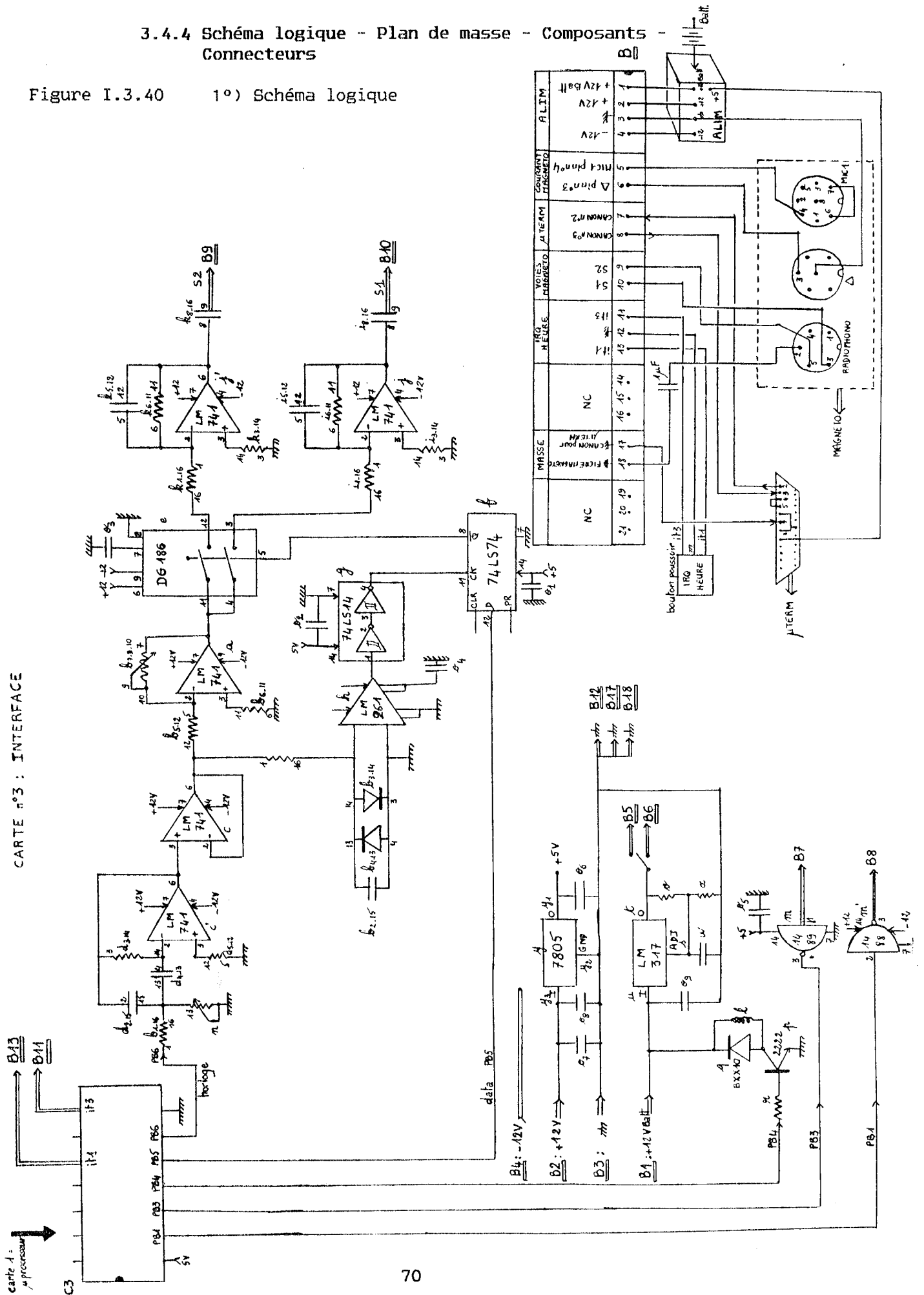
La liaison effectuée est une liaison série RS232 .

La vitesse de transmission est de 300 bauds. Cette vitesse d'émission est gérée entièrement par logiciel (cf Ch 4.).

Les deux broches du port B sont reliées à la prise 25 broches du microterminal par l'intermédiaire de deux circuits d'interface (cf Annexe I.6).

3.4.4 Schéma logique - Plan de masse - Composants - Connecteurs

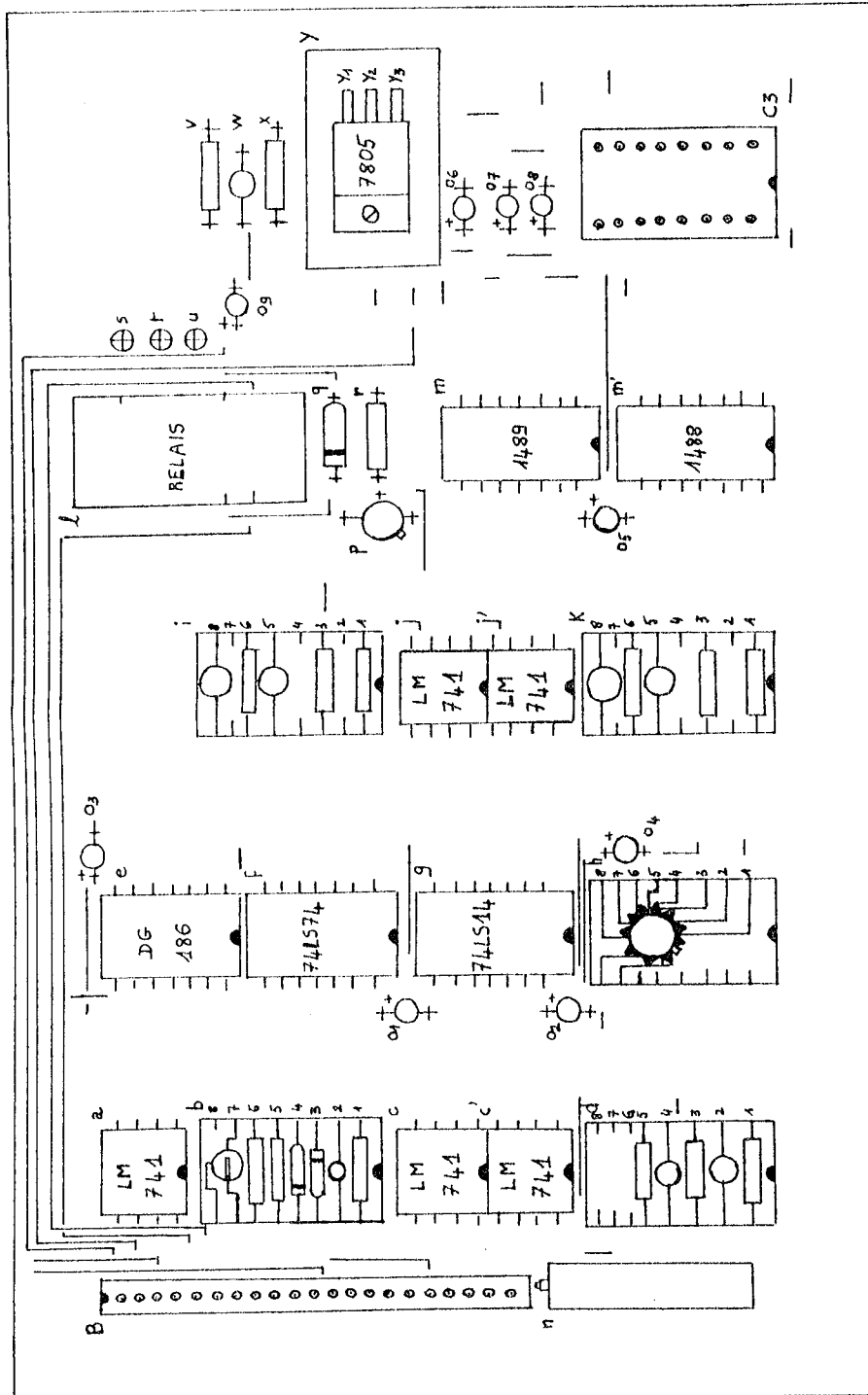
Figure I.3.40 1°) Schéma logique



2°) Plan de masse

Figure I.3.41

CARTE n°3 : INTERFACE



3°) Composants [NAT880]

a	LM741	amplificateur opérationnel
b	b1 - b16	R = 22K
	b2 - b15	C = 1nF
	b3 - b14	diode 1N914
	b4 - b13	diode 1N914
	b5 - b12	R = 49K
	b6 - b11	R = 10K
	b7 - b10 - b9	potentiomètre 10K
e	LM741	amplificateur opérationnel
c'	LM741	amplificateur opérationnel
d	d1 - d16	R = 22K
	d2 - d15	C = 82nF
	d3 - d14	R = 56K
	d4 - d13	C = 82nF
	d5 - d12	R = 56K
e	DG186	porte analogique
f	74LS74	bascule D
g	74LS14	inverseur
h	LM261	amplificateur opérationnel
i	i1 - i16	R = 10K
	i3 - i14	R = 4,7K
	i5 - i12	C = 22nF
	i6 - i11	R = 10K
	i8 - i16	C = 1uF
j	LM741	amplificateur opérationnel
j'	LM741	amplificateur opérationnel
k	k1 - k16	R = 10K
	k3 - k14	R = 4,7K
	k5 - k12	C = 22nF
	k6 - k11	R = 10K
	k8 - k16	C = 1uF
m	1489	
m'	1488	
n	potentiomètre 100	
o	C = 0,1uF (P)	
p	transistor 2222	
q	diode BXX10	
r	R = 5K	
s	adjust	
t	output] régulateur LM317
u	input	
v	R = 270	
w	C = 10uF (P)	
x	R = 1,2K	
y1	output] régulateur 7805
y2	GND	
y3	input	

4°) Connecteurs

Connecteur B :

[B1	+12V	Batterie	
	B2	+12V		
	B3	0V		
	B4	-12V		
[B5	pin n°4	de la prise MIC1 (8 pins) du magnétophone	
	B6	pin n°3	de la prise (6 pins) du magnétophone	
[B7	pin n°2	de la prise 25 broches du microterminal	
	B8	pin n°3	de la prise 25 broches du microterminal	
[B9	piste S2	du magnétophone	
		pin n°5	de Radiophono (5 pins) du magnétophone	
	B10	piste S1	du magnétophone	
		pin n°3	de Radiophono (5 pins) du magnétophone	
[B11	it3		
	B12	0V		bouton poussoir
	B13	it1		
[B14			
	B15			non connecté
	B16			
[B17	0V	: pin n°7	prise 25 broches du microterminal
	B18	0V	: pin n°2	prise Radiophono (5pins) du magnéto avec C = 1 μ F en série
[B19			
	B20			non connecté
	B21			

Connecteur C3 :

	C1	5V		
	C2	PB1		
	C3	PB3		
	C4	PB4		
	C5	PB5		
	C6	PB6		
	C7	0V		
[C8	it3		
	C9	non connecté		
	C10	it1		
[C11			
	C12			non connecté
	C13			
	C14			

4. REALISATION LOGICIELLE DU SYSTEME D'ACQUISITION

L'utilisation conjointe de l'Exorset 100 muni d'une sonde d'émulation 146805E2 et d'un analyseur logique a permis de mettre au point les différentes étapes de cette réalisation, que ce soit sur le plan matériel ou logiciel.

Pour mettre au point les différents programmes, on utilise la mémoire vive de l'émulateur.

Lorsque cette phase de mise au point est terminée, les programmes peuvent être implantés dans une Eprom.

Ce chapitre résume la démarche générale de la réalisation logicielle, puis décrit plus précisément les modules importants ou particuliers la constituant.

4.1 Logique de la réalisation

En introduction, on a montré le synoptique général du système et les fonctions supplémentaires nécessaires à son bon fonctionnement.

Afin de compléter ces hypothèses de travail, il est nécessaire de déterminer les contraintes initiales :

- L'échantillonnage est effectué à la fréquence de 50 Hz. Il faut donc émettre une demande de conversion des données analogiques issues du géophone toutes les 20ms.
- L'écriture sur le magnétophone doit être faite à la vitesse de un bit par milliseconde.
- Un bloc correspondant à une donnée codée est composé de 20 bits. Il sera donc émis en 20 ms, soit exactement le temps entre deux conversions successives.
- Les 20 secondes précédant l'évènement et les 10 secondes le suivant doivent également être enregistrées.
- La génération de sinusoides sur les deux voies droite et gauche de l'enregistrement magnétique nécessite la génération d'un signal à 2KHz. (cf ch I 3.4.2).

4.1.1 Découpage du temps

Différentes tâches doivent être exécutées à une fréquence régulière et nécessitent ainsi la génération d'une interruption lors du déroulement du programme de base.

Le principe général de cette réalisation repose donc sur deux programmes :

- une tâche de fond travaillant en continu (nommée ACQUIS)
- une tâche d'interruption du timer (nommée ITIMER) gérant le séquençement et l'activation des différents modules à exécuter.

Chaque programme ainsi que la tâche de fond doivent être optimisés afin d'être exécutés en une durée minimale.

Afin de vérifier la durée de chaque module du programme d'interruption ainsi que celle du programme principal, on totalise le nombre de cycles instructions effectués.

Le microprocesseur MC146805E2 possède un timer/counter intégré (cf Annexe I.3.4).

Celui-ci contient un registre de contrôle programmable qui permet de sélectionner la prédivison de base souhaitée en fonction du quartz utilisé.

Un compteur 8 bits est également programmable afin d'ajuster la fréquence d'interruption réalisée.

Une interruption du timer est ainsi réalisée toutes les 1/2 ms, et le processeur accède alors à la routine d'interruption de service du timer.

4.1.2 Déroulement du programme

4.1.2.1 Gestion des tâches

- Un compteur (CPT) variant cycliquement de 0 à 39, s'incrémente à chaque interruption du timer soit toutes les 1/2ms.

- La gestion de ce compteur (utilisé uniquement dans le programme d'interruption ITIMER), permet :

- . d'activer les tâches exigeant un démarrage à un instant précis

- . de répartir les autres tâches régulièrement.

- Ces deux points entraînent la création de petits modules chargés chacun de fonctions propres.

Chaque module est minuté afin de travailler sur un seul niveau d'interruption. En effet, on ne doit pas être dérouté lors de l'exécution d'une routine d'interruption.

La tâche de fond exécute le programme de base qui consiste à détecter les événements et réaliser le codage des données en code PCM.

Ce programme doit forcément être réalisé en une durée inférieure à 20ms.

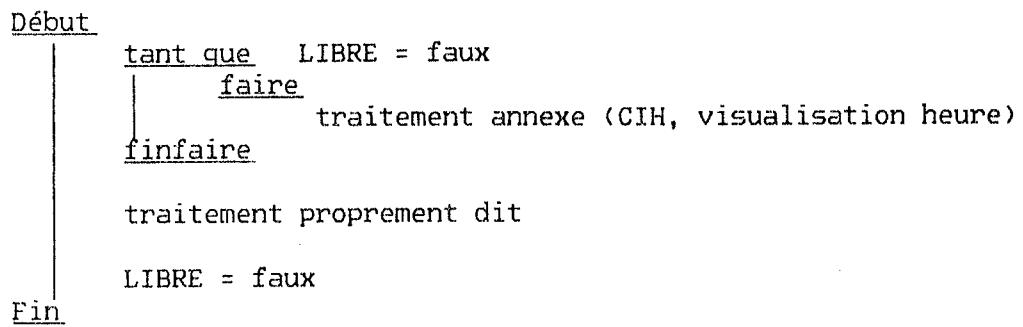
De plus, il est nécessaire de pouvoir synchroniser cette tâche dans le temps, afin qu'aucun décalage n'ait lieu.

C'est le programme d'interruption qui par le biais d'une variable de travail (LIBRE) autorise cette synchronisation.

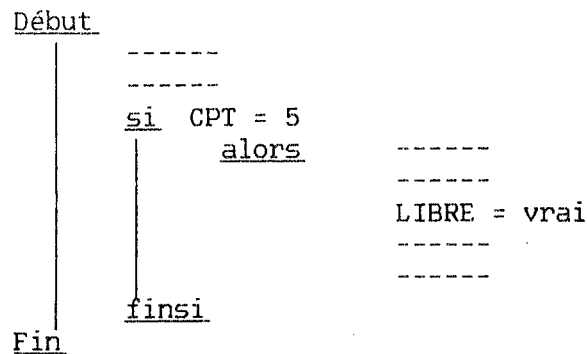
Le programme de base ne débutera sa tâche essentielle que si le compteur est égal à 6 soit au bout de 3ms.

Les extraits suivants des deux algorithmes montrent la méthode utilisée pour cette activation :

Programme principal :



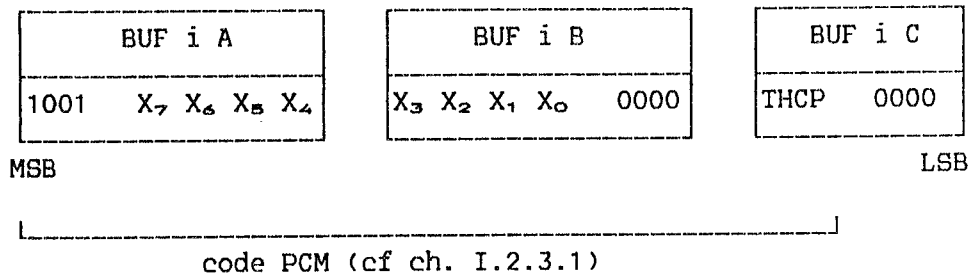
Programme d'interruption :



4.1.2.2 Gestion des buffers

Afin de pouvoir émettre les bits de données toutes les millisecondes et coder ces données sur 20 bits simultanément, deux tables sont créées .

Chacune est composée de trois octets :

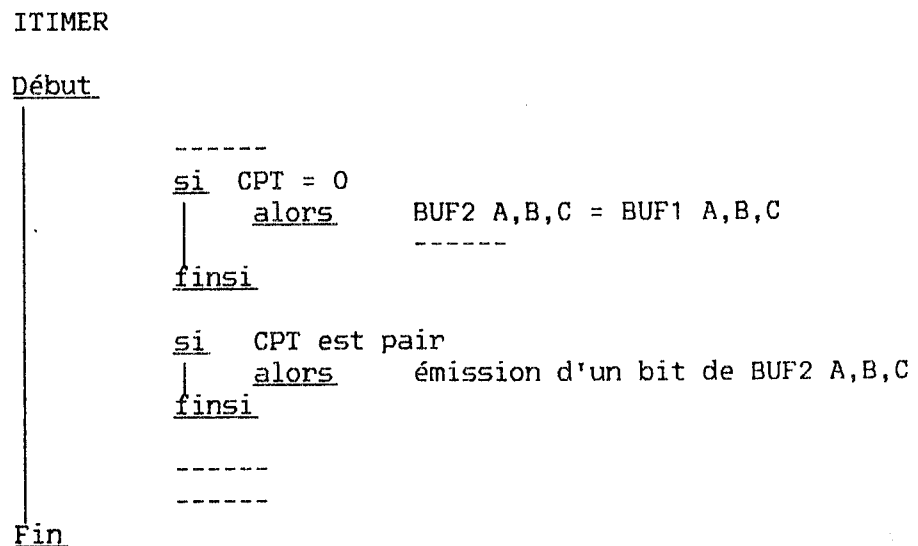


avec : i = 1 ou 2

BUF1 A,B,C = buffer rempli par la tâche de fond

BUF2 A,B,C = buffer dont les bits sont émis un à un par décalage vers l'enregistrement magnétique.

Principe :



4.1.2.3 Schéma synthétisant la gestion des tâches et celle des buffers

La génération de sinusoides pour l'enregistrement magnétique de fréquence égale à 1000Hz, nécessite d'être synchronisé avec l'émission des bits de données (sur la ligne PB5 du microprocesseur).

Aussi, un front d'horloge doit être émis en parallèle toutes les 1/2ms sur la ligne PB6 du microprocesseur.

Cette fonction est la première effectuée par le programme ITIMER après la réactualisation des registres de contrôle du timer.

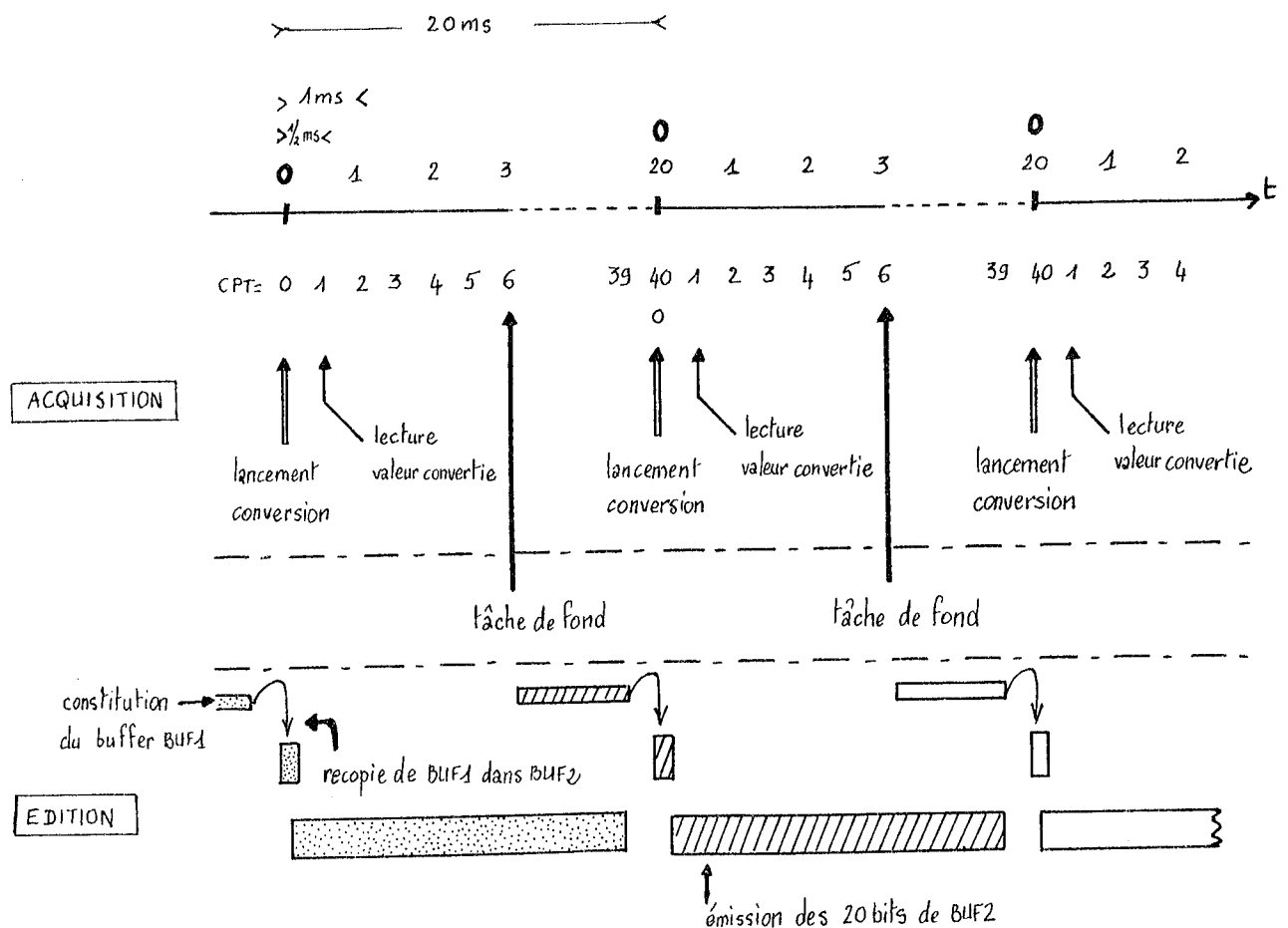


Figure I.4.1

4.1.2.4 Principe pour la ligne à retard de 20 s et les 10s supplémentaires après l'évènement

Le stockage des données numérisées est effectué en continu.

L'emplacement en RAM réservé à cet effet correspond à 32 secondes de mémorisation du signal.

Le codage, ainsi que l'émission des données, déclenchés à un instant t par la détection d'évènement prennent en compte les données antérieures de 20 secondes à cet instant t .

Au moment de la détection de fin d'évènement, il restera donc à transmettre les 20 secondes de retard et les 10 secondes suivant la fin de l'évènement.

Pour contrôler ce décalage on utilise un compteur (CPT20), il devra être initialisé à chaque détection d'évènement à la valeur correspondant à 30 secondes ($30s \times 50 \text{ infos} = 1500 = 5DC_H$).

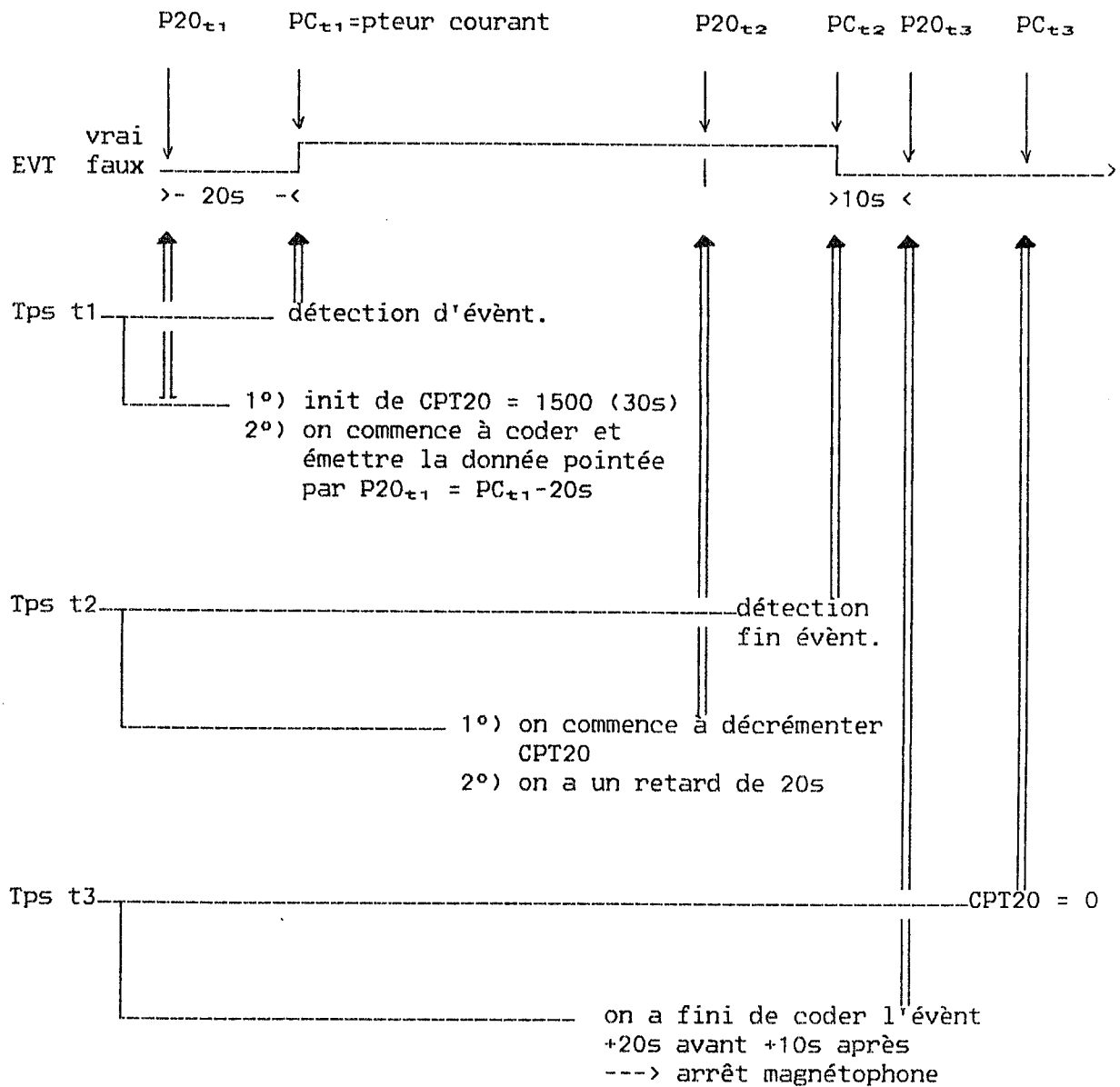


Figure I.4.2

4.1.3 Note : interruption extérieure

L'interruption extérieure produite par un état bas sur la ligne $\overline{\text{IRQ}}$ du microprocesseur (bouton poussoir) est également utilisée.

La routine d'interruption est limitée au positionnement d'une bascule signalant au programme principal une demande de visualisation de l'heure du système.

4.1.4 Algorithmes généraux

4.1.4.1 Programme principal : ACQUIS

```
Début
- initialisation
- tant que libre = faux
  faire - si CIHFLA = vrai
        alors traitement de CIH
        CIHFLA := faux
        finsi
        - si VISHOR = vrai
          alors si CPT = 31
                alors fabrication de la table
                heure
                finsi
          finsi
        finfaire
- si EVT = faux
  alors - calcul de l'évènement
        - remplissage de TPRIM : TPRIM (PCT) := EVT
        - si EVT = vrai
          alors - si non courant sur magnéto
                alors - lecture et codage heure
                - pointeur début évent =
                DEBPC := PC - 1
                - CODHEUR := 0 (heure non
                codée)
                - NBEVT := NBEVT + 1
                finsi
                - CPT20 := 30s (20s + 10s)
                - MARCHE := vrai
                - courant magnéto
          finsi
        sinon - calcul de l'évènement
              - remplissage de TPRIM : TPRIM (PCT) := EVT
        finsi
- si EVT = vrai
  alors - BUF1 := codage T(P-20s)
        - LIBRE := faux
  sinon si CPT20 /= 0
        alors - BUF1 := codage T(P-20s)
              - CPT20 := CPT20 - 1
              - LIBRE := faux
        sinon
          si ARRET = vrai
            alors - MARCHE := faux
                  - LIBRE := faux
          sinon - BUF1 := évènement de fin = 97-FF-70
                - ARRET := vrai
                - LIBRE := faux
          finsi
        finsi
  finsi
Fin
```

4.1.4.2 Programme d'interruption du timer : ITIMER

Début

```
- initialisation de TDR et TCR
- sortie du front d'horloge / 0,5ms ----> PB6 := XOR PB6
- CPT := CPT + 1

- si CPT = 40
  |
  | alors - lancer la conversion ( front montant sur PB2)
  |         - CPT := 0
  |         - si MARCHE = vrai
  |           | alors - EVT2 := vrai
  |           |         - BUF2 := BUF1
  |           | sinon
  |             |
  |             | - ARRET := faux
  |             | - EVT2 := faux
  |             | - fin courant magnéto
  |             | finsi
  |             |
  |             | finsi
  |             |
  |             | finsi
  |
  | finsi

- si CPT est pair
  |
  | alors - si EVT2 = vrai
  |         | alors sortie du bit de BUF2
  |         | finsi
  |         |
  |         | - visualisation heure ?
  |         | finsi ----> RTI
  |
  | finsi

- si CPT = 1
  |
  | alors - calcul de S32
  |         - rangement en RAM à l'adresse PC
  |         - visualisation heure ?
  |         finsi ----> RTI
  |
  | finsi

- si CPT = 3
  |
  | alors - calcul de S4
  |         - calcul de S02
  |         - visualisation heure ?
  |         finsi ----> RTI
  |
  | finsi

- si CPT = 5
  |
  | alors - calcul de S32/4
  |         - calcul de M02
  |         - PC := PC + 1
  |         - P4 := P4 + 1
  |         - P20 := P20 + 1
  |         - LIBRE := vrai
  |         - visualisation heure ?
  |         finsi ----> RTI
  |
  | finsi

- si CPT = 35
  |
  | alors CIHFLA := vrai
  | finsi

- visualisation heure ?
```

Fin

4.1.5 Chronogramme

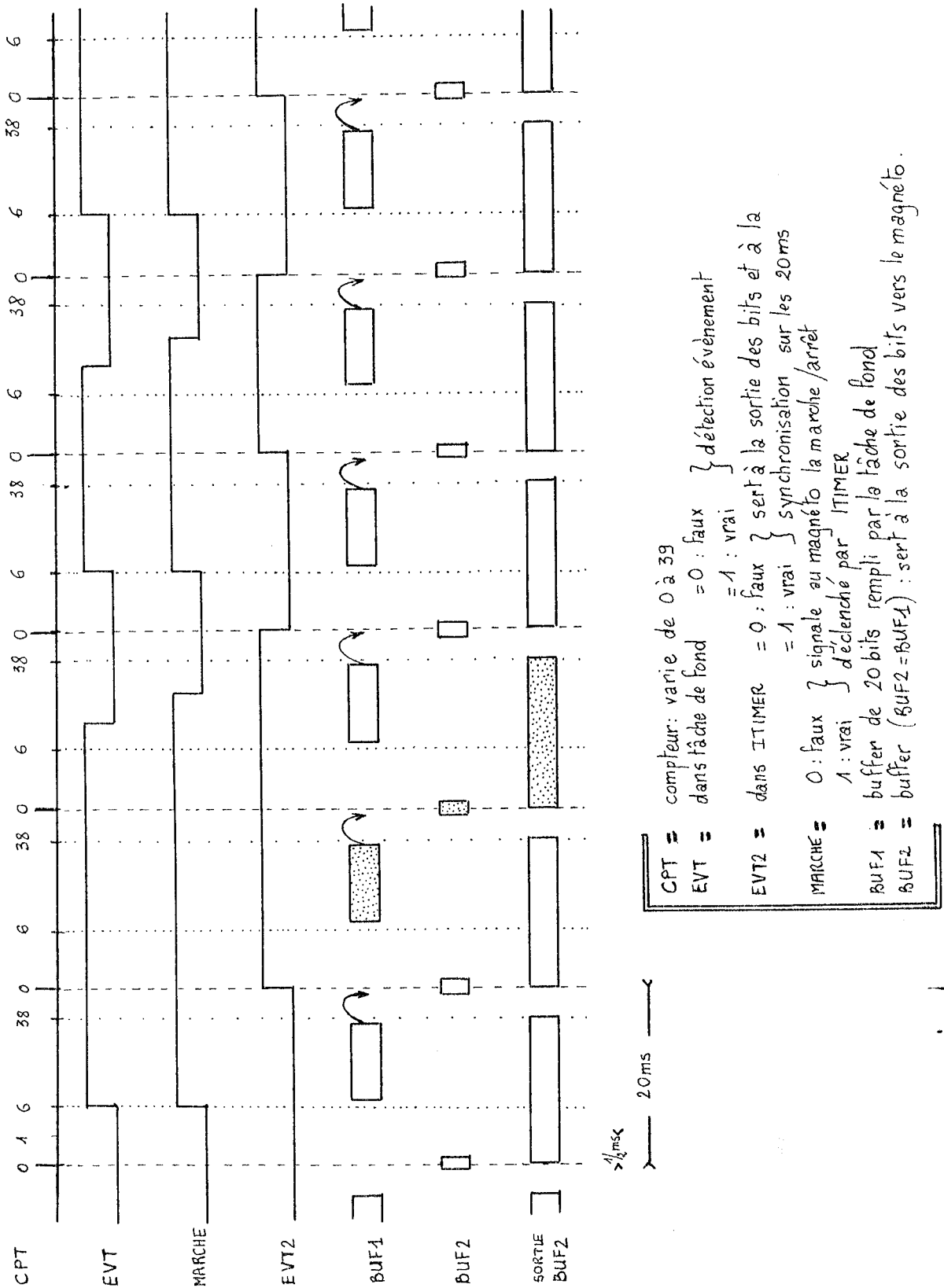


Figure I.4.3

4.2 Points particuliers du logiciel

4.2.1 Ecriture de sous programmes en RAM - Remplacement de l'adressage indirect

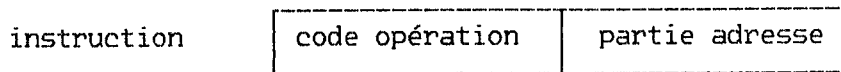
Le jeu d'instructions utilisé par la famille 6805 est conçu spécifiquement pour l'efficacité au niveau de l'octet de mémoire programme (cf Annexe I.7).

Cependant, le microprocesseur MC146805E2 ne dispose que d'un seul accumulateur 8 bits et un registre d'index 8 bits.

De plus, le manque d'adressage indirect alourdit le logiciel effectué.

Pour remédier à ceci, une solution de remplacement a été choisie, consistant à travailler en mémoire RAM et à avoir ainsi la possibilité de modifier le code machine.

4.2.1.1 Rappel sur l'adressage indirect



La partie adresse contient l'adresse de l'adresse de la case mémoire recherchée.

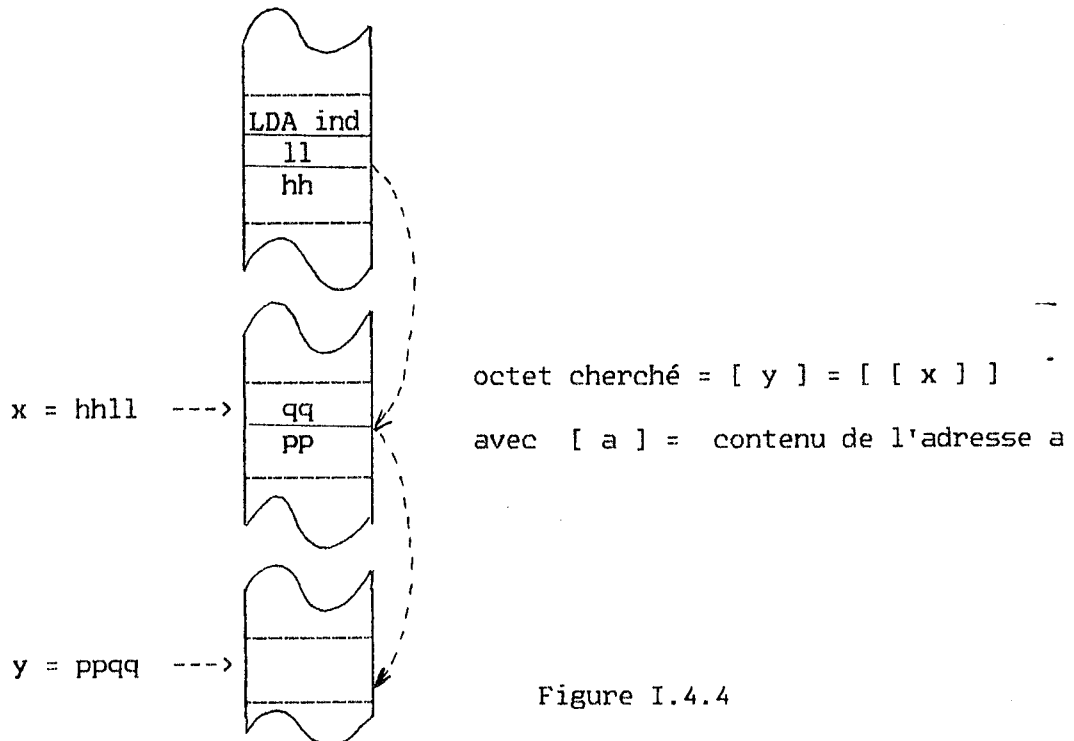


Figure I.4.4

4.2.1.2 Méthode utilisée

- Le logiciel mis au point nécessite de disposer de l'adressage indirect.

Deux sous programmes implantés en RAM à l'initialisation ont été développés pour remplacer ce mode d'adressage.

Il est donc possible de changer dynamiquement, par programmation, un ou plusieurs octets de ces sous programmes.

- Deux variables de travail TRAV1 et TRAV2 donnent l'adresse où l'on souhaite :

1°) lire l'octet contenu à cette adresse
==> sous programme LINDIR

2°) écrire un octet à cette adresse
==> sous programme SINDIR

- Le registre d'index (registre X : 8 bits) sert aux instructions de lecture et d'écriture.

- L'octet lu ou l'octet à écrire est contenu dans l'accumulateur (registre A : 8 bits)

- Ces deux sous programmes sont utilisés régulièrement dans toute l'application.

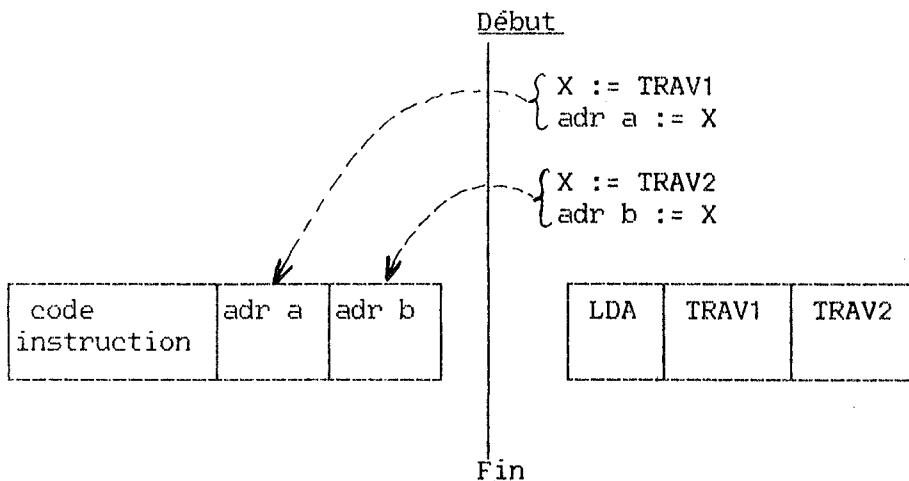
4.2.1.3 Les deux sous programmes

- Sous programme LINDIR

Lecture d'un octet pointé par une adresse contenue dans les deux mots de travail TRAV1 - TRAV2.

==> lecture [adr TRAV2, TRAV1] ---->

registre A



- Sous programme SINDIR

Ecriture d'un octet contenu dans le registre A, à une adresse contenue dans les deux mots de travail TRAV1-TRAV2.

==>

registre A

 ----> stockage dans [adr TRAV2, TRAV1]

L'algorithme est identique à celui du sous programme de lecture, seule l'instruction LDA (load accumulator) est remplacée par l'instruction STA (store accumulator).

4.2.2 Stockage des mesures - Indicateurs d'évènements - Heure système - Pointeurs

4.2.2.1 Mesures - Indicateurs d'évènements - Heure système

- Afin d'effectuer des moyennes permettant de calculer le critère de détection d'évènements, il est nécessaire de pouvoir stocker au minimum 32 secondes de mesures soit 1600 mesures ($= 640_H$).

Le tableau T correspondant à ces données occupe les 1600 premiers octets de la mémoire RAM externe (adresse du début de la RAM = 800_H) (cf I 3.3.4.2).

- L'enregistrement des 20 secondes précédant l'évènement et des 10 secondes le suivant exige le stockage au moment de chaque mesure :

- 1°) d'un indicateur éven/non éven (tableau TPRIM)
- 2°) de l'heure du système (tableau TH)

Ces deux informations doivent être codées dans les 20 bits transmis au magnétophone (cf ch I 2.3):

- . TPRIM correspond au codage du bit TRIG
- . TH correspond au codage du bit CIH

Pour limiter l'emplacement mémoire relatif à ces deux tableaux, chaque bit est employé pour coder une information.

Ces tableaux mis en parallèle avec le tableau de mesures T n'occupent donc que 200 octets.

4.2.2.2 Structure des tableaux

Chaque tableau est géré cycliquement.

Tableau T :

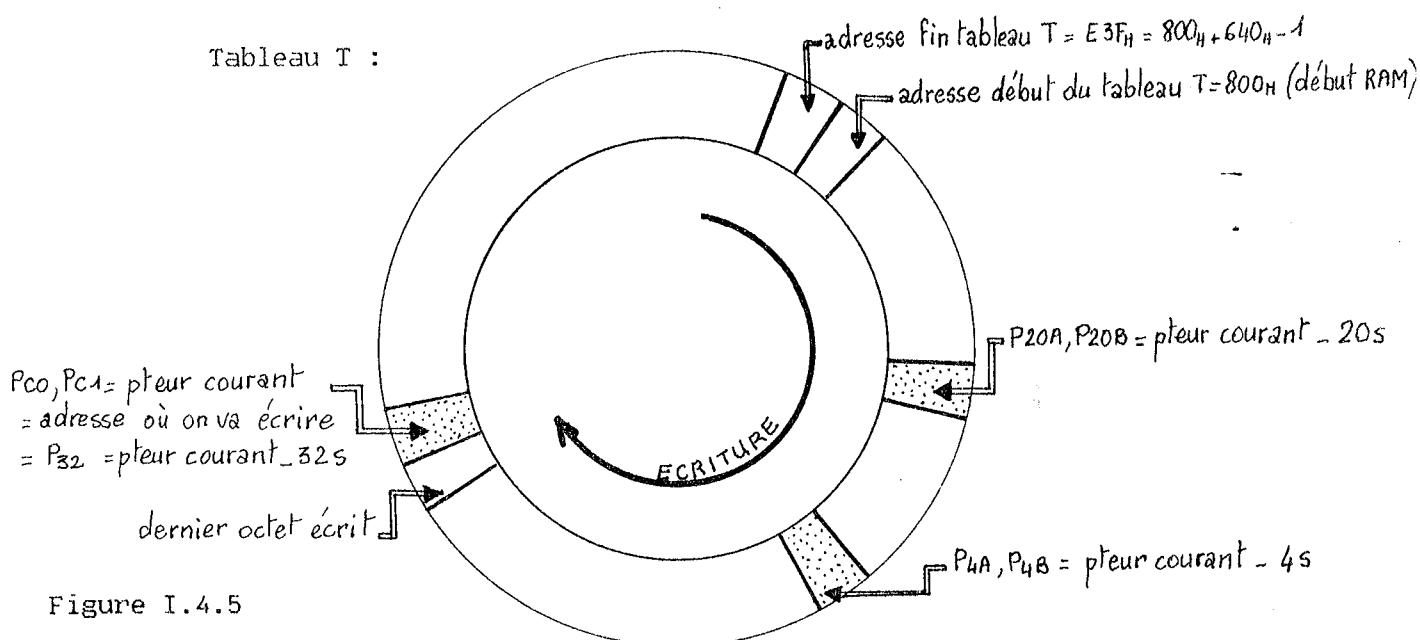


Figure I.4.5

Tableau TPRIM (codage bit TRIG) :

Afin de comprendre la structure de ce tableau, le schéma suivant trace l'association des deux tableaux T et TPRIM.

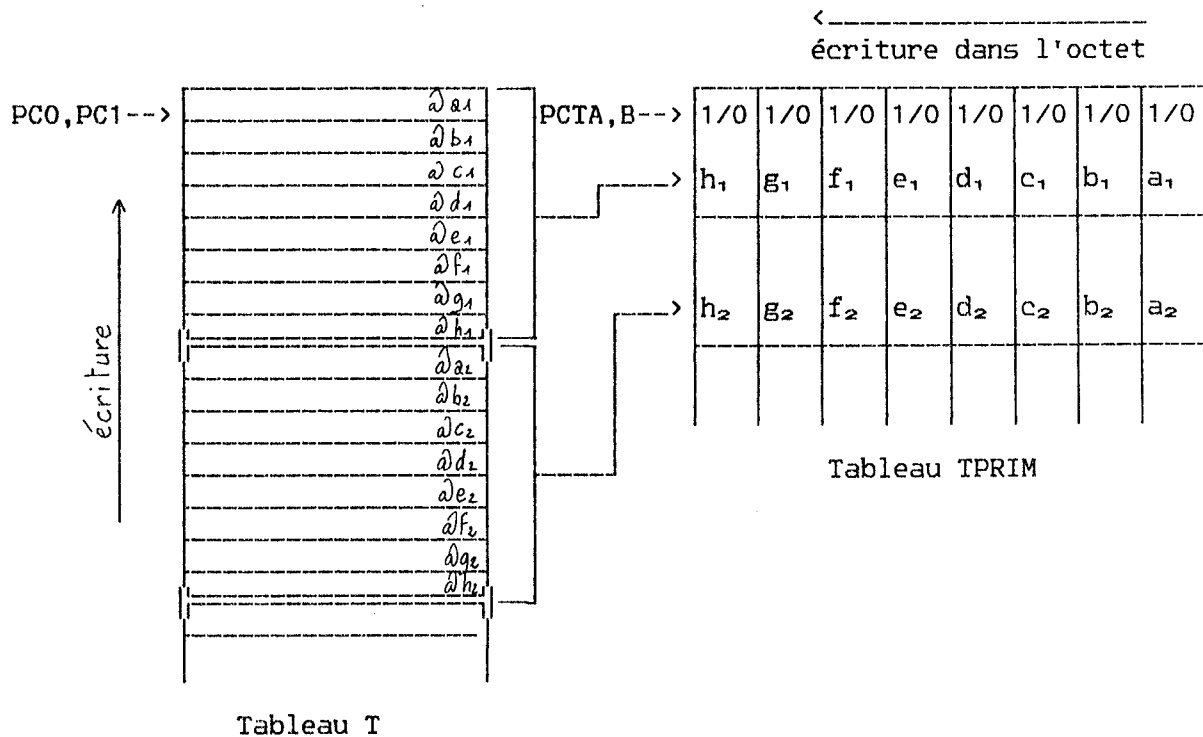


Figure I.4.6

PC0, PC1 = pointeur sur T
 PCTA, PCTB = pointeur sur TPRIM

Tableau TH (codage bit CIH) :

La structure de ce tableau est identique au tableau TPRIM.

PTHA, PTHB = pointeur sur le tableau TH.

4.2.2.3 Les pointeurs

- Les différents pointeurs associés à ces trois tables et représentés sur les schémas ci-dessus adressent des emplacements situés en RAM externe.

Chaque pointeur occupe donc deux emplacements mémoire.

- Initialisation de ces pointeurs

L'adressage décrit au chapitre I 3.3.4 montre que la mémoire RAM de 2 Koctets est située de l'adresse 800_H à 1000_H, la table T des données occupant la première partie de cet espace.

On peut donc initialiser chaque pointeur en fonction de l'adressage physique effectué :

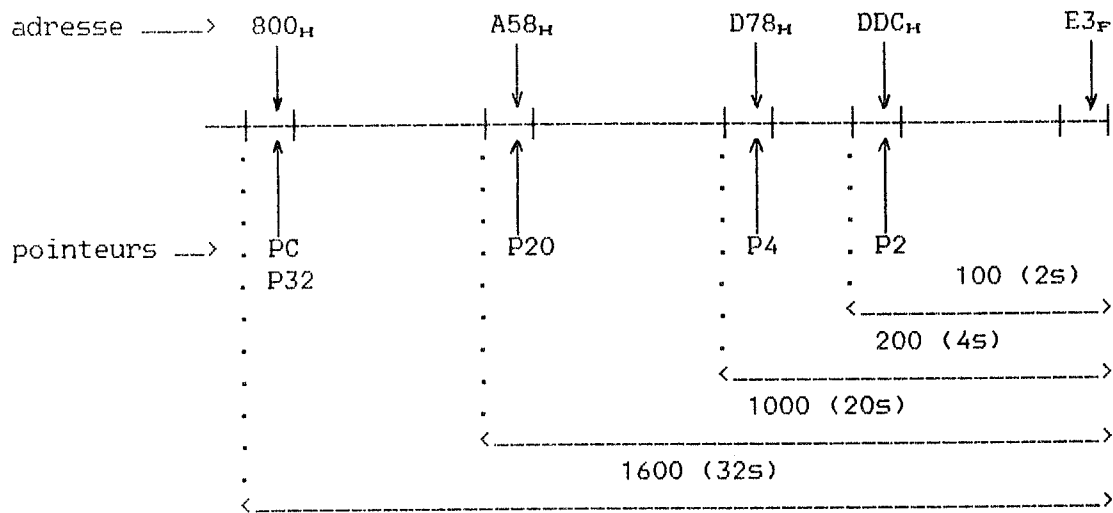


Figure I.4.7

- Cas particulier :

La gestion des deux tables TPRIM et TH s'effectue grâce à deux compteurs cycliques nommés CP8T (pour la table TPRIM) et CP8H (pour la table TH) variant de 1 à 8.

Ceux-ci permettent :

- . de situer l'emplacement du bit considéré dans le mot pointé par le pointeur d'octet

- . de passer ainsi d'une case mémoire à la suivante, quand tout l'octet a été balayé.

- Ainsi que ce soit pour la table d'indicateurs d'évènements ou la table de codage de l'heure du système, le remplissage des différents bits suit le même principe (sous programme WTPRIM ET WTHBIT).

Le carry est positionné avant et écrit par décalage.

Début

- lecture du mot pointé par les pointeurs respectifs des 2 tables (PCTA,B pour TPRIM et PTHA,B pour TH)] (a)
- écriture de la retenue Cy ---> table
- écriture du mot à l'adresse pointée par les pointeurs des tables] (b)
- compteur := compteur - 1 (CP8T et CP8H)
- si compteur = 0
 - alors
 - compteur := 8
 - pointeur := pointeur + 1
 - finsi

Fin

La lecture (a) et l'écriture (b) sont effectuées à l'aide de l'adressage indirect décrit précédemment.

Lors du codage selon le code PCM, il est nécessaire de disposer des deux bits TRIG et CIH respectivement stockés dans les deux tables TPRIM et TH.

Pour cela il faut :

- 1°) déterminer le rang de l'octet dans la table
- 2°) déterminer le rang du bit dans l'octet

De plus l'information à récupérer se situe 20 secondes avant le pointeur courant, il faut donc travailler sur l'emplacement mémoire pointé par le pointeur courant - 20s de mesures.

4.2.3 Lecture des données en sortie du CAN

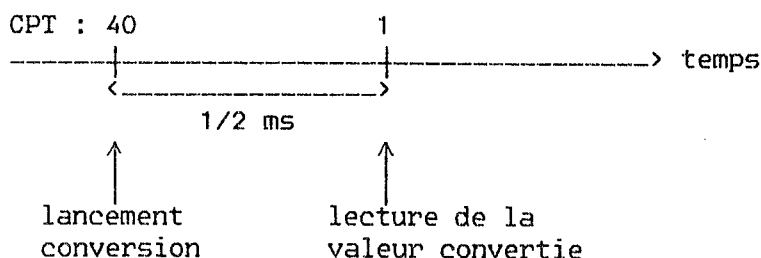
La réalisation matérielle montre les liaisons physiques établies entre le convertisseur analogique numérique et le microprocesseur (cf ch I 3.2.2.4).

Le temps de conversion du convertisseur choisi est de 100 us. Pour limiter la perte de temps due à l'attente de fin de conversion, on adopte la solution suivante :

- lancer la conversion sur la ligne \overline{WR} du CAN (front montant sur PB2)
- lire la donnée convertie sur le port A du microprocesseur après un temps fixe (1/2ms) supérieur à 100 us.

Il devient inutile de tester la ligne \overline{INTR} du CAN reliée à l'entrée PBO du microprocesseur, la conversion étant forcément terminée.

Ceci libère le microprocesseur et lui permet ainsi d'effectuer d'autres tâches.



Note :

Au lancement du système, le point de repos de l'entrée du convertisseur peut être réglé à l'aide d'un potentiomètre, ceci sur demande de l'utilisateur (moyenne = $7F_H$).

Si le réglage n'est pas souhaité, une série de 4096 conversions est effectuée sur un délai de 10 secondes, soit une demande de conversion toutes les 2441 μ s.

Si le réglage est souhaité, l'utilisateur règle la position moyenne pendant que s'affichent sur l'écran du microterminal les différentes valeurs de conversion.

Cinquante conversions sont effectuées sur une durée égale à 10 secondes, soit une demande de conversion toutes les 2 millisecondes.

L'utilisateur peut continuer ce réglage en renouvelant sa demande.

Dans les deux cas, le lancement des différentes conversions se fait comme précédemment grâce à un front montant sur PB2.

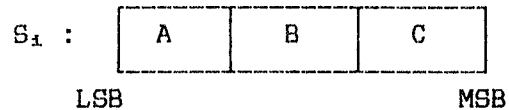
Le microprocesseur n'ayant aucune autre tâche à effectuer pendant la conversion, ce dernier doit tester continuellement la fin de conversion, c'est à dire attendre un front descendant sur PBO (INTR) avant de lire la valeur convertie sur le port A.

4.2.4 Détection d'évènements

Le chapitre I 2.2 explique le principe de la détection.

Deux points supplémentaires doivent être cités :

1°) Chacune des sommes calculées S_4 et S_{32} nécessite une mémorisation sur trois octets consécutifs.



La comparaison entre ces sommes est effectuée octet par octet.

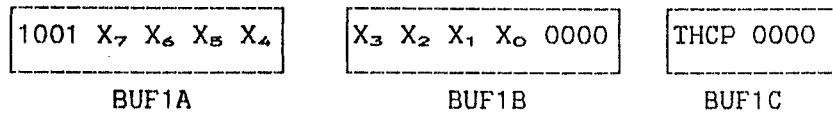
2°) Pour réaliser le calcul des sommes partielles, deux sous programmes ont été développés (cf Annexe I.8).

Ils permettent d'effectuer des opérations d'addition et de soustraction sur les variables S_4 , S_{32} , S_{62} qui comportent trois octets.

Ces deux sous programmes sont également utilisés pour le calcul de S_{62} lors de l'initialisation.

4.2.5 Codage en code PCM

Chaque mesure numérisée et stockée en RAM, doit être codée avant enregistrement sur les 20 bits du code PCM (cf ch I 2.3).



Ces 20 bits sont distribués dans trois octets consécutifs BUF1A, BUF1B, BUF1C ; la mesure considérée étant toujours celle située 20 secondes avant l'instant t où l'on se trouve (ligne à retard).

Cette mesure est numérisée sur 8 bits. Ceux-ci sont cadrés à gauche par rapport aux 12 bits réservés à la mesure proprement dite. Les quatre bits de droite sont alors fixés à zéro.

Les deux bits TRIG et CIH sont initialisés à l'aide des deux tables TPRIM et TH et selon le principe exposé au chapitre I 4.2.2.

Le codage de H (bit correspondant à l'heure de l'évènement) débute au moment de la validation de cet évènement.

Pour cela, il est nécessaire de mémoriser à cet instant le pointeur sur la table T des mesures et tester lors du codage le passage sur ce pointeur.

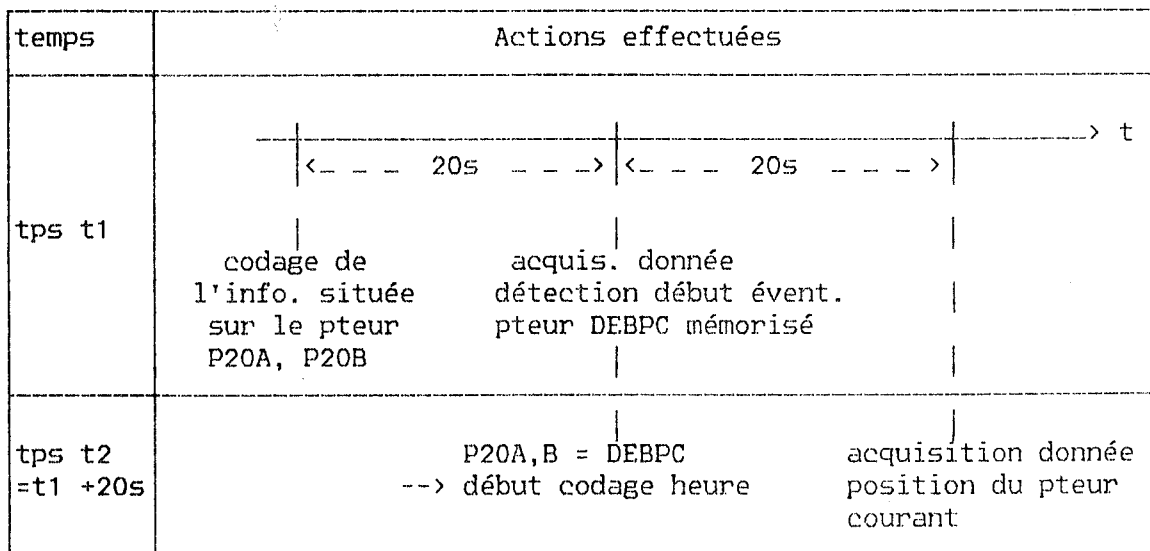


Figure I.4.8

L'heure est codée sur 34 blocs successifs.

Lors de la détection d'évènement, après lecture des registres du circuit horloge, les 34 bits précédés du bit start sont distribués dans 5 octets consécutifs.

La gestion de l'émission de ces 34 bits se fait à l'aide de trois variables :

- CODHEUR : permet de se situer dans le temps
 - = 0 heure non codée
 - = 1 le codage du bit H s'effectue
 - = 2 l'émission des 34 bits H est finie
- RELAIS : permet l'adressage des 5 octets par indexation
- NUMBIT : compteur qui varie de 1 à 8
permet de se situer dans l'octet en cours d'émission

La lecture des bits est effectuée selon la méthode suivante :

- décalage à gauche de l'octet en cours
- récupération du bit dans la retenue
- positionnement du bit H selon la valeur de la retenue

Le bit TRIG est forcé à 1 pendant le codage de l'heure.

Le bit de parité est positionné après calcul de la parité sur les 20 bits des 3 octets BUF1A, BUF1B, BUF1C.

4.2.6 Calcul du numéro de jour - Instruction DAA

L'horloge temps réel MC146818 fournit au microprocesseur le jour, le mois, l'année.

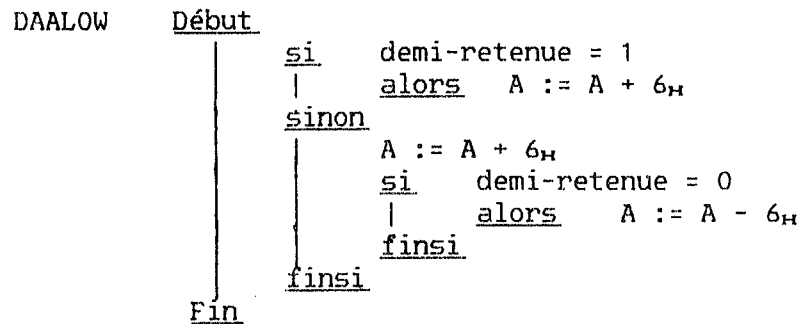
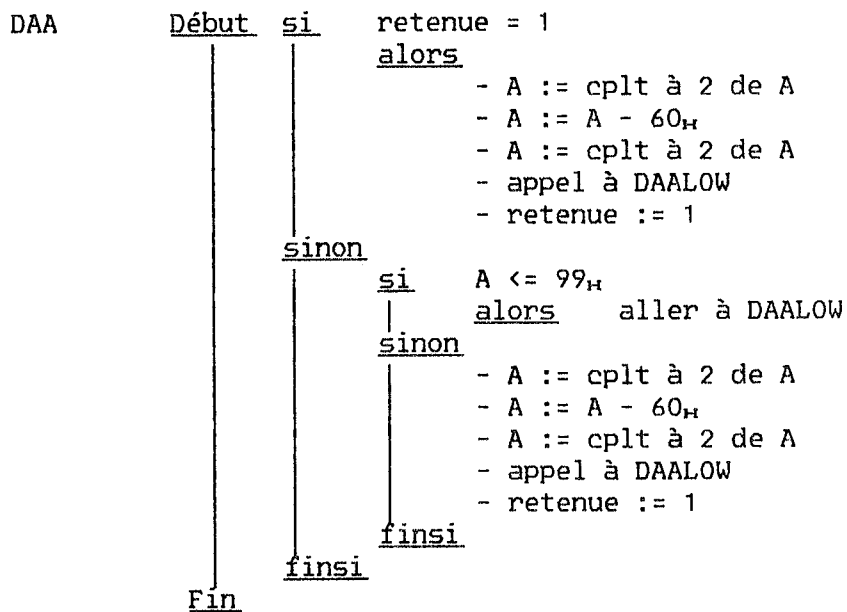
La transformation de cette information en numéro de jour nécessite la création de deux tables codées en BCD, mémorisées dans une Eprom.

Elles correspondent aux centaines et aux dizaines des nombres de jours écoulés entre chaque mois et le 1er Janvier.

D'autre part, ce calcul nécessite de pouvoir convertir en décimal le résultat d'une addition binaire de deux nombres décimaux, c'est à dire effectuer un ajustement décimal.

Le principe est celui de l'instruction DAA (Décimal Addition Adjust) (cf Annexe I.9) disponible sur certains microprocesseurs (exemple : 6809).

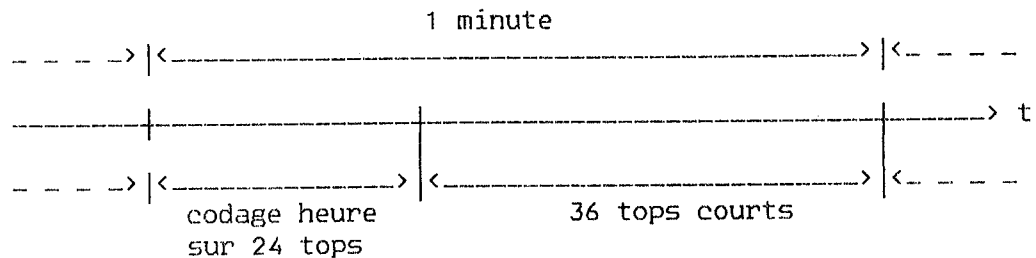
Algorithme remplaçant l'instruction DAA :



4.2.7 Codage de l'heure du système - Codage de CIH

4.2.7.1 Code CIH

Le codage de l'heure du système (CIH) peut se schématiser sur le graphique suivant :



Un top dure une seconde et se décompose en 50 bits distribués dans 50 blocs successifs.

4.2.7.2 Principe

- Synchronisation pour remplissage de la table TH

Chaque bit CIH contenu dans les 20 bits d'une mesure, doit être émis toutes les 20ms.
Aussi, le remplissage de la table TH contenant les différents bits CIH (cf ch I 4.2.2) doit être effectué à la même fréquence.

Pour se synchroniser, le programme d'interruption du timer (ITIMER) positionne régulièrement une bascule à la valeur 1 (CIHFLA).

Cette dernière est testée puis remise à 0 par le programme principal qui appelle alors le sous programme de traitement de CIH.

- Sous programme de traitement de CIH

Deux fonctions sont assurées par ce sous programme :

1ère fonction :

. Sur une minute ronde :

- Lire la date sur les registres du circuit horloge
- Coder cette information sur 60 tops (= 1 minute)
- Initialiser les différentes variables de travail

- . Comment se placer sur une minute ronde :

Le bit 4 (UF) du registre C du circuit horloge est mis à "1" après chaque cycle de réactualisation (une fois par seconde).

Lors de l'initialisation générale du système, on se place dans un premier temps sur une minute ronde puis on positionne un compteur (TOP60) à zéro.

Celui-ci, variant de 0 à 59, est testé et permet ainsi de se situer sur la minute ronde.

- . Coder l'heure du système sur 60 tops :

Les variables tampons remplies lors de la lecture des registres du circuit horloge sont réparties suivant le code CIH dans 8 octets consécutifs constituant ainsi les 60 tops d'une minute.

Le numéro de jour est récupéré pour le codage (cf ch 4.2.5).

- . Les variables de travail :

Elles permettent d'une part de se situer dans la table TH (rang du mot et rang du bit à considérer) et d'autre part de se synchroniser sur le début du codage d'un top.

2ème fonction :

- . But : coder le bit CIH dans la table TH pour l'émission.

- . Méthode :

Deux compteurs permettent selon le top que l'on doit coder, d'initialiser le nombre de bits à 1 et le nombre de bits à 0.

Ces compteurs sont mis à jour à chaque début de top, selon les valeurs contenues dans les 8 octets chargés à chaque minute ronde.

ILs permettent l'écriture (par décalage de la retenue) des bits sur la table TH.

4.2.8 Visualisation de l'heure en cours d'expérience

4.2.8.1 Schématisation du principe

1°)

- Demande de visualisation de l'heure par bouton poussoir
---> création d'une interruption IRQ
- Positionnement d'une variable (VISHOR) à 1 (bascule initialisée à 0 par le programme d'initialisation du système et après chaque édition de l'heure)

2°)

- Test de la bascule VISHOR par le programme principal (à fréquence régulière).
- Si une demande de visualisation est effectuée et si le compteur est égal à 31, une table correspondant à la date et l'heure à afficher sur le microterminal est constituée.
- La variable VISHOR est alors forcée à 2 afin de signaler au sous programme d'interruption du timer qu'une demande a été effectuée et que la table est prête à être éditée.
- De plus, plusieurs variables sont initialisées, et permettent l'émission des bits de chaque caractère à des intervalles réguliers.

L'édition s'effectue à la vitesse de 300 bauds, il faut donc émettre un bit approximativement tous les 3,5ms.

3°)

- Le sous programme d'interruption du timer ITIMER lancé toutes les 1/2 ms, contrôle avant chaque instruction de retour (RTI), le positionnement de la variable VISHOR à 2.
- Le sous programme d'interruption est divisé en petits modules. La distribution des différentes tâches effectuées à chaque interruption est donc gérée sévèrement dans le temps. C'est pourquoi l'émission du premier bit d'un caractère doit débiter à un instant t fixe (compteur CPT = 7).
- L'émission des 11 bits d'un caractère se fait donc toujours sur un module de durée inférieure à 1/2ms.

4.2.8.2 Emission d'un caractère

La gestion de l'émission des caractères est réalisée entièrement par logiciel.

Un caractère = 1 bit start à 0
8 bits sans parité
2 bits stop à 1

4.2.8.3 Chronogramme de l'émission des bits

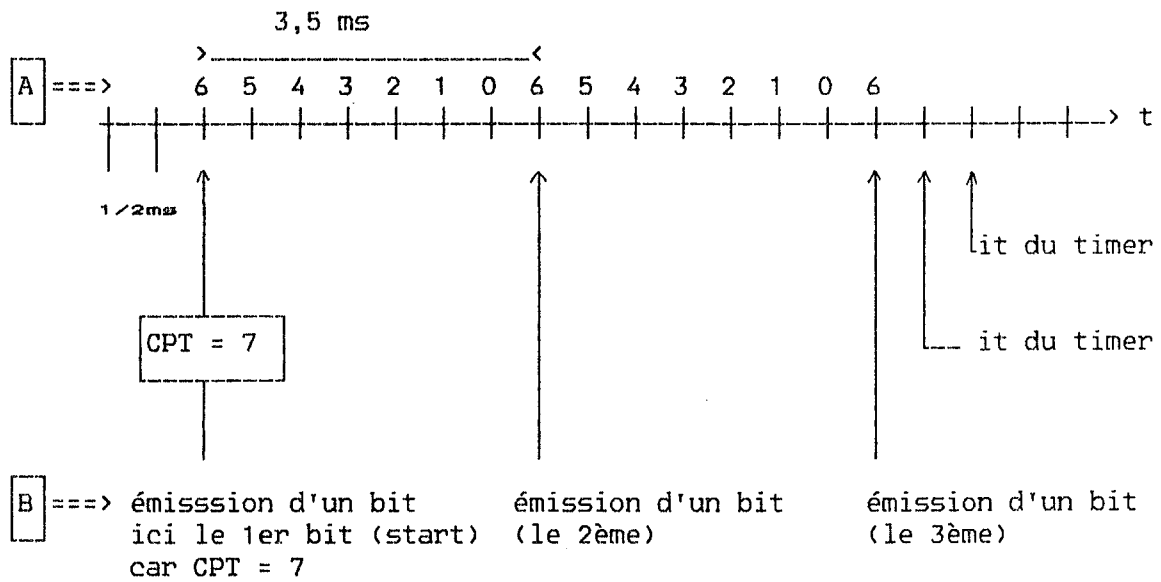


Figure I.4.9

- A : CPTSOR varie de 6 à 0 afin d'émettre les bits à la fréquence souhaitée
- B : CPTBIT varie de 0 à 10 afin d'émettre chaque bit du caractère

Un 3ème compteur permet d'adresser le caractère dans la table à émettre.

4.2.9 Enregistrement d'un évènement "spécial" à heure fixe

- Un tel enregistrement permet d'une part de contrôler la bonne marche du système mis au point, et d'autre part de disposer à heure fixe d'un enregistrement du bruit de fond.

- Le microprocesseur peut être interrompu à une heure donnée par le circuit horloge.

Pour cela, les registres additionnels du circuit horloge doivent être chargés par les données d'interruption d'alarme (heure - minute - seconde).

Cette mémorisation se fait après dialogue avec l'utilisateur par l'intermédiaire du microterminal.

- Pendant un déroulement normal de l'application, l'interruption du microprocesseur est effectuée une fois par jour.

Il est possible d'augmenter cette fréquence ; les différentes informations (heure et/ou minute) sont considérées alors comme indifférenciées et forcées au caractère X.

L'intérêt de cette possibilité est d'enregistrer le bruit présent à un instant donné, pendant une durée de 30 secondes et ceci avec une période minimale d'une minute.

D'autre part, une modification simple du programme permet un enregistrement en continu.

- Le bit 5 (AF) du registre C est forcé à "1" quand l'horloge arrive au temps prédéterminé dans les registres d'alarme.

Régulièrement le logiciel effectué teste ce bit, sa validation positionne un indicateur à vrai.

Au moment du calcul de détection d'évènement, cet indicateur forcera le test de détection à vrai, puis sera automatiquement réinitialisé.

- Cet indicateur positionné à vrai au lancement de l'application, crée un premier enregistrement fictif vérifiant ainsi la mise en marche du système et notamment celle du magnétophone.

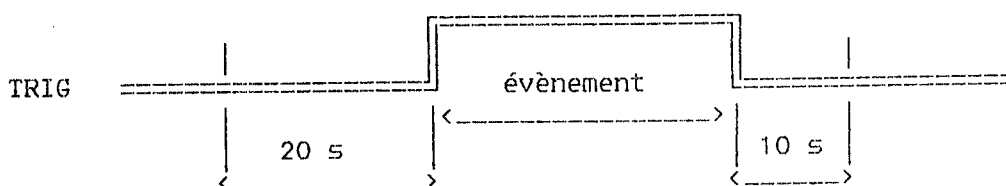
4.2.10 Enregistrement d'un bloc délimitant les évènements

Les enregistrements des évènements détectés sont stockés séquentiellement sur bande magnétique.

Le décodeur mis au point (cf 2ème partie) permet la lecture, le décodage et le transfert des données numérisées vers une unité de stockage et de traitement.

Pour faciliter leur exploitation, on délimite chaque évènement par l'écriture d'un bloc supplémentaire de 20 bits initialisé à la valeur suivante : 97 - FF - 70 H.

Principe :



Comme le rappelle le dessin ci-dessus l'enregistrement d'un évènement est prolongé dans le temps par un enregistrement antérieur de durée égale à 20 secondes et un enregistrement ultérieur de durée égale à 10 secondes.

Un compteur (CPT20) gère ces décalages. Il entraîne le basculement de la variable déclenchant l'arrêt de l'enregistrement et du magnétophone (MARCHE).

Cependant, afin d'émettre le bloc supplémentaire de 20 bits, un décalage de 20 millisecondes est créé artificiellement à l'aide d'une variable complémentaire (ARRET).

L'algorithme est le suivant :

```
-----  
-----  
si    compteur CPT20 = 0  
|  
|    alors  
|        si    ARRET = vrai  
|        |  
|        |    alors    MARCHE := faux  
|        |  
|        |    sinon  
|        |        codage du bloc supplémentaire  
|        |        ARRET := vrai  
|        |    finsi  
|    sinon  
|        déroulement normal  
|    finsi  
-----  
-----
```

Le programme d'interruption du timer teste la variable MARCHE et émet le dernier bloc ("bloc spécial").

Vingt millisecondes après, cette variable aura basculé et entraînera l'arrêt du magnétophone (PB4 = 0) et forcera la variable ARRET à faux.

Algorithme :

```

-----
-----
  si   MARCHE = vrai
    alors
      événement (EVT2) := vrai
      BUF2 := BUF1
    sinon
      ARRET := faux
      événement (EVT2) := faux
      fin courant magnéto (PB4 = 0)
  fin si
  
```

Le chronogramme suivant montre le séquençage des différents tests effectués pour l'émission du "bloc spécial".

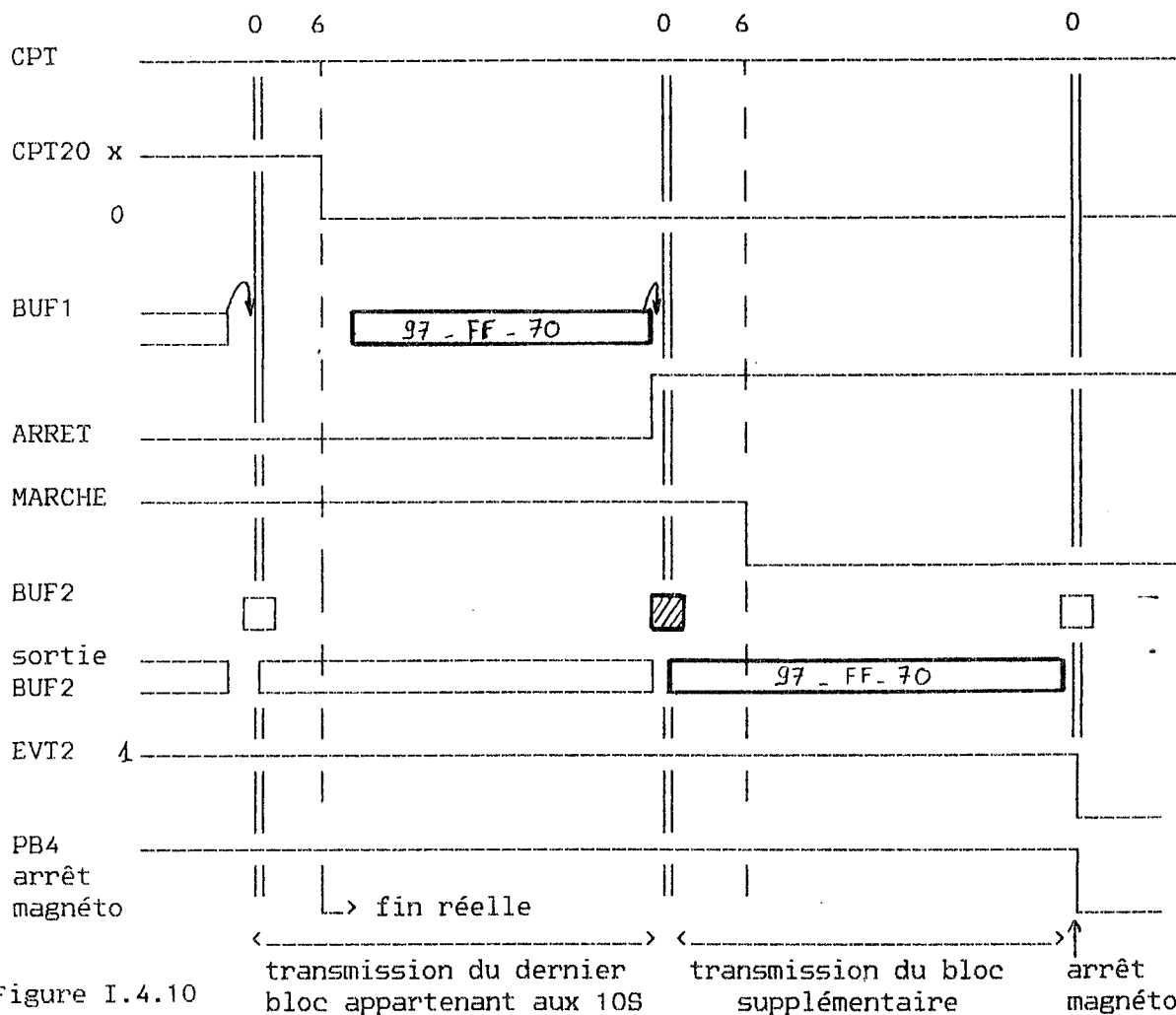


Figure I.4.10

4.2.11 Dialogue avec le microterminal

Afin d'initialiser le système, un échange d'informations entre le microprocesseur et l'utilisateur est effectué.

Seule la visualisation de l'heure activée par interruption et par l'intermédiaire d'un bouton poussoir, nécessite une émission de caractères vers le microterminal pendant le déroulement normal du système d'acquisition (cf ch 4.2.8).

- Entièrement géré par logiciel, un sous programme de base a été développé pour permettre la synchronisation de la vitesse d'émission et de réception des bits avec la vitesse du microterminal (300 bauds).

- Ce sous programme de délai est calculé en fonction du temps de cycle d'une instruction du microprocesseur ; il dépend donc du quartz choisi.

Avant tout appel à ce sous programme, la longueur de la temporisation est chargée dans le registre accumulateur A.

- Les différentes communications sont pilotées par deux sous programmes effectuant l'émission et la réception de caractères.

Ceux-ci font appel au sous programme de délai pour émettre ou lire régulièrement les bits composant le caractère.

L'Annexe I.10 donne les algorithmes de ces différents programmes.

4.2.12 Initialisation de l'application

L'étude du logiciel de l'application montre l'importance de l'initialisation des différents paramètres du système.

Celle-ci ne doit pas être suspendue par l'interruption extérieure ou l'interruption timer. Pour cela, on valide en premier lieu le masque d'interruption en le positionnant à 1.

En fin d'initialisation et pour permettre à nouveau les différentes interruptions, le masque positionné précédemment à la valeur 1 est forcé à 0.

L'initialisation est effectuée selon les étapes suivantes :

1°) Initialisation de la pile

2°) Mise à zéro des 64 octets de la RAM interne

3°) Initialisation des ports A et B du microprocesseur

Les deux ports parallèles intégrés à la structure interne du microprocesseur, doivent être initialisés selon les fonctions qui leur sont attribuées au moment de la conception matérielle.

Le port A est réservé à l'entrée de la valeur numérisée issue du CAN.

Le registre de direction DDRA (Data Direction Register A) doit donc être initialisé en entrée soit à la valeur 00_H.

Les lignes du port B sont réservées à différentes fonctions.

La programmation du registre de direction B dépend donc de cette distribution.

bit 0 = entrée (0)
= INT CAN
= fin de conversion analogique numérique

bit 1 = sortie (1)
= OUTS visu
= émission de caractères du microprocesseur vers le microterminal

bit 2 = sortie (1)
= WR CAN
= lancement de la conversion analogique -numérique

- bit 3 = entrée (0)
= INS visu
= réception de caractères du microterminal vers le microprocesseur
- bit 4 = sortie (1)
= déclenchement de la mise sous tension du magnétophone au moment de l'enregistrement
- bit 5 = sortie (1)
= bits de données émis en série vers la carte interface pour l'écriture sur magnétophone
- bit 6 = sortie (1)
= bits d'horloge émis en série vers la carte interface pour le codage des données sur support magnétique
- bit 7 = entrée (0)
= non connecté

S = sortie = 1
E = entrée = 0

7	6	5	4	3	2	1	0
S	S	S	S	E	S	S	E
1	1	1	1	0	1	1	0

Le registre de direction DDRB est donc initialisé à la valeur F6_H.

4°) Initialisation de variables - tables - pointeurs

Plusieurs variables de travail nécessitent une initialisation précise :

- . variable pour codage de l'heure (CIH)
- . compteurs cycliques pour la gestion des tables TPRIM (indicateurs d'évènements) et TH (heure système)
- . buffers codant les données sur 20 bits (BUF.)
- . bascule pour visualisation de l'heure sur demande etc...

On ne mentionnera dans cette étude que l'initialisation du compteur CPT gérant tout le séquençage de l'application et variant cycliquement de 0 à 39. Il est positionné à sa valeur maximale soit 39.

L'initialisation des pointeurs est effectuée selon l'emplacement en mémoire des différents tableaux (cf ch I 4. 2.3).

5°) Réglage du CAN (cf ch 4.2.3)

6°) Initialisation du circuit horloge

La mise à jour des registres internes de l'horloge est effectuée après dialogue.

Deux informations doivent être délivrées : la date et l'heure du moment et l'heure de déclenchement de l'enregistrement journalier du bruit de fond.

Afin de se synchroniser avec les différentes mesures faites en météorologie, l'initialisation du temps suit le temps universel (heure TU) soit l'heure solaire.

Les valeurs stockées précédemment en mémoire du circuit sont affichées avant leur modification éventuelle.

Les registres internes du circuit horloge étant sauvegardés, l'utilisateur a la possibilité de ne pas réinitialiser ces valeurs à chaque reset.

Le quartz utilisé, ainsi que les fonctions demandées au circuit fixent les valeurs d'initialisation des registres de contrôle (cf Annexe I.3).

Registre A initialisé à 00_H :

UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0
-----	-----	-----	-----	-----	-----	-----	-----

. Le quartz choisi dans l'application oscille à la fréquence de 4,194304 MHz.

==> positionnement de DV2, DV1, DV0 à 0

. L'interruption n'est pas sélectionnée pour l'application.

==> les bits RS3, RS2, RS1, RS0 sont initialisés à 0

Registre B initialisé à 82_H puis 02_H :

SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE
-----	-----	-----	-----	------	----	-------	-----

. Le bit 7 (SET) initialement mis à 1 pour l'initialisation des registres de l'horloge, est ensuite forcé à 0.

. Aucune interruption n'étant demandée, les bits 6 (PIE), 5 (AIE) et 4 (UIE) sont positionnés à la valeur 0.

. L'application ne réclamant pas la génération de signal carré le signal SQWE reste à l'état bas.
==> bit 3 = SQWE = 0

. L'information fournie par l'horloge doit être codée en BCD.
==> bit 2 = DM = 0

. Le codage de l'heure varie de 0 à 23.
==> bit 1 = 24/12 = 1

. Travaillant avec pour base de temps l'heure TU, il n'est pas nécessaire de demander la modification des registres internes du circuit lors du changement horaire été/hiver.
==> bit 0 = DSE = 0

7°) Initialisation du compteur d'évènements

Le nombre d'évènements est stocké en mémoire et peut être affiché en hexadécimal.

Un seul octet étant réservé pour ce compteur, sa valeur ne peut dépasser 255.

Une remise à zéro de cette variable est faite après demande de l'utilisateur.

8°) Initialisation du timer : timer data (TDR) et timer control (TCR) (cf Annexe I.3.4)

Le timer du microprocesseur MC146805 E2 possède un compteur programmable de 8 bits.

Il est prépositionné sous contrôle du programme et décrémenté jusqu'à 0, validant alors le bit de demande d'interruption du registre de contrôle du timer.

Schéma du registre de contrôle du timer (TCR) et initialisation effectuée :

TCR7	TCR6	TCR5	TCR4	TCR3	TCR2	TCR1	TCR0
0	0	0	0	0	0	0	1

Le mode de fonctionnement choisi (mode 1) correspond à une utilisation en mode d'horloge interne.

Dans l'application, il est utilisé pour générer une interruption périodique toutes les 0,5 ms.

Le signal d'horloge interne est alors à la fréquence du cycle instruction.

==> TCR4 = TCR5 = 0

Le bit d'interruption TCR7 est remis à zéro à chaque interruption timer, par contrôle du programme.

==> TCR7 = 0

Le masque d'interruption du timer est initialisé à 0.

==> TCR6 = 0

On effectue une mise à 0 du prédiviseur.

==> TCR3 = 0

Les bits de sélection pour le prédiviseur permettent de programmer la prédivision requise parmi une des huit possibles.

==> TCR2 = 0, TCR1 = 0, TCRO = 1

- Fréquence du quartz = 5MHz

- Fréquence d'oscillation est divisée par 5

==> 1 cycle instruction = 1us

- On souhaite une interruption toutes les 0,5ms

==> 500 cycles

- Prédivisions possibles :

div / 2 ----> 250

div / 4 ----> 125

div / 8 ----> 62,5

div / 16 ----> 31,25

div / 32 ----> 15,625

div / 64 ----> 7,8125

div / 128 ----> 3,90625

- Choix effectué = division par 2

La programmation finale de TCR = 01_H

Il est nécessaire d'ajuster cette fréquence d'interruption grâce au compteur TDR.

Celui-ci est fixé à 239 (= EF_H), il est réinitialisé à chaque début d'interruption timer par le sous programme ITIMER.

5. CONCLUSION

Les essais effectués en laboratoire lors de la mise au point du système d'acquisition ont permis de tester et valider les différentes phases du cahier des charges initial.

Durant cette phase expérimentale, afin d'amortir les bruits ambiants, le géophone a été placé dans un récipient en suspension dans l'eau.

Puis, cet outil a été expérimenté en montagne sur le site des Deux Alpes pendant toute la saison hivernale 1985-86.

Le fonctionnement de l'appareil a été contrôlé régulièrement et des tests ponctuels sur le terrain ont été effectués (tirs de mines, enregistrement du bruit de fond ...).

De nombreux évènements ont pu être ainsi détectés et enregistrés sur bandes magnétiques.

Le capteur utilisé présente une sensibilité importante. De plus, la proximité des installations de la station de sports d'hiver des Deux Alpes a créé des signaux parasites perturbant les mesures expérimentales (effet du vent sur les pylones, sur l'abri météorologique contenant les différents enregistreurs, bruits inhérents à la station...).

Le dépouillement graphique des données a été effectué à l'aide du décodeur décrit dans la deuxième partie de cette étude. L'interprétation directe des différents signaux s'est avérée difficile.

La validation du système permet d'envisager son utilisation pour d'autres travaux expérimentaux utilisant des capteurs et des critères de détection d'évènements différents. Cette utilisation nécessite d'améliorer le système afin de modifier facilement les critères choisis.

DEUXIEME PARTIE

SYSTEME DE DECODAGE DES ENREGISTREMENTS SISMIQUES

SUR BANDES MAGNETIQUES

1. INTRODUCTION

Un décodeur mis au point par le LDG permet le décodage des enregistrements sismiques.

De même que le système à enregistrement déclenché lié au sismomètre ce décodeur est entièrement conçu en logique câblée.

Ce dernier a permis au Centre d'études de la neige de dépouiller les bandes magnétiques de 3 hivers, d'une part grâce à une sortie graphique sur un enregistreur GOULD, et d'autre part grâce à un affichage sept segments permettant de noter la date de l'évènement (jour, heure, minute, seconde).

Dans le but de traiter et d'analyser les différents signaux enregistrés, il a été nécessaire d'apporter un certain nombre d'améliorations à l'appareil du LDG et concevoir ainsi un nouveau décodeur conçu autour d'une carte à microprocesseur. [DAV2] [ZAK77]

Dans un premier temps, les différents rôles du décodeur et sa réalisation sont décrits.

La deuxième partie présente la liaison effectuée entre le décodeur et un support de stockage et de traitement des données numérisées.

2. ROLES DU DECODEUR

2.1 Schéma de principe

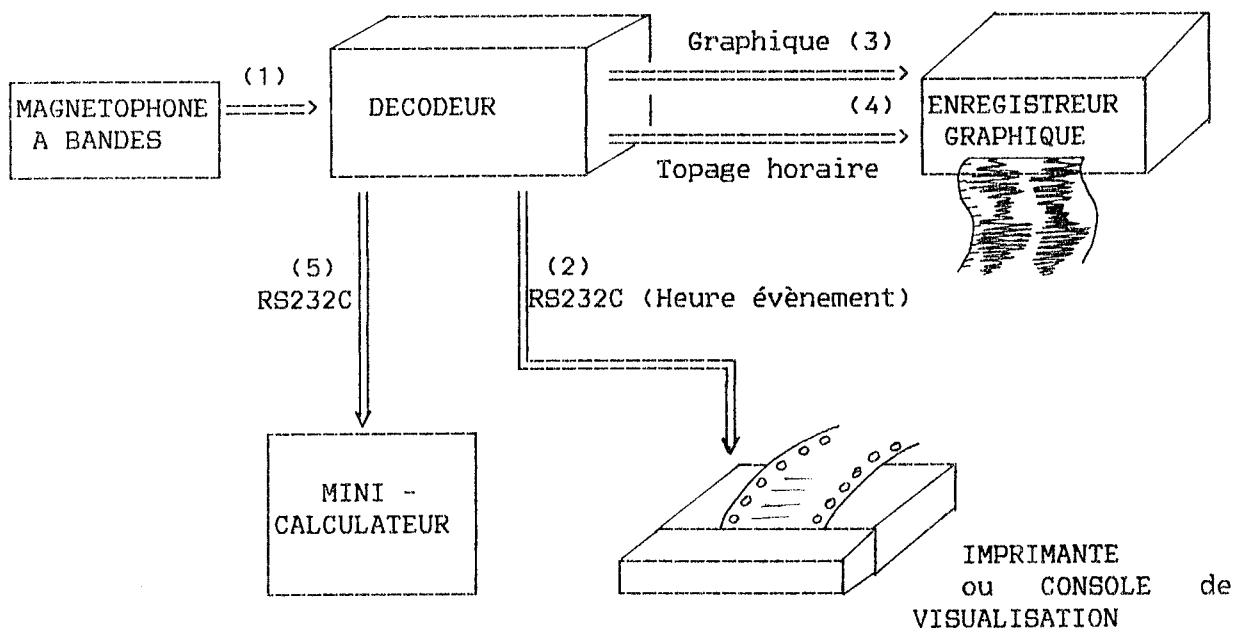


Figure II.2

2.2 Entrée du décodeur (1)

Les bandes magnétiques, supports d'enregistrements des évènements sismiques sont lues sur un magnétophone à bandes UHER identique à celui de la phase d'acquisition.

La lecture s'effectue à la vitesse de 4,7 cm/s d'où un flux de 2Kbits/s soit une vitesse double de l'écriture sur la bande.

2.3 Les différents rôles du décodeur

2.3.1 Sortie de l'heure de l'évènement (HH) et de la longueur de l'évènement (2)

Cette sortie s'effectue sur imprimante ou console de visualisation par une communication série asynchrone RS232.

La vitesse de transmission peut être modifiée et atteindre 9600 bauds suivant le périphérique choisi.

Elle réalise :

- L'affichage de la date à laquelle s'est produit l'évènement :
 - . n° jour dans l'année
 - . heure
 - . minute
 - . seconde
 - . 1/10 seconde
- L'affichage de la durée en minutes et secondes de l'évènement.

Il y a donc lors de la lecture des bandes magnétiques :

- Détection du début de l'évènement grâce au changement d'état du bit TRIG (cf ch I 2.3)
- Décodage de l'heure de l'évènement codés sur 34 bits répartis dans 34 blocs successifs de 20 bits
- Détermination de la longueur de l'évènement grâce à un compteur logiciel.

2.3.2 Sortie graphique (3)

Elle permet de réaliser la conversion analogique de l'enregistrement numérique et d'effectuer en conséquence le tracé des différents signaux sur un enregistreur graphique GOULD à deux voies.

La calibration de l'enregistreur tant pour la vitesse de défilement que pour l'amplitude est facilement modifiable.

2.3.3 Topage horaire (4)

Ce topage correspond au décodage de l'heure du système selon le code CIH.

Sa représentation s'effectue en parallèle avec la sortie graphique des signaux.

Il permet de vérifier l'heure des évènements et de disposer d'une échelle régulière des temps.

2.3.4 Sortie série vers un minicalculateur (5)

- De même que pour la sortie des heures d'évènements sur un périphérique de type imprimante ou console de visualisation, une communication série asynchrone RS232 est utilisée.

Cette liaison permet de mémoriser les valeurs numériques de chaque signal sur une unité de stockage.

- Le minicalculateur utilisé est un SPS5-70 de BULL SEMS.

Il permet le traitement des enregistrements : analyse spectrale, recherche des critères de reconnaissance automatique des signaux d'avalanches, etc...

- D'autre part le décodeur possédant une interface parallèle (PIA 6821) il est possible de s'adapter à un microordinateur muni de ce type d'interface.

3. REALISATION MATERIELLE DU DECODEUR

Le décodeur est constitué de plusieurs modules s'articulant autour d'une carte microprocesseur 8 bits 6802. [LEM83] [EFC80]

Les différents modules constituant le décodeur sont :

- le module de mise en forme des signaux enregistrés
- le module de conversion numérique - analogique et filtrage pour sortie graphique
- le module du topage horaire (CIH)
- les interfaces séries RS232 avec : [LIL81]
 - l'imprimante ou console de visualisation
 - le minicalculateur SPS5-70

3.1 Schéma général

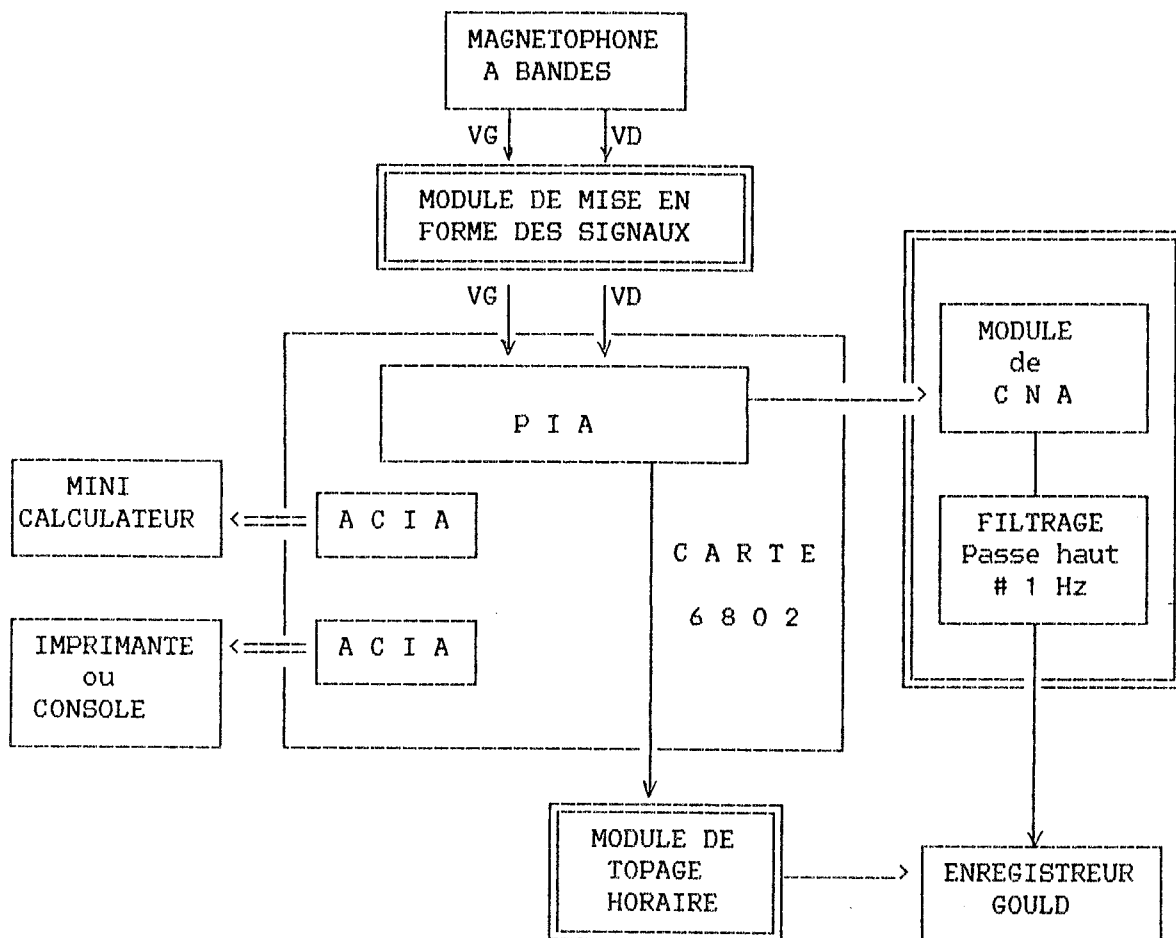


Figure II.3.1

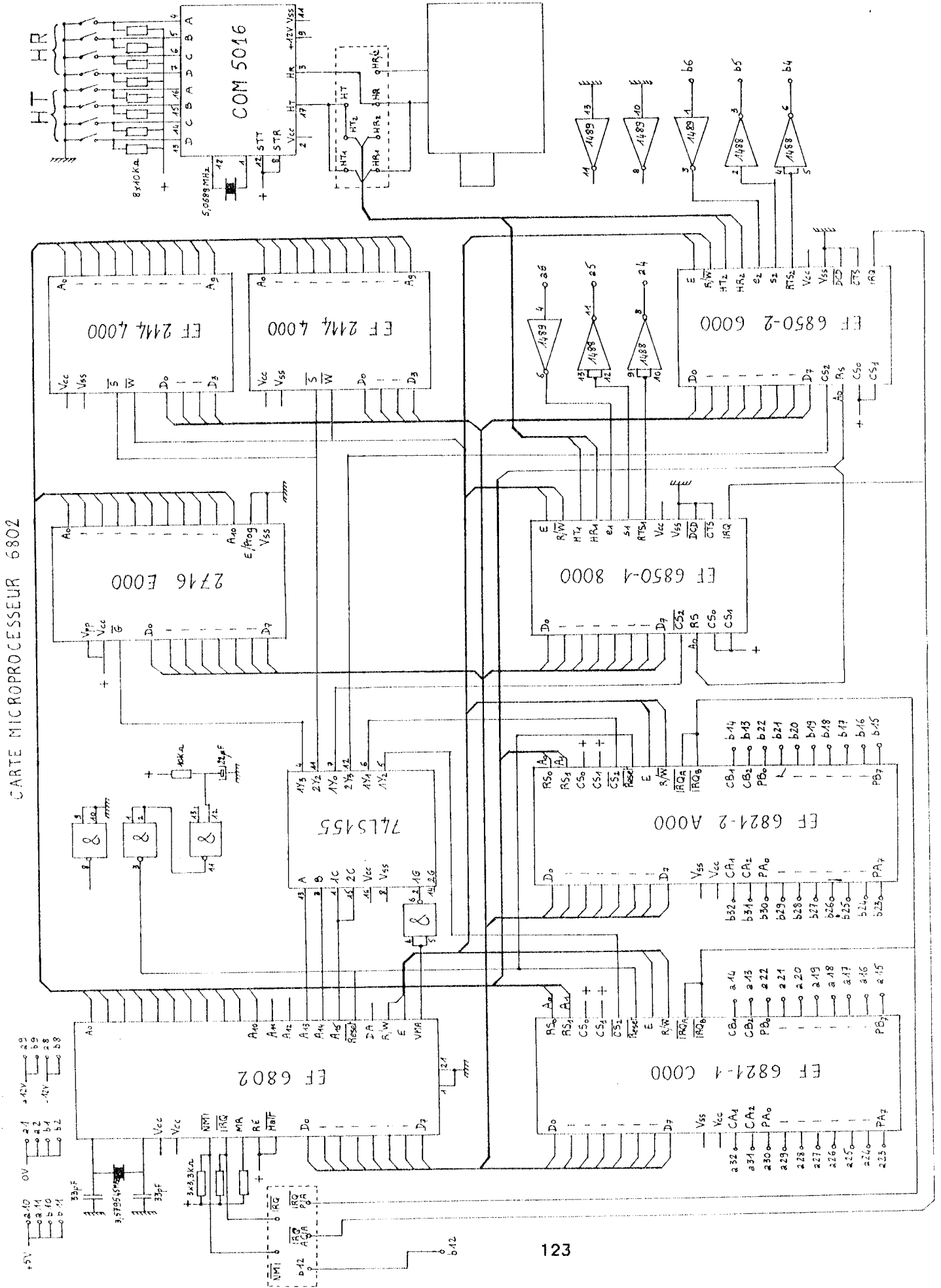
3.2 Carte microprocesseur 6802

- Cette carte conçue précédemment pour d'autres applications comprend :

- . un microprocesseur 8 bits Motorola 6802 (cf Annexe II.1) [SES78], (fréquence du quartz associé = 3,58 MHz)
- . deux ports parallèles P.I.A 6821 [REV1]
- . deux ports séries A.C.I.A 6850
- . une EPROM 2716 (capacité = 2 Koctets)
- . deux RAM 2114 (capacité = 1 Koctets)
- . un générateur de bauds programmable par switches de 50 à 19200 bauds

- Schéma logique de la carte :

Figure II.3.2



- Temps de cycle :

Le quartz utilisé de fréquence 3,58 MHz permet d'obtenir un temps de cycle instruction de $4 \cdot (1 / 3,58) = 1,117 \mu s$.

- Découpage de la mémoire

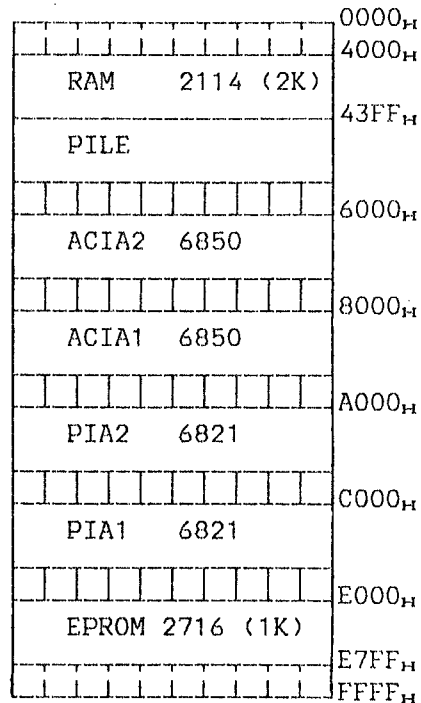


Figure II.3.3

- Adressage des différents composants

Cet adressage utilise un démultiplexeur 74LS155 (cf Annexe II 2).

Les lignes d'adresse A_{13} - A_{14} - A_{15} et la ligne VMA du microprocesseur 6802 constituent les points d'entrée.

L'adressage effectué est schématisé dans le tableau ci-dessous :

A_{15} 1C-2C	A_{14} B	A_{13} A	X	SORTIE du 74LS155	adresse	boitiers adressés
1	1	1	0	1 Y 3	E000	EPROM 2716
1	1	0	0	1 Y 2	C000	PIA1 6821
1	0	1	0	1 Y 1	A000	PIA2 6821
1	0	0	0	1 Y 0	8000	ACIA1 6850
0	1	1	0	2 Y 3	6000	ACIA2 6850
0	1	0	0	2 Y 2	4000	RAM 2114
0	0	1	0	2 Y 1	2000	-----
0	0	0	0	2 Y 0	0000	-----

- Les sorties du 74LS155 sont reliées aux entrées de sélection des différents composants à adresser.
Toutes ces sorties sont validées à un niveau bas.

- . 1Y3 ---> \overline{G} de la mémoire EPROM 2716 (broche n°20)
Entrée de sélection de la mémoire valide à l'état bas.
- . 1Y2 ---> $\overline{CS2}$ du port PIA1 6821 (broche n°23)
- . 1Y1 ---> $\overline{CS2}$ du port PIA2 6821 (broche n°23)]

Les circuits sont sélectionnés si les deux entrées de sélection CS0 et CS1 sont à l'état haut et CS2 est à l'état bas

L'application de la tension d'alimentation positive (+5V) sur CS0 et CS1 permet donc de garder CS0 et CS1 à l'état haut.

L'état bas appliqué aux entrées $\overline{CS2}$ est dû aux sorties du démultiplexeur 1Y2 et 1Y1.

- . 1Y0 ---> $\overline{CS2}$ du port ACIA1 6850 (broche n°9)
- $\overline{CS2}$ du port ACIA2 6850 (broche n°9)]

De même que les ports parallèles, ces circuits sont sélectionnés si les deux entrées de sélection CS0 et CS1 sont à l'état haut et $\overline{CS2}$ à l'état bas.

- . 2Y2 --- \overline{S} de la mémoire RAM 2114 (broche n°8)
Entrée de sélection de la mémoire valide à l'état bas.

3.3 Module de mise en forme des signaux

3.3.1 Enregistrement

Le signal est enregistré sur le magnétophone "audio" dont la bande passante s'étend de 100 à 10000 Hz.

L'enregistrement s'effectue en stéréophonie à une fréquence de 1000 Hz. Le signal 1000 Hz est envoyé alternativement sur les canaux droit (VD) et gauche (VG) selon le codage suivant :

codage du "1" = - présence 1000 Hz sur la voie VD
- absence de signal sur la voie VG

codage du "0" = - présence 1000 Hz sur la voie VG
- absence de signal sur la voie VD

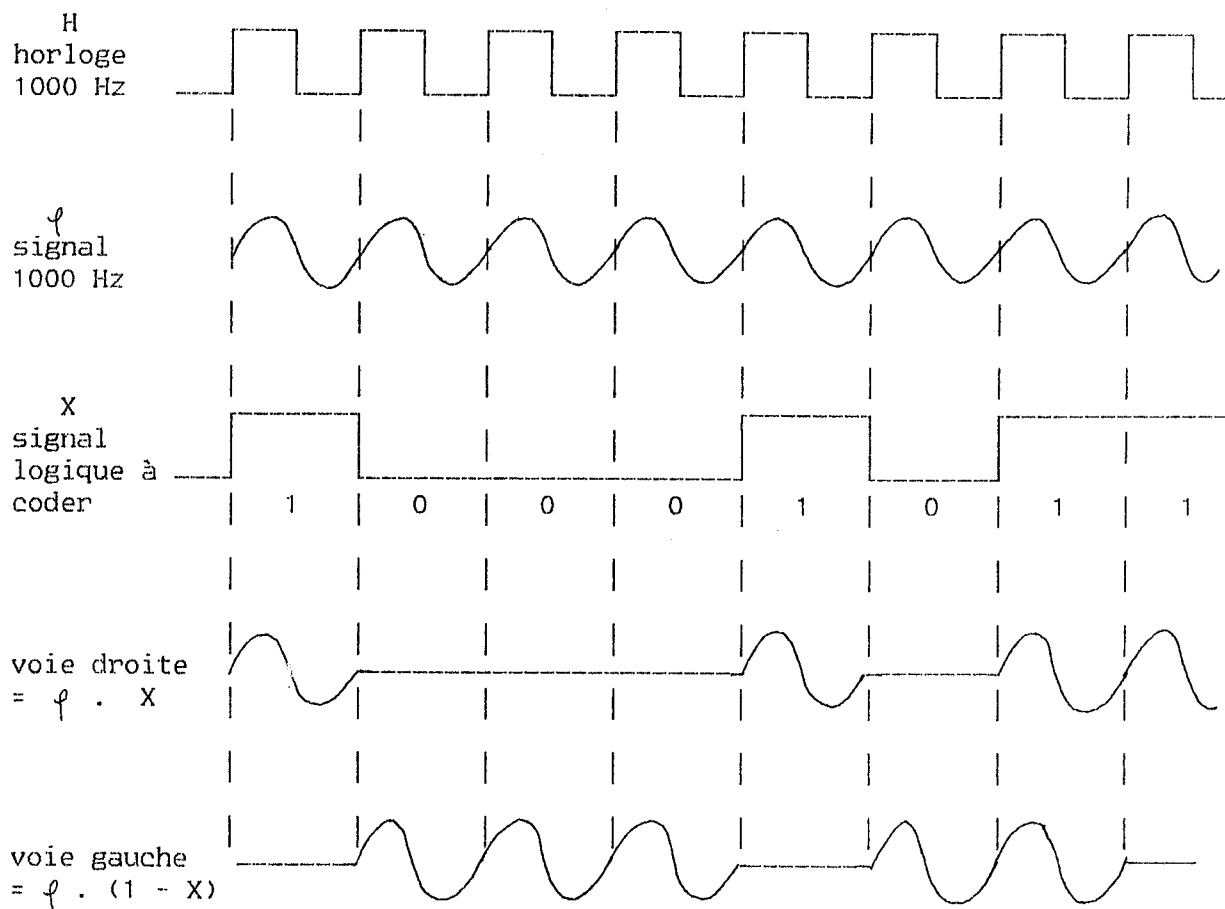


Figure II.3.4

3.3.2 Anomalies des enregistrements

- L'enregistrement effectué suivant le codage décrit ci-dessus, peut présenter différentes anomalies.

- De plus, que ce soit en logique câblée ou à base de microprocesseur, l'enregistrement sur magnétophone intervient et entraîne des parasites.

- Les différents problèmes de relecture rencontrés sont les suivants :

- l'amplitude des sinusôides diffère selon les bandes magnétiques, et parfois sur la même bande.

- des parasites se superposent aux sinusoides existantes et peuvent être lus comme un signal faux.

- une perte de synchronisation entre les voies droite et gauche est fréquemment observée, de plus le décalage obtenu entre les deux voies n'est pas régulier.

3.3.3 Mise en forme des signaux : réalisation du circuit

3.3.3.1 Buts

1°) Obtenir un seuil dépendant de l'amplitude d'un enregistrement donné et permettant de ne pas prendre en compte les parasites lors de l'amplification du signal.

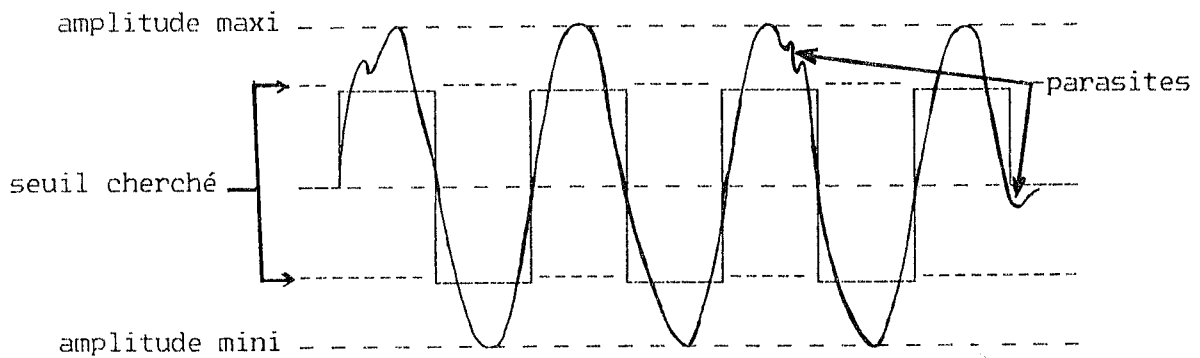


Figure II.3.5

2°) Amplifier le signal afin d'obtenir un signal carré.

3.3.3.2 Schéma synoptique

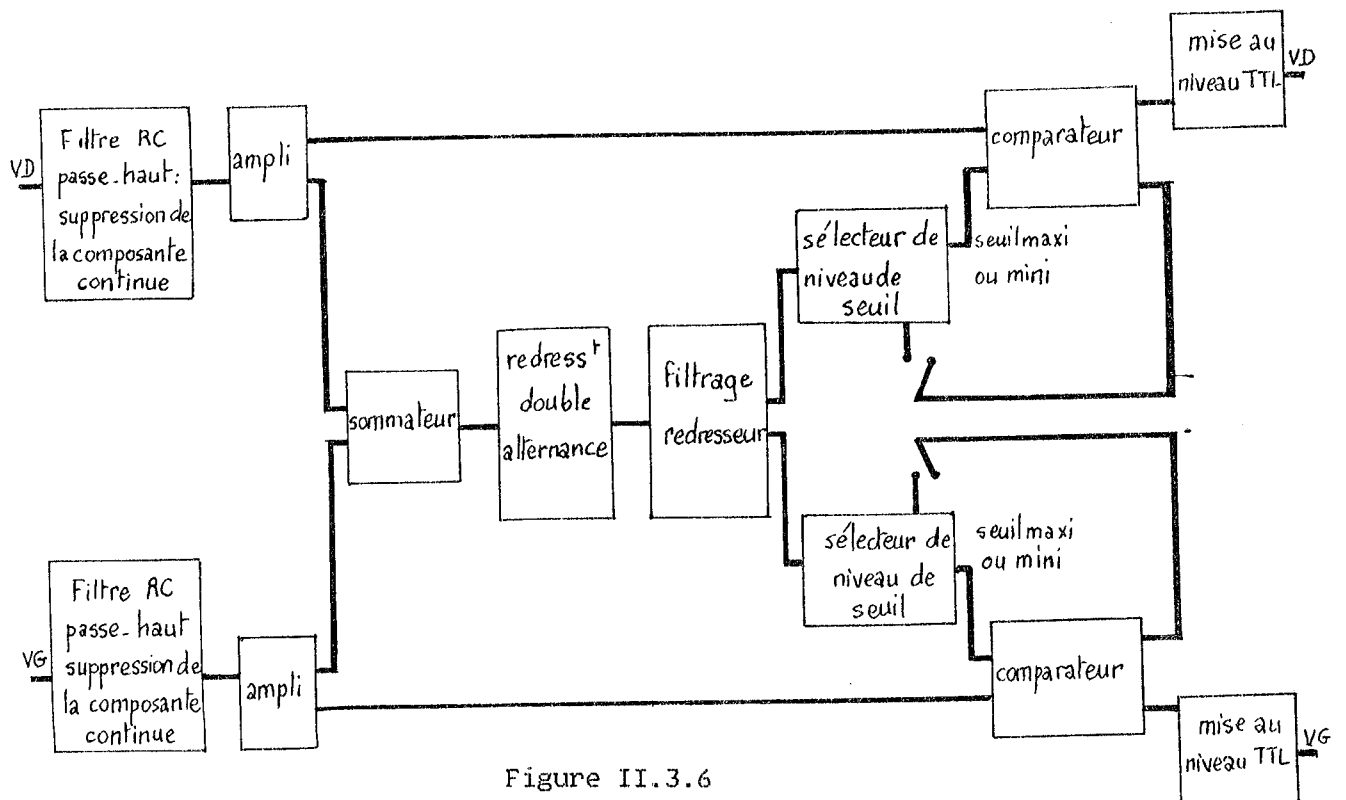


Figure II.3.6

3.3.3.3 Schéma logique

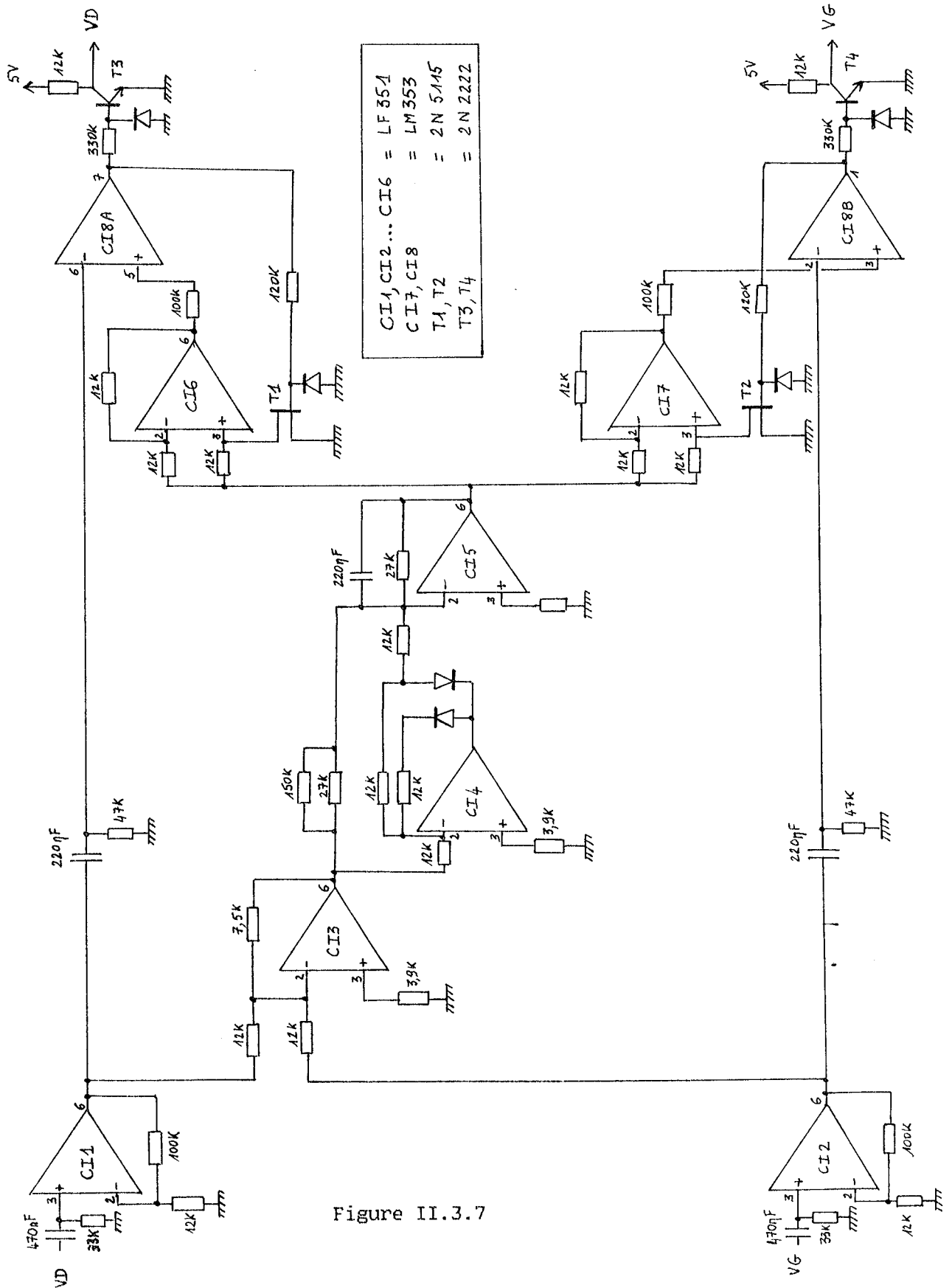


Figure II.3.7

3.3.3.4 Redressement double alternance [MIL75]

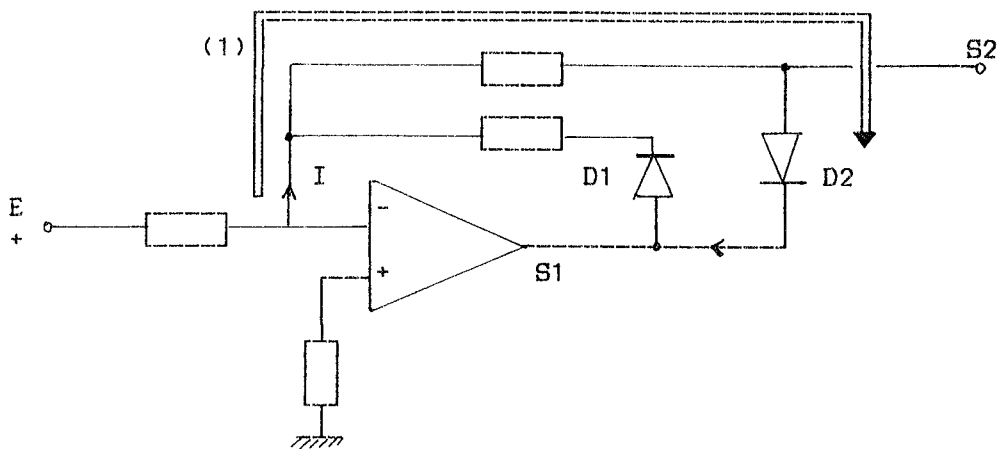


Figure II.3.8

1er cas : tension positive au point E

- On a $V_{E1} < V_E$, et le courant I parcourt le chemin (1).
- La diode D1 bloque le passage du courant et seule la diode D2 conduit.
- On retrouve donc au point S2 les alternances positives du signal, mais inversées par l'amplificateur opérationnel qui correspond ici à un inverseur (l'entrée étant sur la broche -).

2ème cas : tension négative au point E

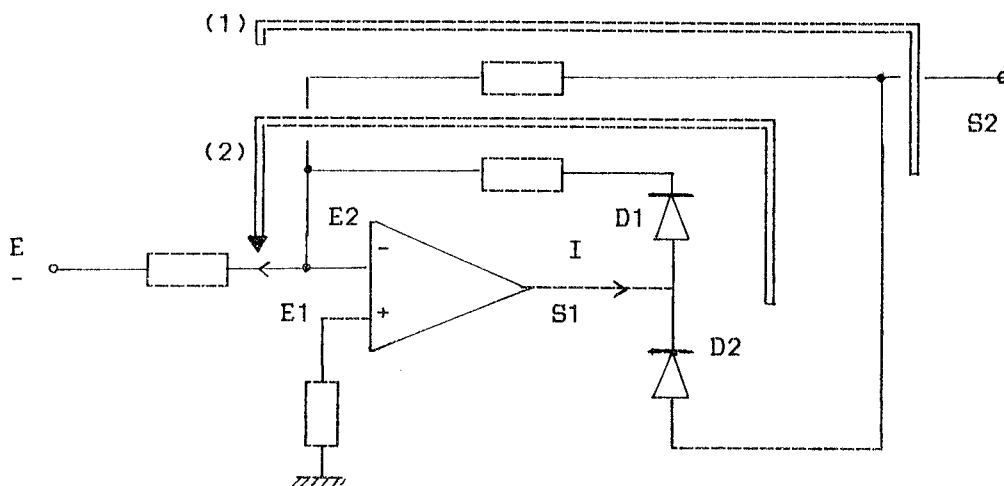


Figure II.3.9

- On a $V_{E1} > V_E$, le courant I est bloqué par D2.
- Seule la diode D1 conduit (chemin (2)).
- Le point S2 est ramené au potentiel de E2.
- Le point E2 et par conséquent S2 est ramené au potentiel de E1 soit à la masse.

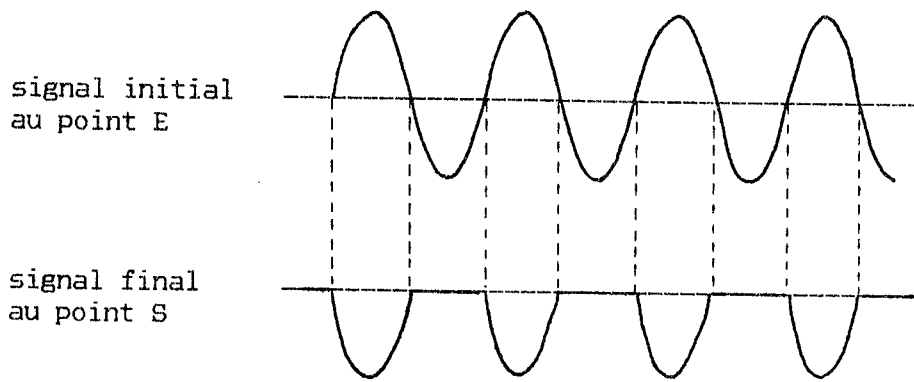


Figure II.3.10

3.3.3.5 Sélecteur de niveau de seuil

Les sorties des deux comparateurs agissent directement sur les transistors qui font office d'interrupteurs.
On sélectionne ainsi un seuil maximum ou un seuil minimum.

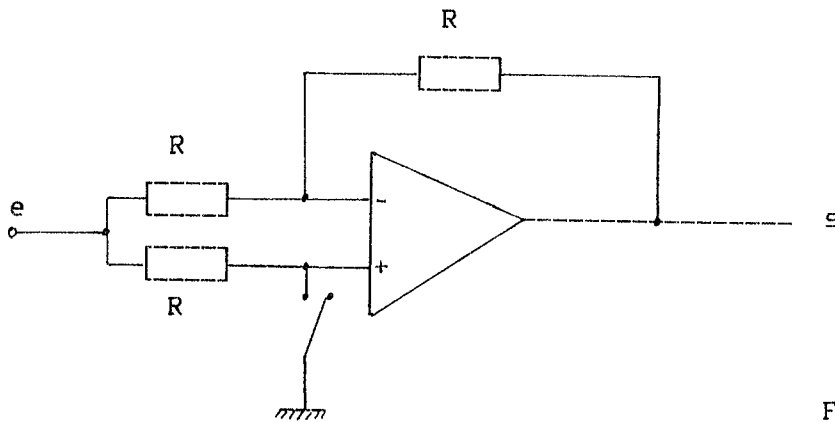


Figure II.3.11

1er cas : interrupteur fermé

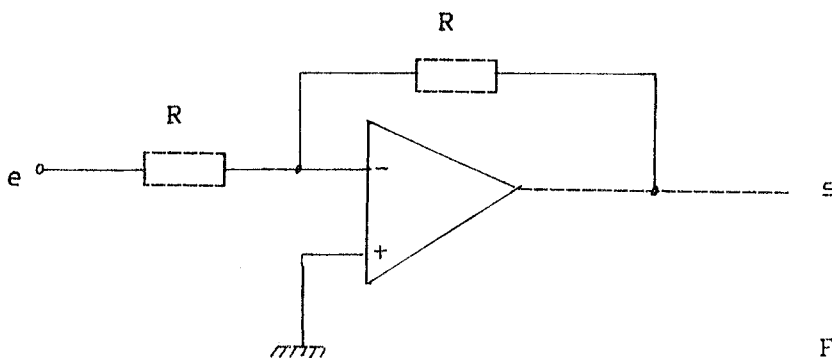


Figure II.3.12

$$G = s/e = - R/R = -1 \implies s = -e \iff \text{seuil minimum}$$

2ème cas : interrupteur ouvert

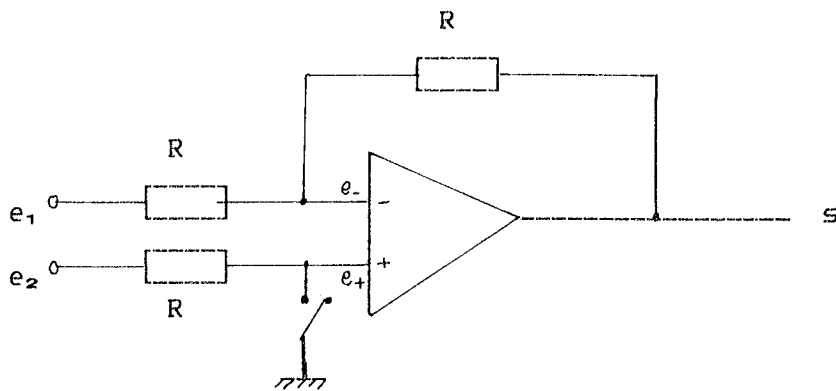


Figure II.3.13

- $e_+ = e_2$

- Le théorème de superposition entraîne :

$$e_- = e_- (s = 0) + e_- (e_1 = 0)$$

$$e_- = e_1 (R/2R) + s \cdot (R/2R) = e_1/2 + s/2$$

$$e_- = e_+ \implies s/2 = e_2 - e_1/2$$

$$e_1 = e_2 \implies s/2 = e (1 - 1/2) = e/2$$

====> $s = e \iff$ seuil maximum

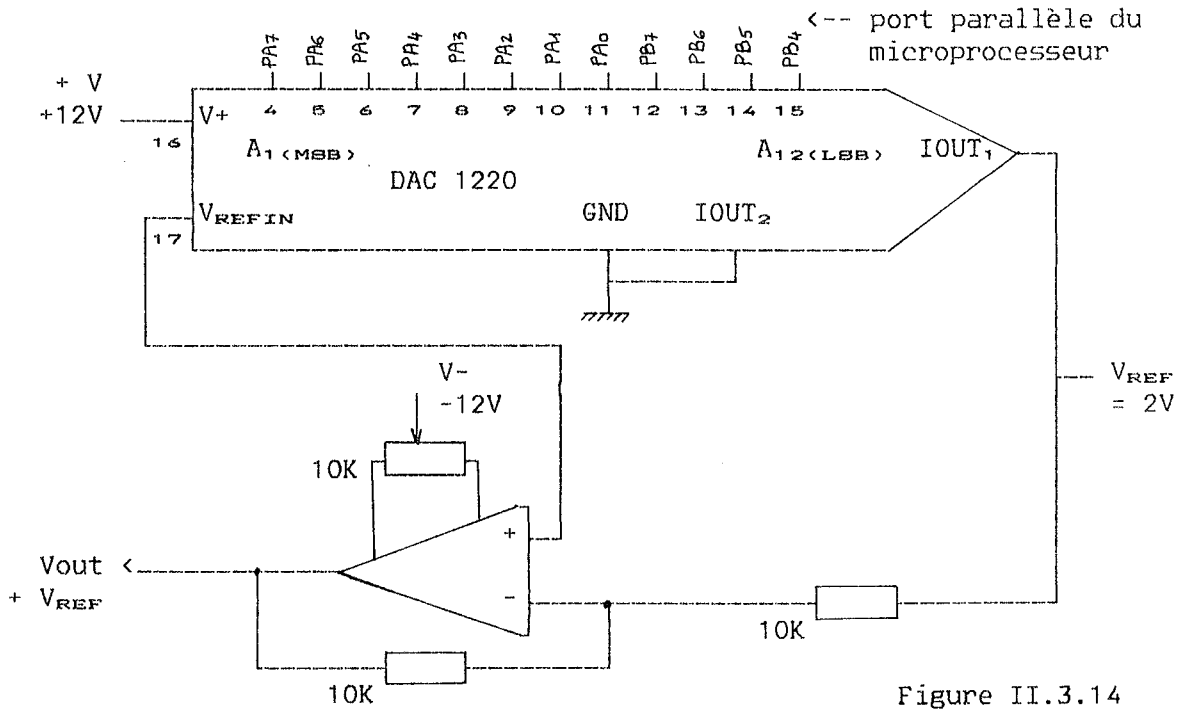
3.4 Module de conversion numérique - analogique et filtrage pour sortie graphique

3.4.1 Conversion numérique - analogique

L'écriture des données sur le port parallèle (PIA1) permet la sortie parallèle des 12 bits de mesure.

Cette sortie attaque un convertisseur numérique - analogique 12 bits = DAC 1220 (cf Annexe II.3), transformant le code binaire en une grandeur physique proportionnelle à la valeur représentée par ce code.

Le montage effectué est le suivant :



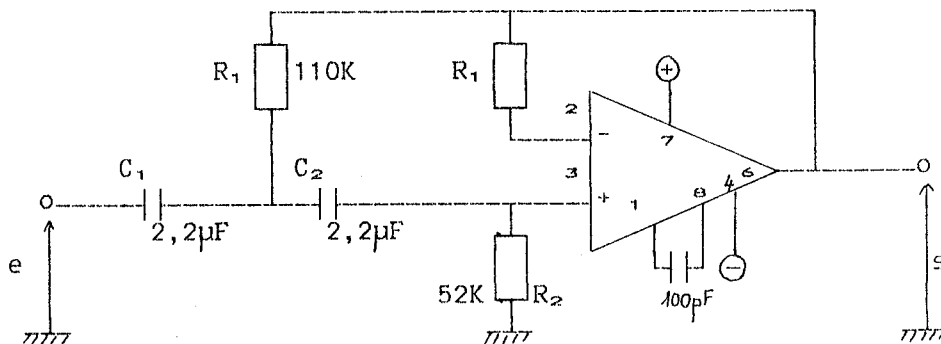
La table de vérité correspondante suit le tableau ci-dessous :

Entrée digitale			Vout
1 1 1 1	1 1 1 1	1 1 1 1	V_{REF}
1 0 0 0	0 0 0 0	0 0 0 0	0
0 0 0 0	0 0 0 0	0 0 0 0	$-V_{REF}$

Les 12 bits de résolution correspondent aux 4096 valeurs possibles.

3.4.2 Filtrage

Afin de filtrer les basses fréquences et supprimer la composante continue, il est nécessaire d'ajouter un filtre passe-haut dont le schéma de réalisation est le suivant :



La fréquence de coupure correspondante à ce filtre est égale à :

$$f = \omega_0 / 2 \pi = 0,95 \text{ Hz}$$

$$\text{avec } \omega_0 = 1 / C \sqrt{R_1 R_2}$$

Le calcul de la fréquence de coupure d'un filtre passe-haut est effectué dans l'Annexe II.4.

3.5 Module du topage horaire

Le bit CIH est régulièrement transmis tous les 20 bits (codant ainsi l'heure du système). La ligne PB1 du port parallèle B (PIA1) suit l'état du bit CIH.

Cette sortie est reliée à un transistor en commutation fonctionnant comme un interrupteur :

Le collecteur du transistor est relié directement à la bobine de l'enregistreur graphique qui commande un stylet de topage.

Schéma du montage :

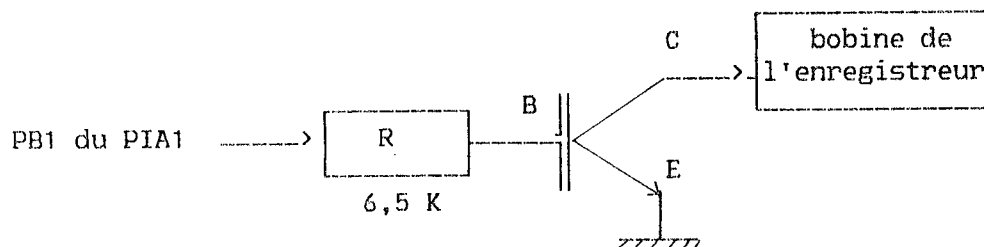


Figure II.3.16

3.6 Interfaces série RS232

Deux interfaces séries asynchrones RS232 permettent les liaisons suivantes :

- Liaison du décodeur avec une imprimante ou une console de visualisation (sortie heure et longueur de l'évènement).
- Liaison du décodeur avec une unité de stockage et de traitement = minicalculateur (SPS5.70).

Ces connexions effectuées par une prise 25 broches classique, sont réalisées par l'intermédiaire des deux ports séries ACIA 6850.

4. REALISATION LOGICIELLE DU DECODEUR

Ne disposant d'aucun outil de développement pour sa réalisation, la mise au point du logiciel a présenté de nombreuses difficultés.

Le développement a été réalisé en deux temps :

- Développement partiel en langage machine sur un kit d'études 6802 : les caractéristiques de celui-ci étant beaucoup plus restreintes que celles de la carte microprocesseur mise en oeuvre.
- Mise au point progressive par programmations successives de la mémoire Eprom.

Néanmoins, une possibilité de transfert de mémoire Eprom sur le calculateur du centre existe, et permet grâce à un désassembleur de lister le logiciel effectué.

Dans un premier temps, la programmation des ports parallèles et séries de la carte microprocesseur est décrite puis le principe général du décodage.

4.1 Entrée des données - Programmation des PIA

Les deux registres de commande CRA et CRB permettent au MPU de commander le fonctionnement des quatre lignes de commande / interruption CA1, CA2, CB1, CB2.

Ils permettent aussi d'autoriser les interruptions (sur IRQA et IRQB) et de tester l'état des indicateurs d'interruption.

Le tableau ci-dessous montre le format des registres de commande :

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	Commande de CA2			Accès DDRA	Commande de CA1	

	7	6	5	4	3	2	1	0
CRB	IRQB1	IRQB2	Commande de CB2			Accès DDRB	Commande de CB1	

- Le décodeur présente un commutateur de fonctions permettant de démarrer ou d'arrêter le déroulement du programme.

Ce commutateur est relié aux deux lignes de commande / interruption CA1 (stop = broche 40 du PIA) et CB1 (start = broche 18 du PIA).

- Les deux voies droite et gauche du signal sont elles aussi directement reliées aux deux autres lignes de commande / interruption CA2 (VD = broche 39 du PIA) et CB2 (VG = broche 19 du PIA).

- L'initialisation des mots de commande CRA et CRB est gérée sur front montant des lignes de commande ; la demande d'interruption étant inhibée.

Les deux tableaux suivants donnent les commandes des entrées d'interruption :

Commande des entrées d'interruption CA1 et CB1

CRA-1 (CRB-1)	CRA-0 (CRB-0)	Transition active de l'entrée d'interruption CA1 (CB1)	Indicateur d'interruption CRA-7 (CRB-7)	Demande d'interruption du MPU \overline{IROA} (\overline{IROB})
0	0	↓Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée — \overline{IRO} reste à l'état haut
0	1	↓Active	Mis à un sur ↓ de CA1 (CB1)	Passé à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à un
1	0	↑Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée — \overline{IRO} reste à l'état haut
1	1	↑Active	Mis à un sur ↑ de CA1 (CB1)	Passé à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à un

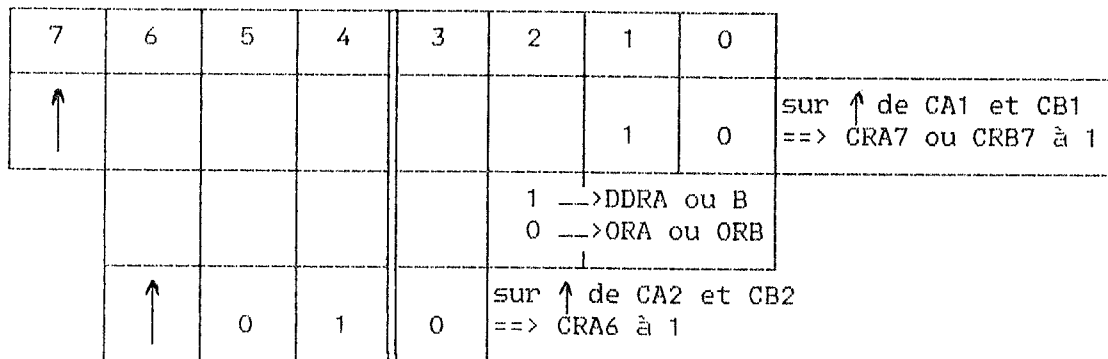
- Notes : 1 ↑ Transition positive
 2 ↓ Transition négative
 3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre Données de la périphérie A (B) par le MPU.
 4 Si CRA-0 (CRB-0) est à zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, \overline{IROA} (\overline{IROB}) passe à l'état bas après que CRA-0 (CRB-0) ait été mis à un.

Commande de CA2 et CB2 comme entrées d'interruption avec CRA-5 (CRB-5) à zéro

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU \overline{IROA} (\overline{IROB})
0	0	0	↓Active	Mis à un sur ↓ de CA2 (CB2)	Inhibée — \overline{IRO} reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓ de CA2 (CB2)	Passé à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un
0	1	0	↑Active	Mis à un sur ↑ de CA2 (CB2)	Inhibée — \overline{IRO} reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑ de CA2 (CB2)	Passé à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un

- Notes : 1 ↑ Transition positive
 2 ↓ Transition négative
 3 L'indicateur d'interruption CRA-6 (CRB-6) est mis à zéro par une lecture du registre Données de la périphérie A (B) par le MPU.
 4 Si CRA-3 (CRB-3) est à zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, \overline{IROA} (\overline{IROB}) passe à l'état bas après que CRA-3 (CRB-3) ait été mis à un.

L'initialisation du mot de commande CRA et CRB suit le schéma suivant :



==> programmation du PIA = 16_H

Figure II.4.1

4.2 Programmation des ACIA

Il est nécessaire de fixer la fréquence d'horloge, la parité des caractères de sortie, le nombre de bits de données et le nombre de bits d'arrêt.

Initialisation effectuée :

- rapport de division de la fréquence = 16
- nombre de bits de données = 8
- nombre de bits d'arrêt = 2

4.3 Principe général du décodage

L'ensemble de ce décodage est effectué de manière séquentielle sans interrompre le flot de données en entrée.

Le décodage nécessite de prendre en compte :

- L'entrée des données, c'est à dire les enregistrements codés sur bande magnétique
- Les différentes fonctions demandées au décodeur.

4.3.1 Lecture d'un bit

Les deux voies VD et VG sont respectivement reliées aux lignes de commande / interruption CA2 et CB2.

Il suffit de tester le bit indicateur d'interruption CRA6 et CRB6 pour lire le bit correspondant, comme le montre le schéma ci-après :

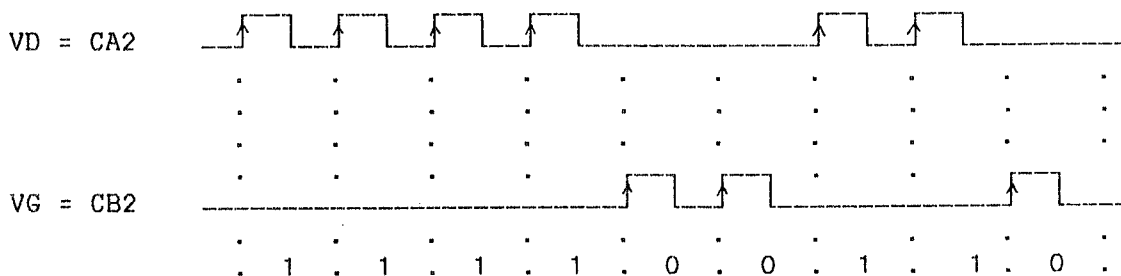


Figure II.4.2

4.3.2 Recherche de la synchronisation

- Chaque mesure numérisée sur 12 bits est transmise dans des blocs de 20 bits (cf 1ère partie).

La lecture des bandes magnétiques nécessite de se synchroniser par pas de 20 bits grâce aux 4 bits de synchronisation (1.0.0.1).

- Une perte de synchronisation due à une lecture fautive d'un bit (parasite ...) ou une absence ou un ajout de bit, entraîne obligatoirement une recherche de l'occurrence '1001'.

Cette séquence ne peut réellement se reproduire que dans deux cas :

- 1.0.0.1 ----> emplacement normal
- $X_0.T.H.C$ où $X_0 = 1$
 $T = 0$
 $H = 0$
 $C = 1$] ----> cas possible

- Dans ce cas, le principe de recherche de synchronisation consiste donc à :

1°) Rechercher l'occurrence '1001' en glissant lors de la lecture des bits.

L'algorithme correspondant est le suivant :

```

Début
  synchro := faux
  tant que nb de bits /= 0 et synchro = faux
  faire
    nb de bits := nb de bits - 1
    lecture du bit et décalage
    si '1001' = vrai
    alors synchro := vrai
  finsi
  finfaire
fin
  
```

Au démarrage le nombre de bits où s'effectue la recherche est fixé à 20 puis 6.

En effet si dans les 6 bits consécutifs à la séquence, il existe à nouveau la suite '1001', la solution choisie

réside à garder la 2ème occurrence trouvée, comme la bonne synchronisation.

2°) Vérifier cette nouvelle synchronisation, en la recherchant par trois fois (= 3 lectures successives de blocs de 20 bits).

4.3.3 Algorithme général

Début

```
- initialisation des ports
- tant que non demande de décodage (START = CB1 = vrai)
  | faire rien
  finfaire
- tant que demande de décodage (STOP = CA1 = faux)
  | faire
  | - tant que synchro = faux
  | | faire - nb de bits := 20
  | | - recherche synchro
  | | finfaire
  | - nb de bits := 6
  | - recherche synchro
  | - si synchro = vrai
  | | alors
  | | - saut des bits pour position.
  | | sur 2ème synchro
  | | sinon
  | | - saut des bits pour position.
  | | sur 1ère synchro
  | | finsi
  | - nb de vérif := 3
  | - tant que nb de vérif /= 0 et synchro = vrai
  | | faire
  | | - nb de bits := 4
  | | - recherche synchro
  | | - lire 2 octets suivant synchro
  | | - nb de vérif := nb de vérif -1
  | | finfaire
  | - tant que synchro = vrai et demande décodage
  | | faire
  | | - nb de bits := 4
  | | - recherche synchro
  | | - lire un octet
  | | - écrire l'octet sur port
  | | - lire un octet
  | | - écrire l'octet sur port
  | | - décodé l'heure
  | | - calculer longueur éven.
  | | finfaire
  | finfaire
- finfaire
```

Fin

4.3.4 Décodage de l'heure et détermination de la longueur de l'évènement

Après avoir testé le passage du bit TRIG à 1 (début de l'évènement), on lit les 34 valeurs successives du bit H afin de décoder l'heure de l'évènement.

Parallèlement, un compteur de tops secondes permet de déterminer la longueur de l'évènement.

5. LIAISON ENTRE LE DECODEUR ET UN MINICALCULATEUR

Le but de cette liaison consiste à mémoriser les valeurs numériques de chaque signal sur une unité de stockage et de traitement.

Une sélection des différents signaux peut être effectuée avant le transfert des données.

5.1 Liaisons avec l'unité de stockage / traitement

Le décodage ne permet pas le pilotage du défilement du magnétophone ni la mémorisation des données relatives à un évènement.

Il effectue donc, en continu la transmission vers une unité de stockage. Celle-ci est supposée toujours disponible.

Deux types de liaison sont réalisables compte tenu de la vitesse de lecture des bandes magnétiques et de l'ordinateur utilisé.

Seule la liaison série est actuellement réalisée.

5.1.1 Liaison parallèle

Cette liaison permettra de stocker que quelques évènements sélectionnés.

Les données seront écrites sur le deuxième port parallèle (PIA2), celui-ci étant relié à un microordinateur par une prise parallèle 36 broches.

Le programme de transfert devra être écrit en assembleur afin d'accélérer la transmission.

5.1.2 Liaison série

Cette liaison est effectuée entre le décodeur et le minicalculateur SPS5.70 du centre.

La rapidité de lecture nécessite l'utilisation de la fonction temps réel de l'ordinateur, afin de ne pas perdre de données entre chaque échange.

Cette liaison est une liaison RS232 issue de l'ACIA2 6850 de la carte microprocesseur, et reliée au minicalculateur par une prise 25 broches sur une voie d'un des coupleurs existants.

Cette transmission s'effectue à la vitesse de 9600 bauds.

5.2 Liaison série et stockage des données

Deux tâches temps réel développées en langage assembleur sont utiles à la réalisation de la fonction de lecture / stockage des données : [BUL83]

1°) Tâche RIDVOI

- Acquisition des données sur la voie du coupleur
- Stockage des informations transmises dans une zone de données communes aux différentes tâches temps réel notée CDA (Common Data Area)

Cette écriture est effectuée en 'flip-flop' dans deux buffers gérés par un pointeur.

2°) Tâche SORVOI

- Lecture des deux buffers en CDA
- Ecriture des données dans un fichier séquentiel

Chronogramme des deux tâches :

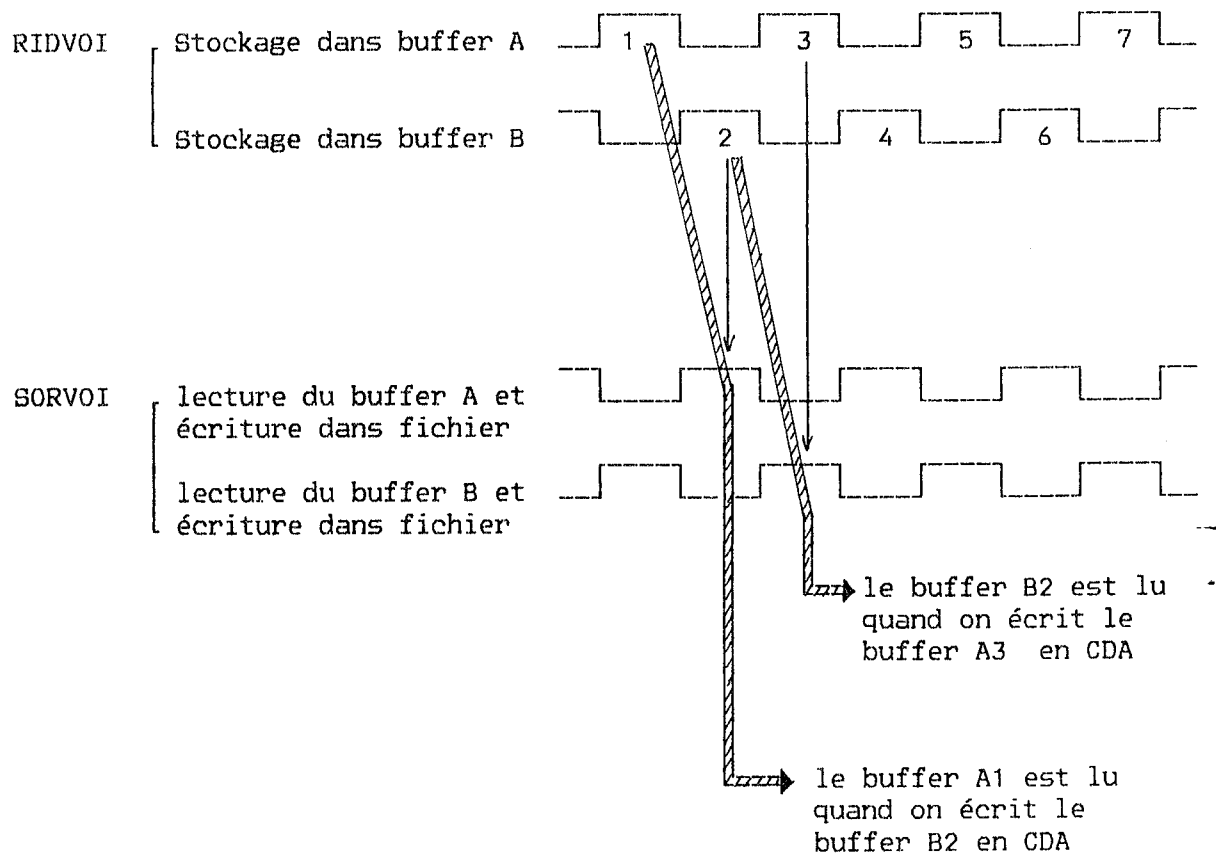


Figure II.5

La fonction temps réel du calculateur permet, sans perte d'informations, d'effectuer parallèlement l'écriture sur le buffer A pendant la lecture du buffer B et l'écriture sur fichier. Une troisième tâche procède à la fermeture du fichier séquentiel.

Les algorithmes des deux tâches de lecture et d'écriture sont les suivants :

Tâche RIDVOI

```

Début
  - init : pointeur n°1 = adresse du 1er buffer en CDA
  - tant que transfert = vrai
    faire
      - lecture des données sur bande
      - écriture des données dans le buffer pointé
        par le pointeur n°1
      - pointeur n°2 := pointeur n°1
      - pointeur n°1 := adresse du 2ème buffer en CDA
        (utilisation de la fonction OU exclusif)
    finfaire
Fin
  
```

Tâche SORVOI

```

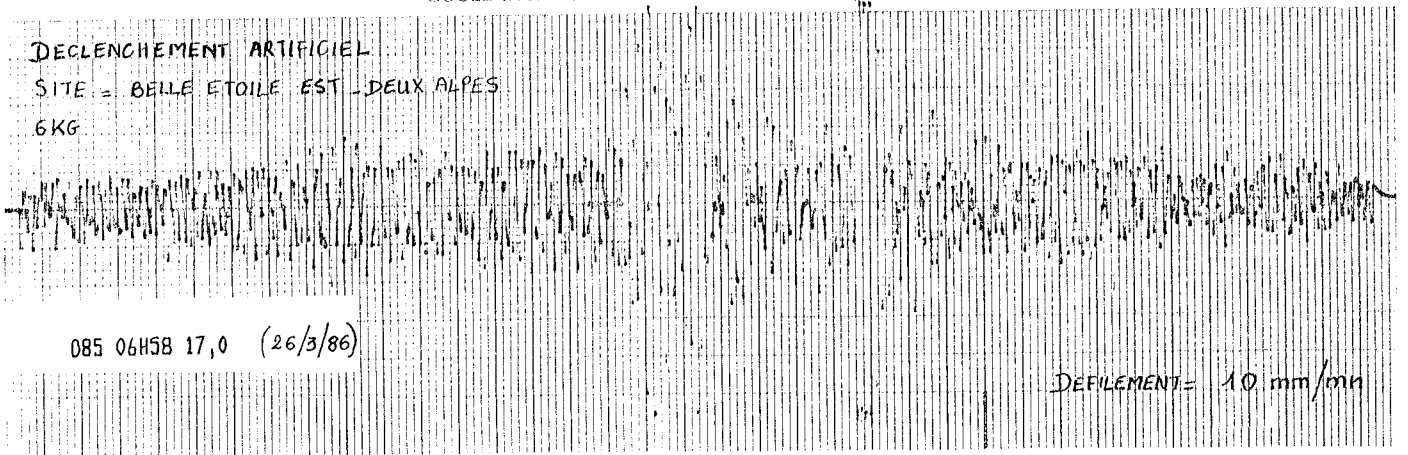
Début
  - ouverture du fichier séquentiel
  - tant que transfert = vrai
    faire
      - pointeur n°2 := 0
      - tant que pointeur n°2 = 0
        faire
          - temporisation
          - lecture du pointeur n°2 en CDA
        finfaire
      - lecture buffer en CDA pointé par pointeur n°2
      - écriture sur fichier séquentiel
    finfaire
Fin
  
```

L'Annexe II 5 donne les symboliques assemblés de ces deux tâches.

6. EXEMPLES DE SORTIES GRAPHIQUES ET HEURES D'EVENEMENTS OBTENUES PAR DECODAGE

GOULD INC. INSTR. SYST. DIV. X72421

DECLENCHEMENT ARTIFICIEL
 SITE = BELLE ETOILE EST - DEUX ALPES
 6 KG

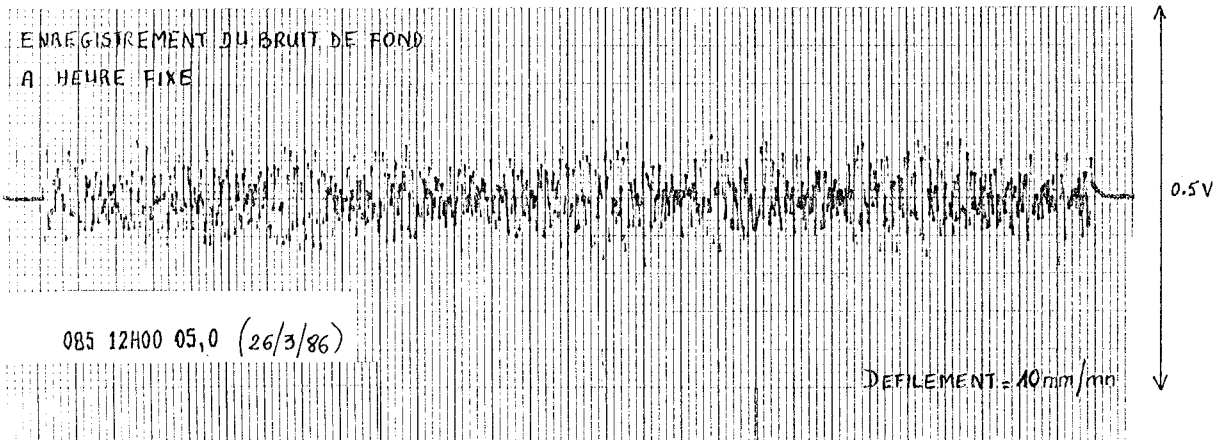


085 06H58 17,0 (26/3/86)

DEFILEMENT = 10 mm/mn

GOULD INC. INSTR

ENREGISTREMENT DU BRUIT DE FOND
 A HEURE FIXE

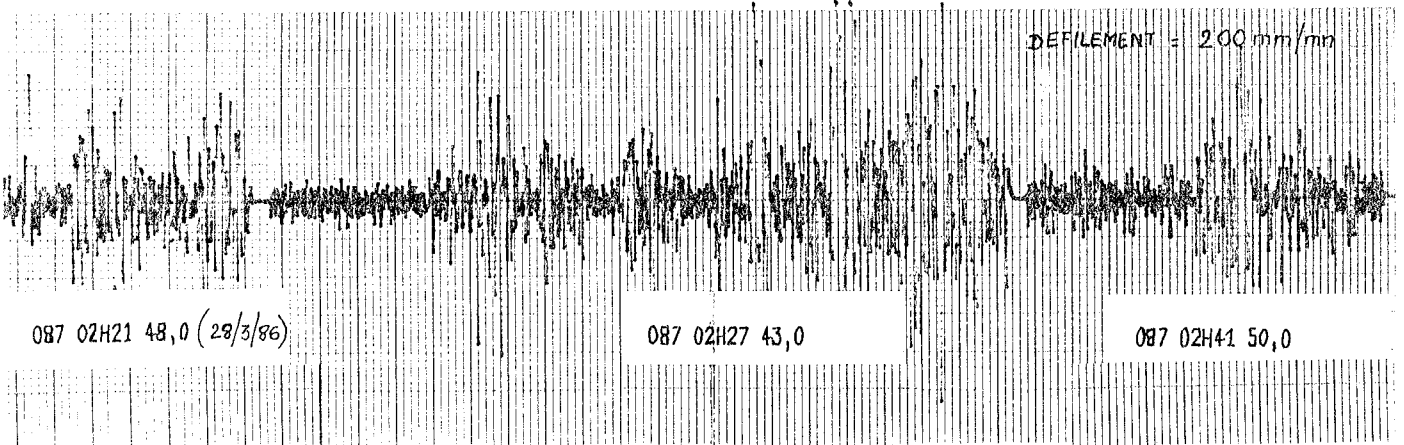


085 12H00 05,0 (26/3/86)

DEFILEMENT = 10 mm/mn

5 0 8 7 0 2 2 8 ← Code CIH

GOULD INC. INSTR. SYST. DIV. X72421



DEFILEMENT = 200 mm/mn

087 02H21 48,0 (28/3/86)

087 02H27 43,0

087 02H41 50,0

7. CONCLUSION

L'appareil décrit dans ce chapitre et réalisé autour d'une carte microprocesseur, présente plusieurs améliorations par rapport au décodeur précédemment utilisé et conçu en logique câblée

La vitesse de lecture est doublée, l'heure et la longueur de l'évènement sont éditées sur imprimante et l'émission des données décodées des différents évènements est effectuée grâce à une liaison série RS232.

Cette liaison est reliée à une unité de stockage sur support traitable.

Ces améliorations ont permis de faciliter l'exploitation des données sismiques et aborder la phase de recherche consistant à étudier les différentes méthodes de traitement du signal.[KUN81]

TROISIEME PARTIE

MESURES COMPLEMENTAIRES

TRANSFERT DES DONNEES D'UN ENREGISTREUR NUMERIQUE

VERS UN MICROORDINATEUR

INTRODUCTION

En parallèle avec les signaux issus du géophone, il est apparu intéressant de relever un certain nombre de données météorologiques.

Dans ce but, plusieurs capteurs ont été installés sur le site pour permettre l'enregistrement de la vitesse du vent, de la température de la neige ainsi que de la reptation éventuelle du manteau neigeux.

L'acquisition de ces deux dernières mesures s'effectue par l'intermédiaire d'un enregistreur numérique.

Cette troisième partie décrit les différents capteurs mis en place, puis explique le déroulement d'un programme de transfert entre l'enregistreur et un microordinateur portatif, ainsi qu'un programme de visualisation des données.

2. DIFFERENTS ENREGISTREMENTS EFFECTUES

2.1 Un anémomètre

Destiné à mesurer la vitesse du vent, l'anémomètre est installé sur le site. L'enregistrement est effectué en continu sur un enregistreur graphique, il permet de noter les fortes périodes de vent.

Le vent représente un élément important, en effet son influence sur l'abri météorologique où sont installés les appareils de mesures, ainsi que sur les différents pylones (télésièges) du site, n'est pas négligeable.

Une saison d'expérimentation montre que le géophone est soumis au bruit dû au vent sur ces éléments extérieurs.

2.2 Un accéléromètre

Description générale :

Les accéléromètres sont des appareils destinés à mesurer des variations de position par rapport à la verticale locale du lieu d'expérimentation, ou de faibles accélérations linéaires.

Ces capteurs peuvent être choisis pour fonctionner dans des gammes standard ($+1^\circ$, $+14,5^\circ$, $+30^\circ$, ou $+90^\circ$ de déviation angulaire) ou dans toute gamme intermédiaire comprise entre 1° et 180° .

Ce sont des appareils de précision pouvant travailler dans des environnements très sévères tant du point de vue climatique que du point de vue mécanique.

Le principe ainsi que le fonctionnement sont décrits dans l'Annexe III.1.

Enregistrement :

L'accéléromètre est relié à un enregistreur graphique. Il n'existe donc aucune mémorisation sur support traitable des données issues de ce capteur, ce qui est forcément pénalisant pour le dépouillement et l'utilisation des informations.

2.3 Deux sondes de température

L'enregistrement dans le temps de la température de la neige à deux niveaux différents représente une information intéressante permettant de visualiser l'évolution du gradient thermique et par là même la modification du type de neige.

Les deux sondes sont reliées à un enregistreur de données numériques appelé ECUREUIL permettant le stockage des données. La durée entre deux relevés successifs est fixée à 5 minutes.

2.4 Deux reptomètres

Description générale :

Ces capteurs de déplacement transmettent électriquement à distance la mesure d'un déplacement.

La mesure du déplacement est délivrée sous la forme d'un rapport potentiométrique disponible aux bornes d'un potentiomètre multitours à piste plastique.

Les capteurs choisis sont des capteurs de très grands déplacements (série MP2030) pour les étendues de mesures comprises entre 2 et 5 mètres.

Le déplacement mesuré correspond au déplacement d'un sabot relié au capteur.

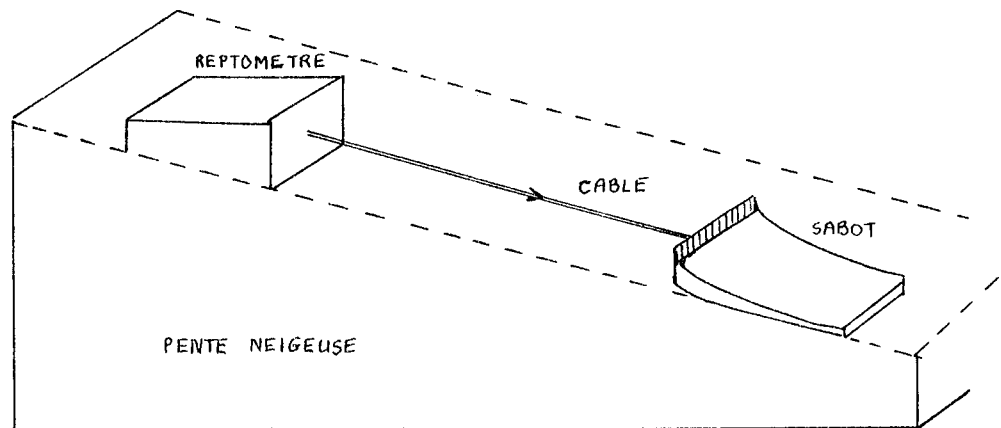


Figure III.2.1

Le principe, la description et l'étalonnage des capteurs sont décrits dans l'Annexe III.2.

Enregistrement :

Les tensions fournies par les deux reptomètres sont également enregistrées par l'Ecureuil.

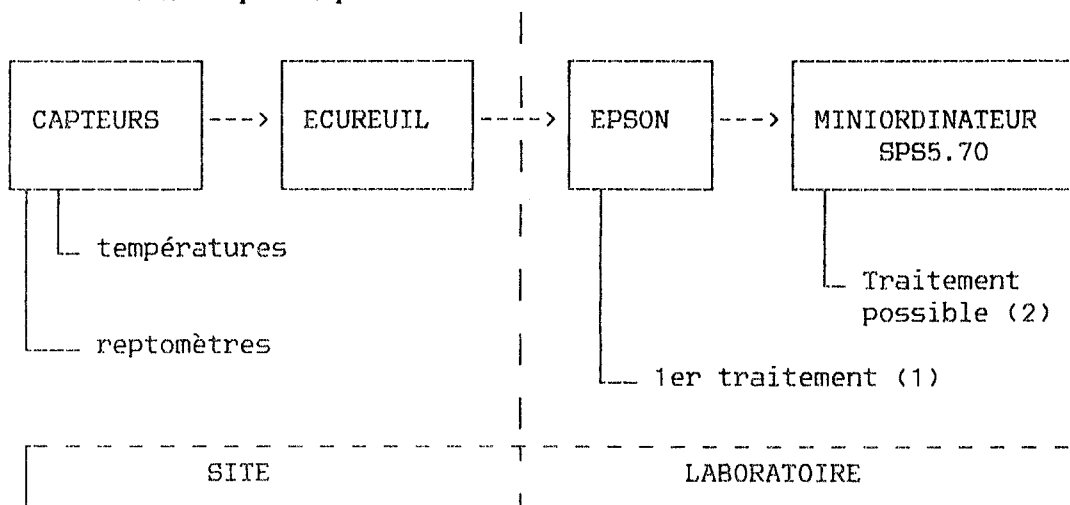
3. STOCKAGE ET TRAITEMENT DES MESURES EFFECTUEES

Les différentes mesures enregistrées dans la mémoire de l'Ecureuil doivent être transférées régulièrement sur un microordinateur portable (type EPSON HX 20).

Ceci permet de :

- stocker les données sur microcassette
- effectuer un premier traitement : sortie numérique ou/et graphique des données
- pouvoir transférer les données de la microcassette vers le miniordinateur SPS5.70 du centre.

Dessin de principe



(1) : - sortie numérique
- sortie graphique

(2) : - statistique
- classement
- évolution

Figure III.2.2

Le type d'Ecureuil choisi dispose de quatre canaux d'entrée :

- Deux canaux pour l'enregistrement des températures des deux sondes placées dans la neige.

L'échelle choisie varie de -20°C à $+5^{\circ}\text{C}$; la précision obtenue lors de la mesure est du dixième de degré.

- Deux canaux pour l'enregistrement des tensions délivrées par les deux reptomètres.

L'échelle choisie varie de 0 à 5 V ; la précision est de 0,02V.

La précision obtenue lors du stockage des mesures dans la mémoire de l'Ecureuil dépend de la gamme d'échelle choisie.

Une mesure est numérisée sur huit bits soit une valeur maximale de 255. De plus l'Ecureuil offre une gamme de 250 points (cf ch 5.1).

Les deux chapitres suivants décrivent :

- L'enregistreur (ECUREUIL) et le microordinateur (EPSON) choisis
- Les programmes effectués sur l'Epson :
 - a. Transfert des données de l'Ecureuil vers l'Epson
 - b. Premier traitement des données sur l'Epson

4. INSTRUMENTATION

4.1 Lecteur enregistreur à mémoire : ECUREUIL

Le lecteur enregistreur Ecureuil peut être utilisé comme lecteur numérique ou enregistreur de données, ou cumuler les deux fonctions. [GRA85]

En tant que lecteur, l'appareil indique la mesure du canal pré-sélectionné, avec mise à jour toutes les secondes.

En tant qu'enregistreur, les mesures de chaque canal sont mémorisées à intervalles prédéterminés.

Les mesures sont alors mémorisées jusqu'à leur entrée sur ordinateur pour l'analyse des résultats graphiques, etc.

L'Ecureuil possède une liaison série RS232 et peut être connecté directement à de nombreux types d'ordinateurs (l'ordinateur utilisé est un microordinateur EPSON HX 20).

Les entrées choisies comprennent deux mesures de tension pour l'enregistrement des reptomètres et deux mesures de température.

Lors du transfert, l'Ecureuil transmet en plus des mesures un bloc d'introduction qui comporte les informations nécessaires au traitement des données enregistrées.

Une description générale de l'Ecureuil, de ses commandes, des modes d'enregistrement ainsi que le transfert des données sont détaillés en Annexe III 3.

4.2 Microordinateur pour transfert des données : Epson HX 20

Les programmes développés sur l'Epson ont été écrits en Basic.

L'EPSON HX 20 est constitué de 6 blocs principaux comme l'indique le schéma de principe ci-dessous : [EPS82]

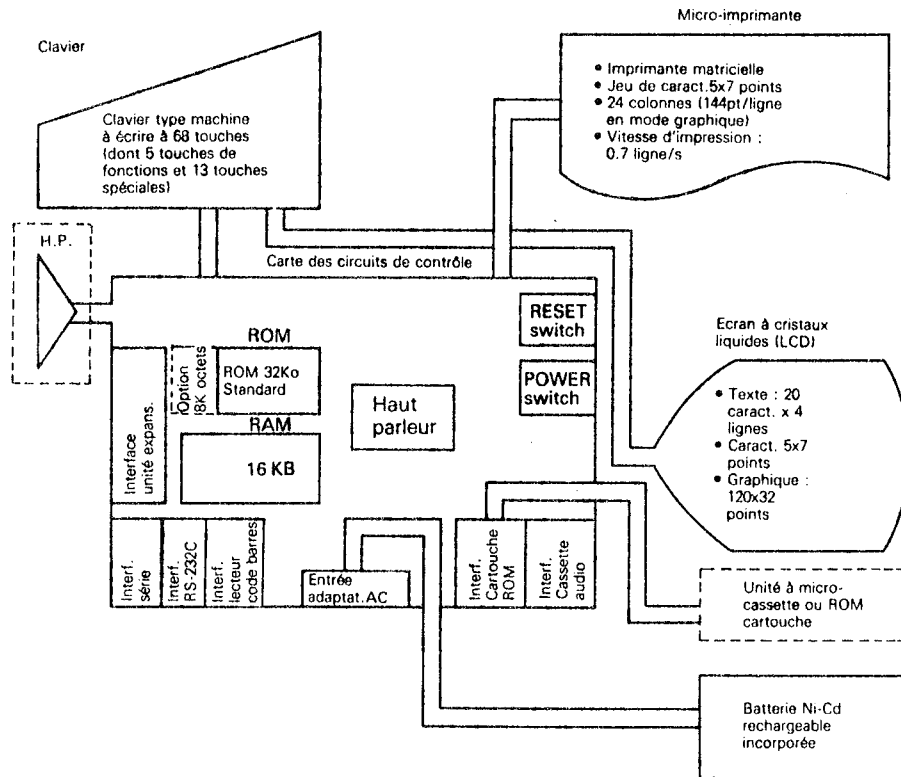


Figure III.4

A savoir, une carte de circuit de contrôle, une unité de clavier, une microimprimante, une unité LCD, un haut parleur et une batterie d'alimentation.

Chaque bloc est connecté à la carte du circuit de contrôle et logé dans le HX20.

Le HX20 est aussi équipé, d'une interface RS232C, d'une interface série grande vitesse et d'une interface pour unité d'extension à titre standard, de façon à permettre l'extension du système.

L'Annexe III.4 énumère les caractéristiques de l'Epson HX 20.

5. TRANSFERT DES DONNEES DE L'ECUREUIL VERS L'EPSON

5.1 Données transmises

Les données enregistrées sont transmises à l'ordinateur par une liaison série asynchrone RS232C (Annexe III.5).

Les données stockées en mémoire dans l'Ecureuil sont précédées d'un bloc d'introduction comprenant 50 octets et dont la structure est la suivante :

octet n° 1 = G : (référence)
octet n° 2 - 3 = n° Ecureuil
octet n° 4 - 5 - 6 = n° série de l'Ecureuil
octet n° 7 = taille mémoire en Koctets
octet n° 8 - 9 = non utilisés
octet n° 10 = nombre de canaux utilisés (1 à 4)

puis par canal : 6 octets :

- type ---> tension - courant - température
- unité ---> V - mV - A - mA - °C - °F
- valeur minimum pf + pF de l'échelle
. les valeurs négatives sont en complément à 2
. si nombre > 32767

alors nombre = 65536 - nombre

finsi

exemple : N = FFF6_H (255,246)

==> N = 256 x 255 + 246 = 65526

==> N = 65536 - 65526 = -10

- écart pf + pF ---> 256 x pF + pf

si un canal n'est pas utilisé, les 6 octets sont à FF_H

octet n° 35 à 39 = initialisés à FF_H
octet n° 40 = seconde } intervalle
octet n° 41 = minute } d'enregistrement
en BCD
octet n° 42 = minute } date départ
octet n° 43 = heure } d'enregistrement
octet n° 44 = jour } en BCD
octet n° 45 = mois }
octet n° 46 = pf } nombre de lectures
octet n° 47 = pF } effectuées
octet n° 48 = LO } checksum =
octet n° 49 = MID } somme des données +
octet n° 50 = HI } somme bloc intro -
checksum

Les données sont rangées à la suite du bloc introduction.

Format d'un caractère :

1 bit start + 8 bits données (parité paire) + 1 bit stop

Les données sont codées sur 8 bits, l'Ecureuil n'utilise que les valeurs comprises de 0 à 250.

Les valeurs 251 à 255 sont réservées comme suit :

251 ---> si valeur > maximum

255 ---> si valeur < minimum

252, 253, 254 : pour des applications spéciales

L'ordre d'enregistrement des données en RAM suit l'ordre chronologique :

Canal	Enregistrement	
1	1	
2	1	
3	1	
4	1	

1	2	
2	2	
3	2	etc...

Suivant la plage de variation choisie, on détermine la précision.

Une conversion numérique - analogique est à effectuer côté Epson :

$$R = \frac{N \times R_B}{250} + R_L$$

avec R = valeur analogique cherchée
R_B = écart (° ou V) >0
R_L = valeur minimum (° ou V)
N = valeur digitale initiale de 0 à 250

5.2 Taille de la mémoire

L'Ecureuil a une capacité de 32000 données ; le stockage de celles-ci doit être effectué sur les microcassettes de l'Epson (60 mn = 50 Koctets par face).

L'Epson dispose avec son extension d'une mémoire de 32 Koctets, le programme de transfert se déroule donc en deux fois dans le cas où la quantité de données excède 16 Ko (maximum fixé par programmation). La solution pour n'effectuer qu'un seul transfert consiste à écrire le programme en assembleur pour minimiser la place mémoire.

Au cours de l'hiver 85-86, le prélèvement des données de l'Ecureuil a été effectué toutes les semaines.

La période entre deux mesures sur chacun des quatre canaux est de cinq minutes ; aussi la mémoire de l'Ecureuil n'a jamais excédée 10 Ko par semaine.

Néanmoins, l'amélioration du programme de transfert et de traitement doit être effectuée pour permettre une plus grande autonomie des installations sur le terrain.

5.3 Principe du 'Handshake'

La transmission des données est réalisée suivant le protocole du handshake (ou " poignée de main").

Principe :

1. Ecureuil attend le caractère ' X ' envoyé par l'Epson
2. Ecureuil envoie le bloc d'introduction (50 octets)
- 3. Ecureuil attend le prochain ' X '
4. Ecureuil envoie un bloc de 255 octets dès réception du caractère ' X '

Si l'Epson n'a pas envoyé le ' X ' dans les 15 secondes après l'envoi du dernier bloc, l'Ecureuil arrête la transmission et le signale sur l'écran .

Pendant la remise à jour de son horloge (1ms/s) l'Ecureuil peut ne pas recevoir le ' X '.

Dans ce cas, l'Epson ne réceptionnera pas les données, il faut donc envoyer un autre ' X ' avant la mise à jour de l'horloge. .

5.4 Programme de transfert

Les données sont stockées sur la microcassette ainsi que certaines informations du bloc d'introduction. Des informations relatives à la microcassette (n° et face) et le numéro des canaux sont également enregistrés.

5.4.1 Contrôle du transfert

Pour contrôler la transmission, on effectue une comparaison entre le checksum donné par le bloc introduction de l'Ecureuil et le checksum calculé au fur et à mesure du transfert.

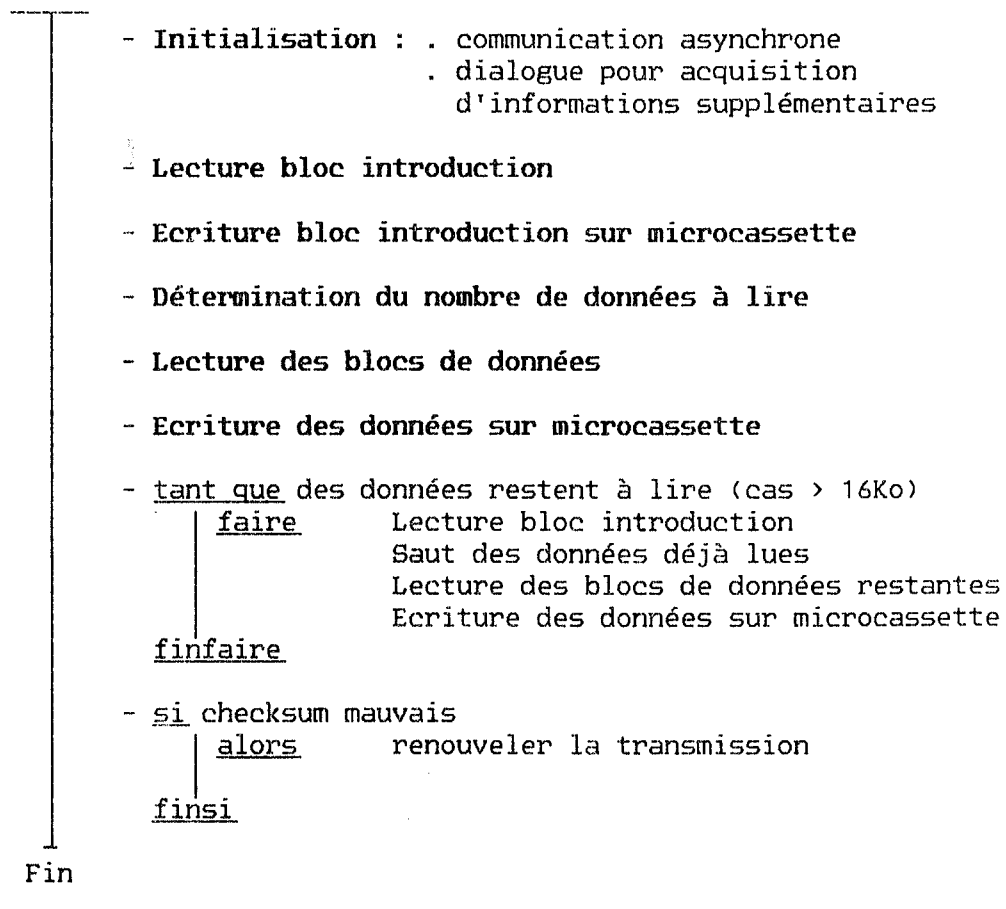
Si un écart est détecté, un message est affiché à l'écran de l'Epson et l'utilisateur doit réeffectuer le transfert.

Les tableaux donnés ci-après permettent de mettre en parallèle les différentes phases de l'algorithme et le déroulement général de celui-ci.

Le dernier tableau résume le protocole d'échange mis au point.

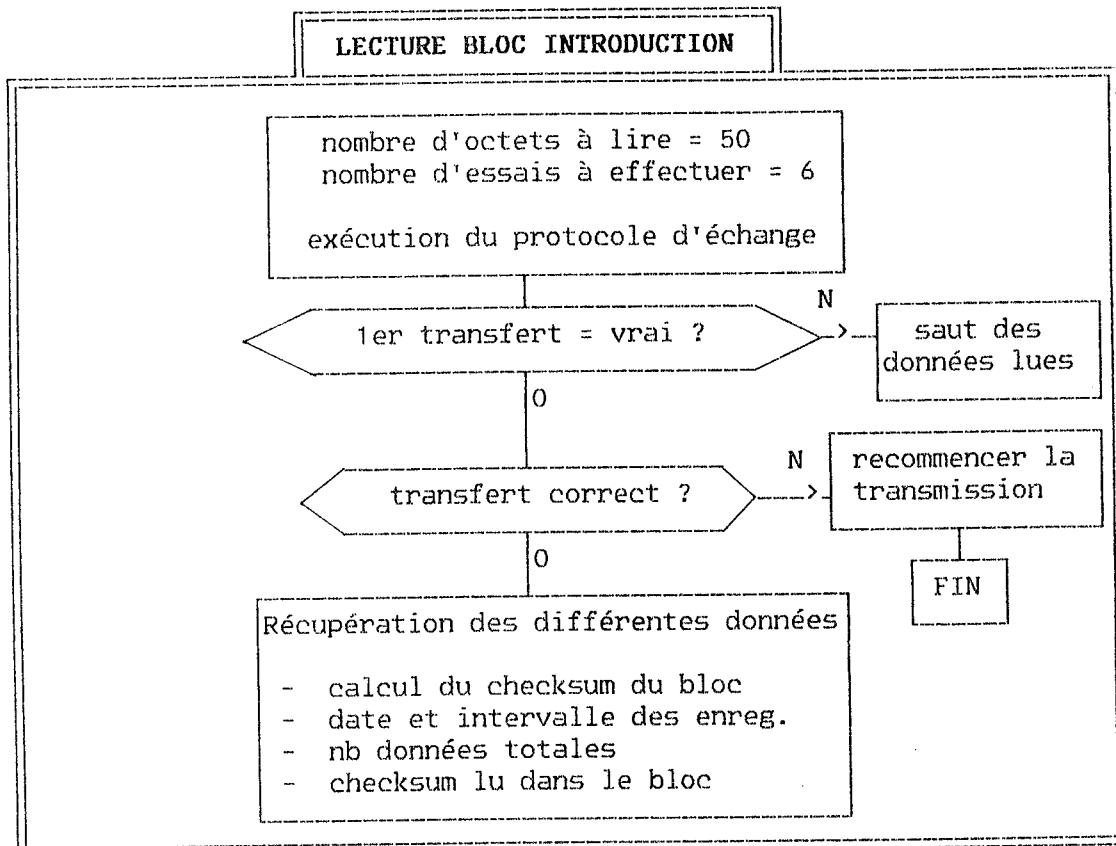
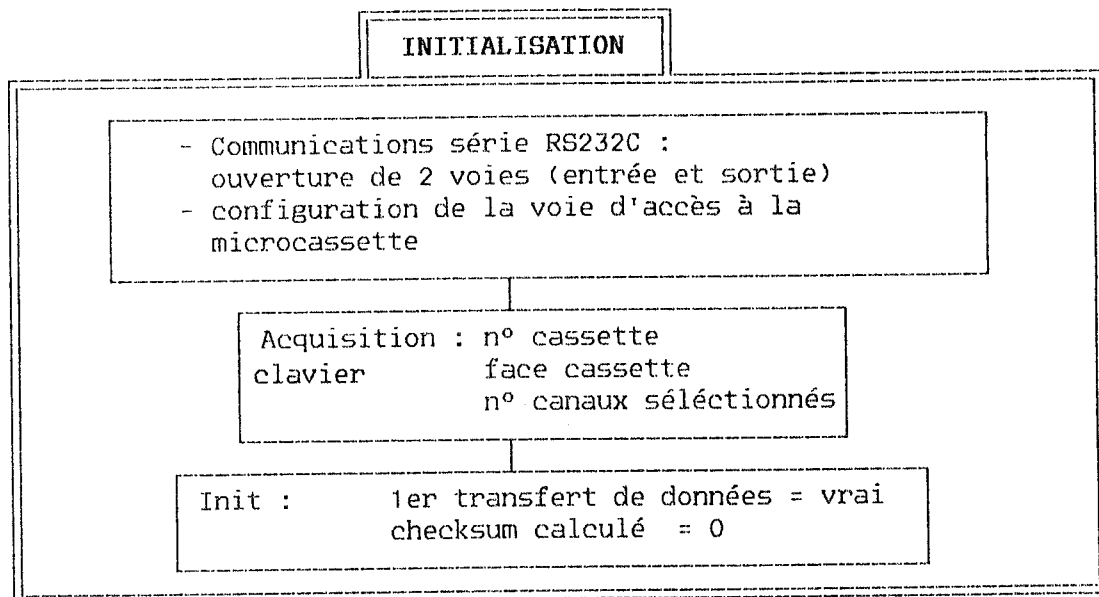
5.4.2 Description de l'algorithme

Début



Les tableaux suivants résument les différentes phases de l'algorithme général ainsi que le protocole d'échange.

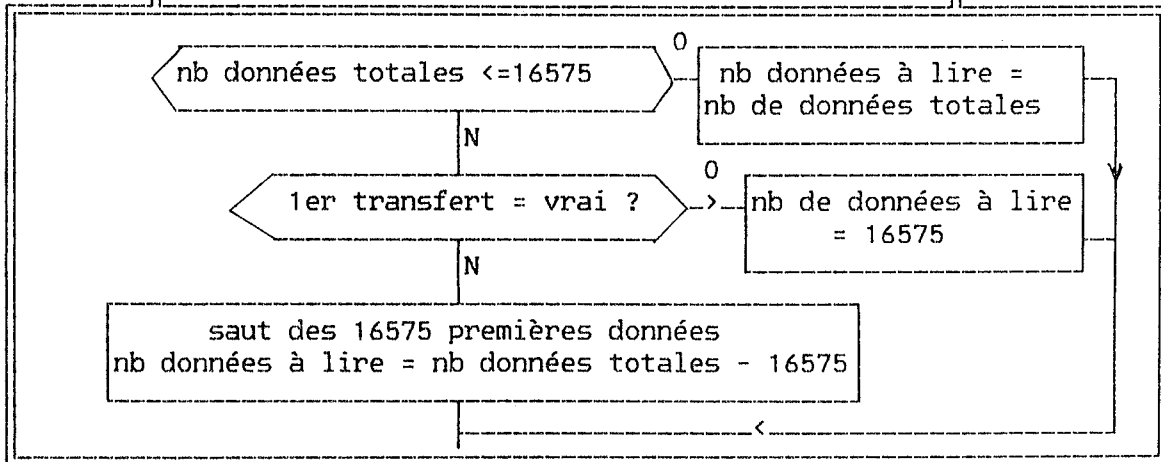
5.4.3 Les différentes phases du programme de transfert



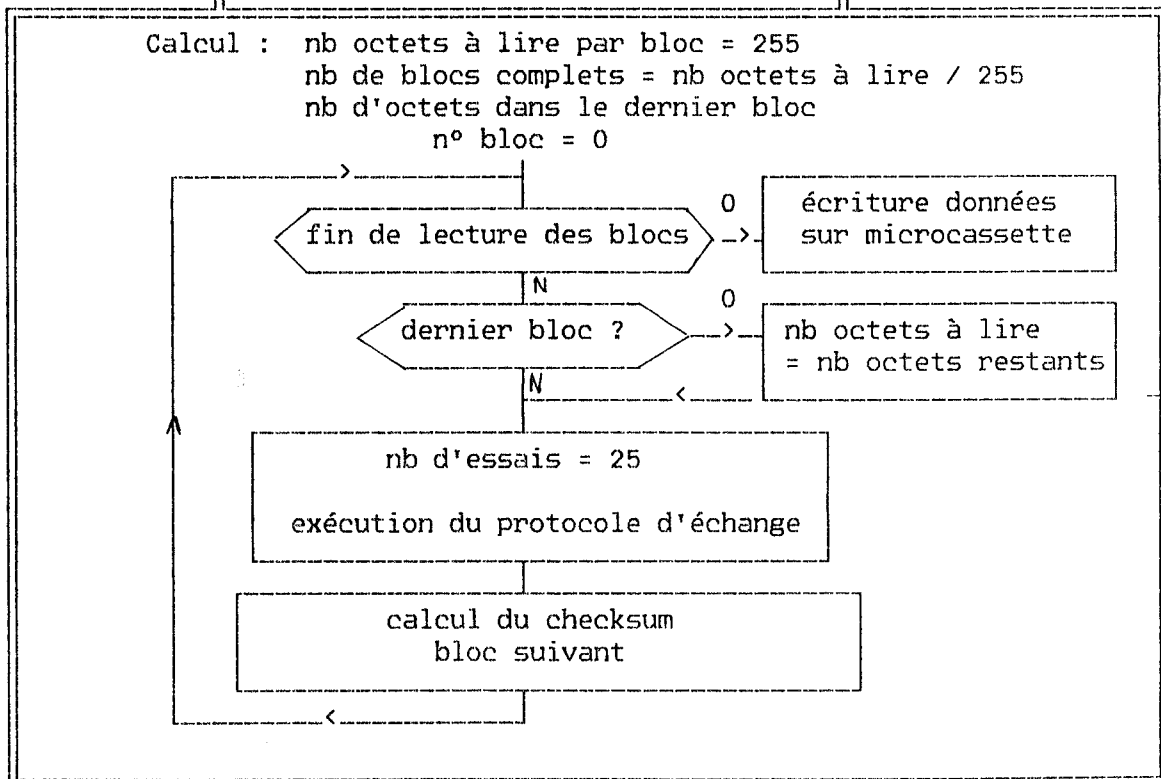
ECRITURE DU BLOC INTRODUCTION SUR MICROCASSETTE

1. nb canaux utilisés
2. type, unité, min, écart, n°canal
3. date et intervalle
4. nb données
5. n° cassette
6. face cassette

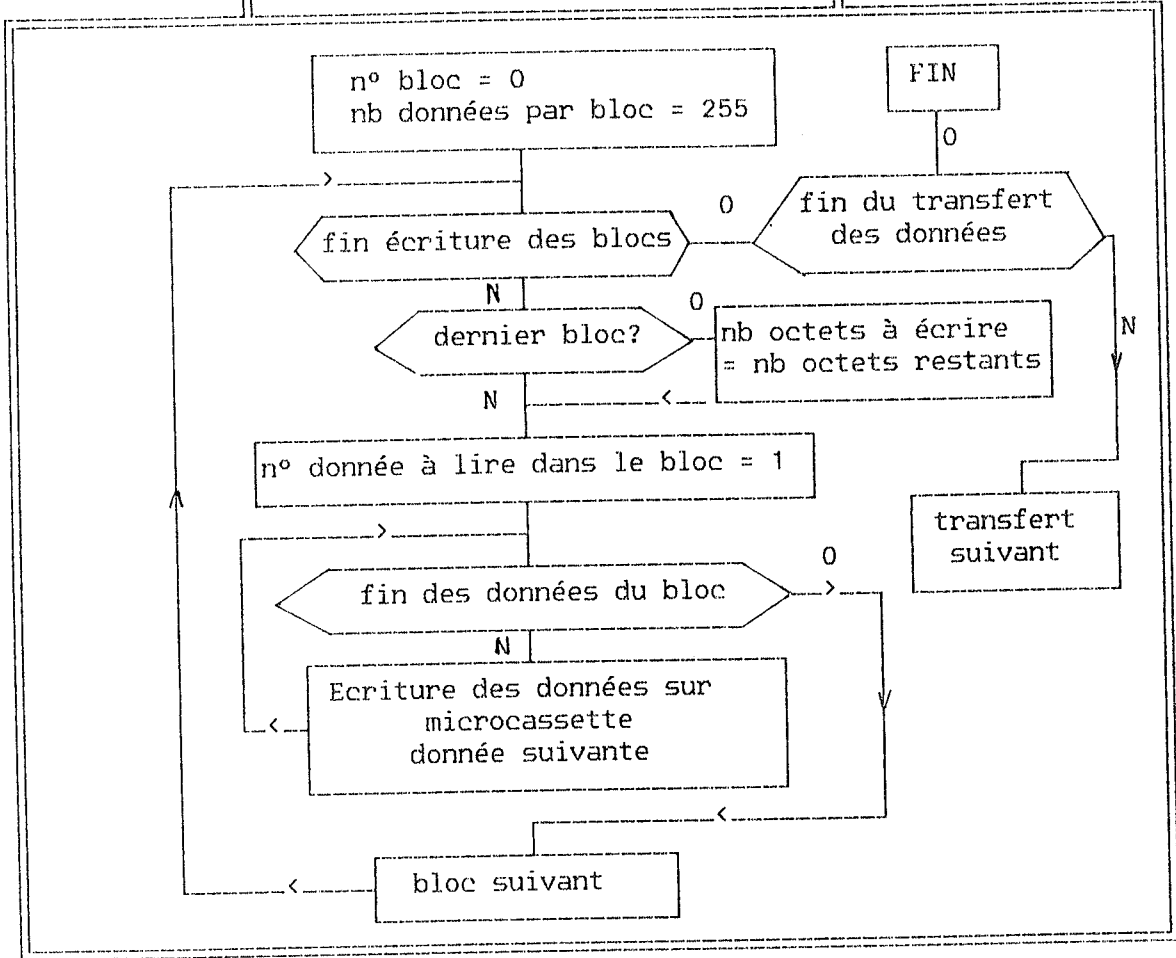
DETERMINATION DU NOMBRE DE DONNEES A LIRE



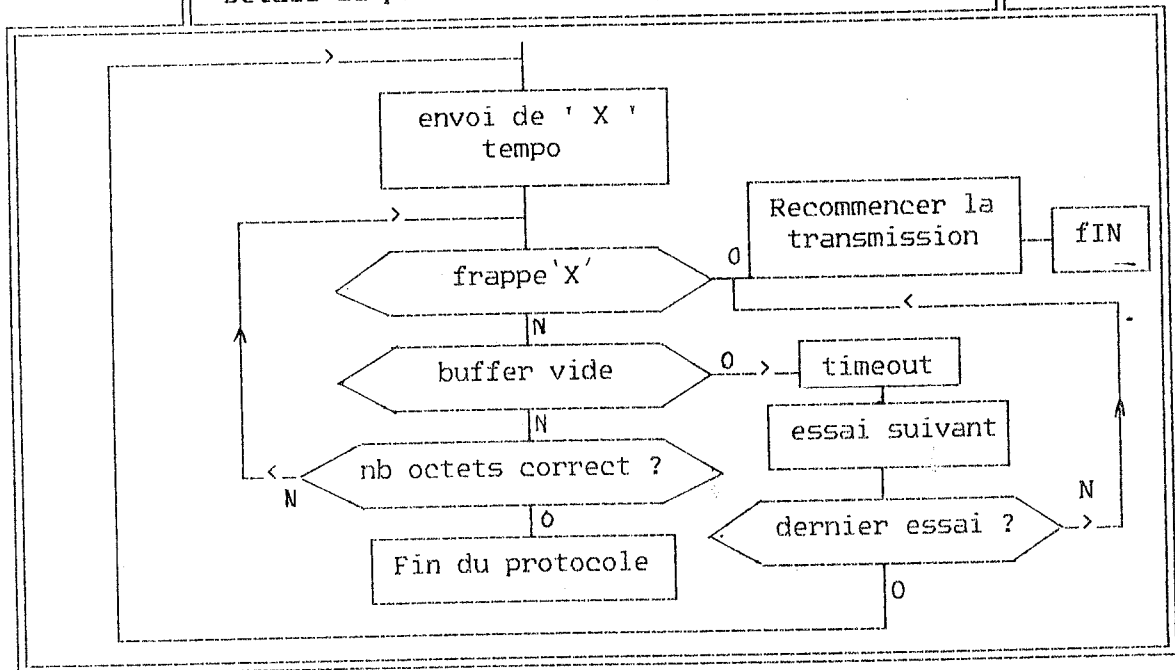
LECTURE BLOC DONNEES



ECRITURE DONNEES SUR MICROCASSETTE



Détail du protocole d'échange avec l'Ecureuil



5.5 Programme de traitement

5.5.1 Généralités

Toutes les données stockées sur microcassette ne peuvent être lues simultanément en mémoire. Seules les données relatives au canal sélectionné par l'utilisateur sont lues. Pour pallier à ce problème (lecture longue) le programme de traitement sera ultérieurement transféré dans la cartouche ROM.

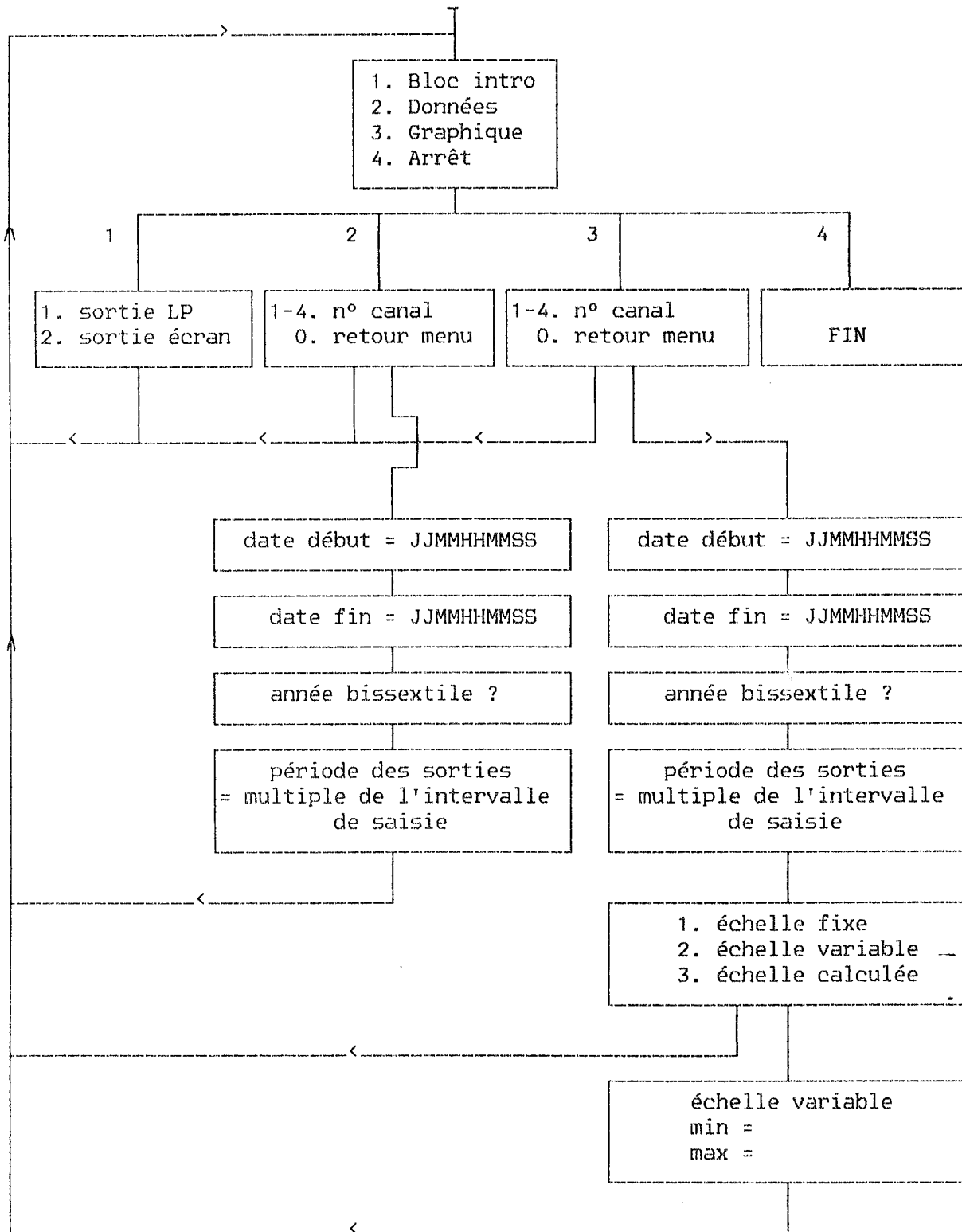
Le programme offre à l'utilisateur différents menus ; il est possible d'obtenir des sorties alphanumériques, et d'effectuer des graphes point par point sur la microimprimante.

D'autre part, il est intéressant non seulement de pouvoir dilater les échelles de sortie selon le pas de temps choisi, mais aussi d'effectuer les différents tracés sur une période déterminée par dialogue.

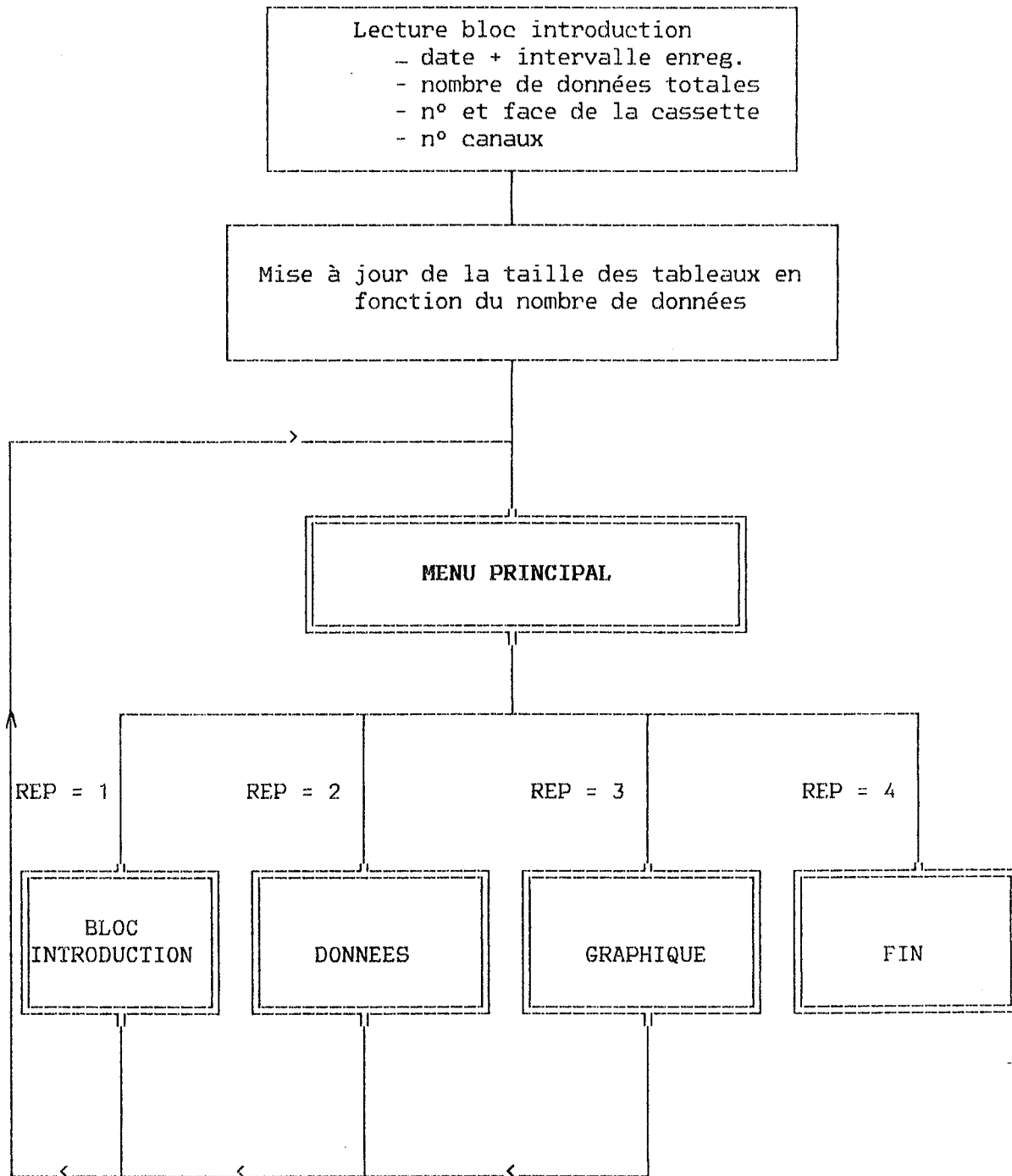
Pour les sorties graphiques, trois types d'échelle sont disponibles :

- échelle fixe
 - = échelle maximale et minimale du canal de l'Ecureuil, soit :
 - 0 à 5 V pour les tensions
 - -20 à +5°C pour les températures
- échelle variable
 - = maximum et minimum donnés par l'utilisateur
- échelle calculée
 - = maximum et minimum recherchés dans les données appartenant à l'intervalle de temps considéré.

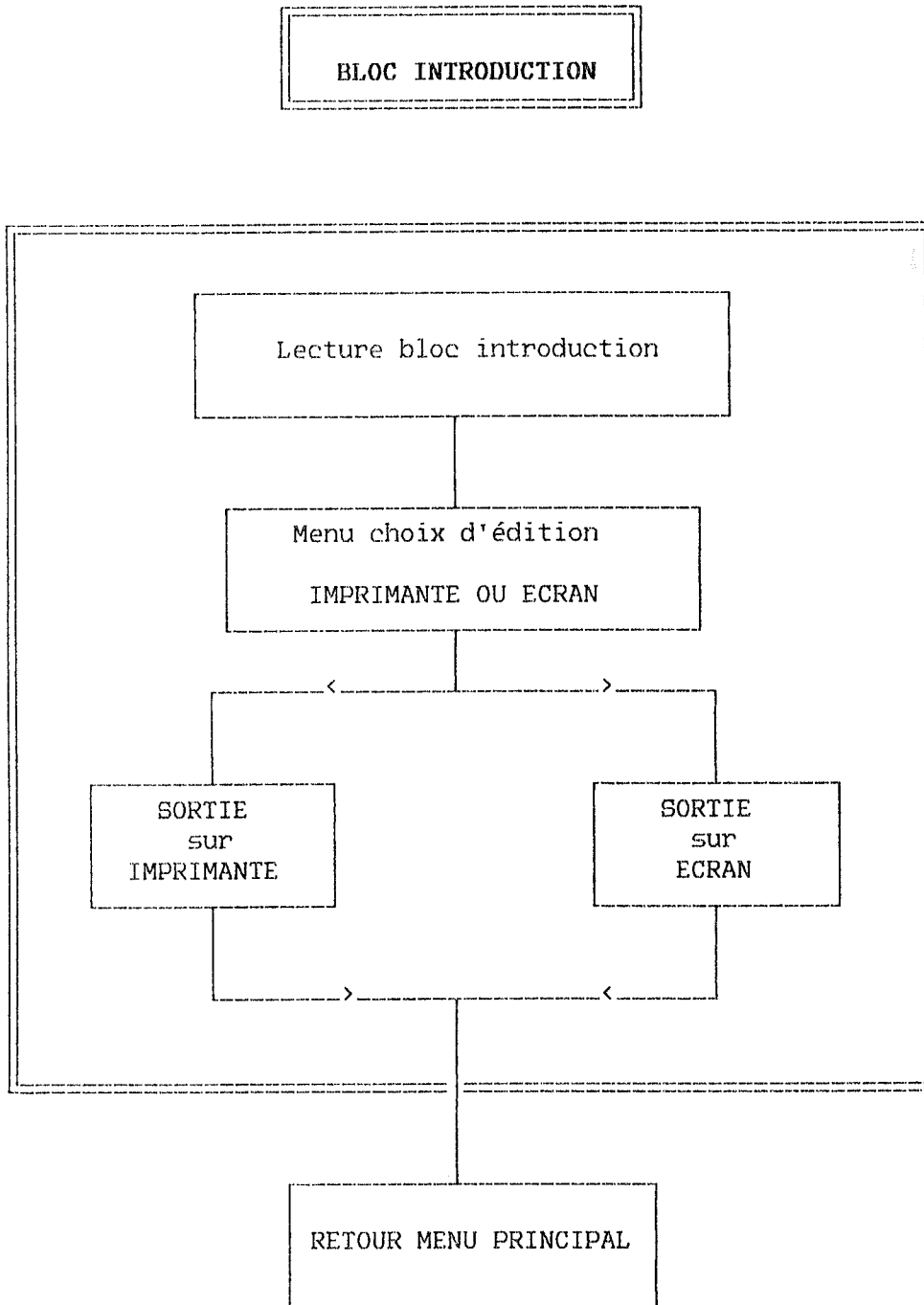
5.5.2 Déroulement des différents menus



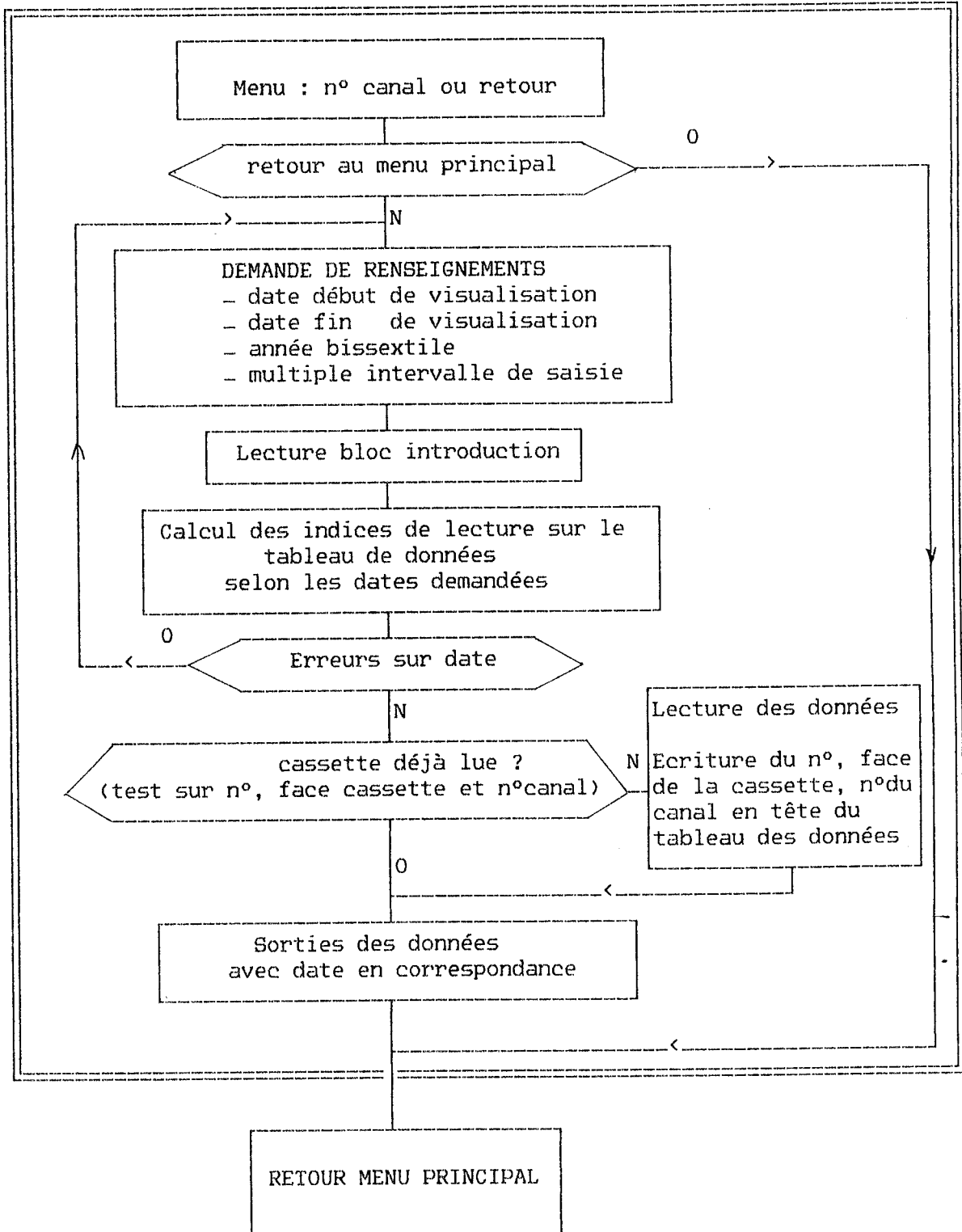
5.5.3 Organigramme général

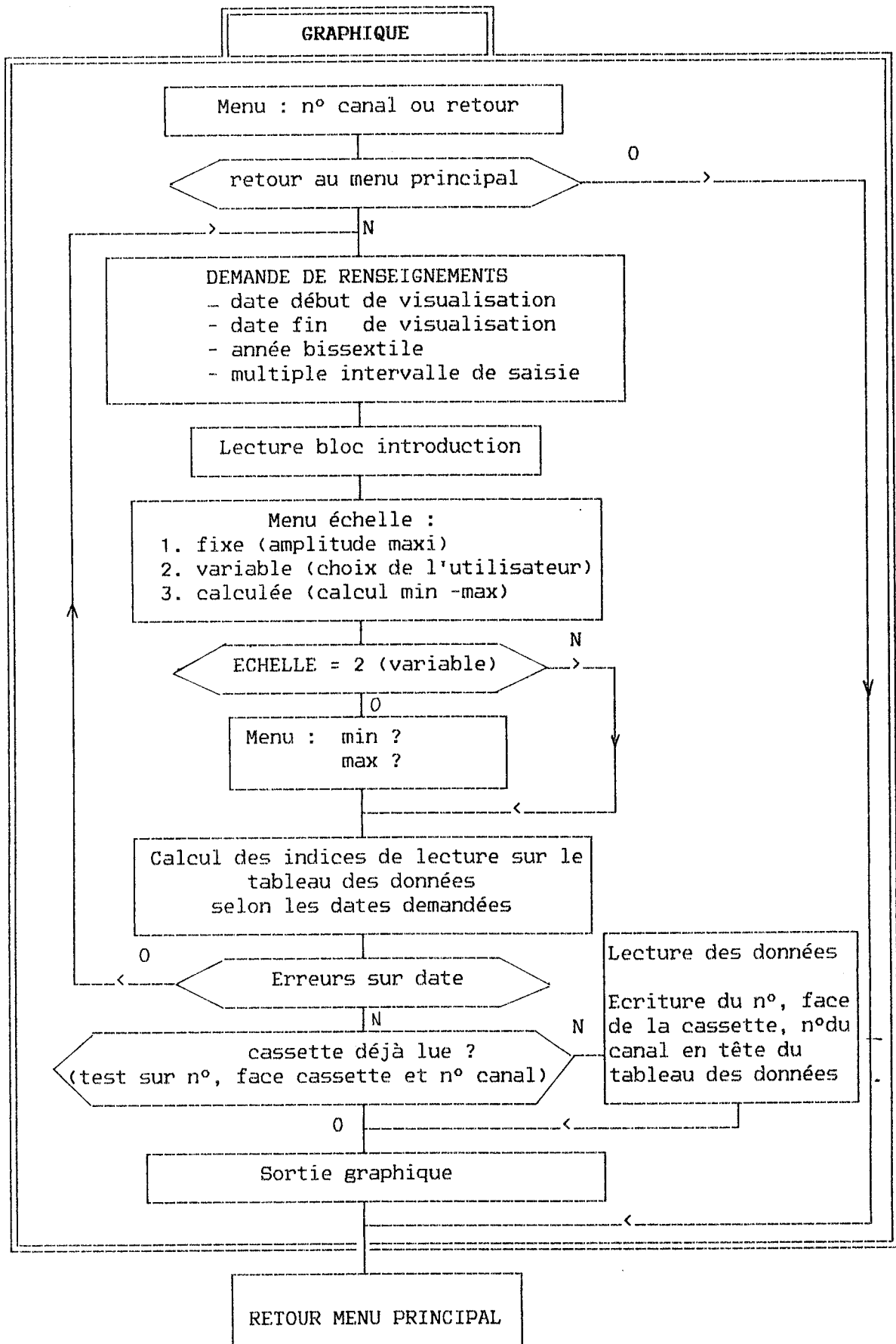


5.5.4 Modules d'édition



DONNEES





6. EXEMPLES DE SORTIES GRAPHIQUES ET NUMERIQUES DES DONNEES TRANSFEREES

Canal n° 2 : sonde de température

BLOC INTRODUCTION

NB CANAUX UTILISES :
4

NO CANAL: 1
TYPE : TEMPERATURE
UNITE : DEGRE C
MINIMUM : -20
MAXIMUM : 5

NO CANAL: 2
TYPE : TEMPERATURE
UNITE : DEGRE C
MINIMUM : -20
MAXIMUM : 5

NO CANAL: 3
TYPE : TENSION
UNITE : VOLT
MINIMUM : 0
MAXIMUM : 5

NO CANAL: 4
TYPE : TENSION
UNITE : VOLT
MINIMUM : 0
MAXIMUM : 5

INTERVALLE DE MESURE :
5 MN 0 S

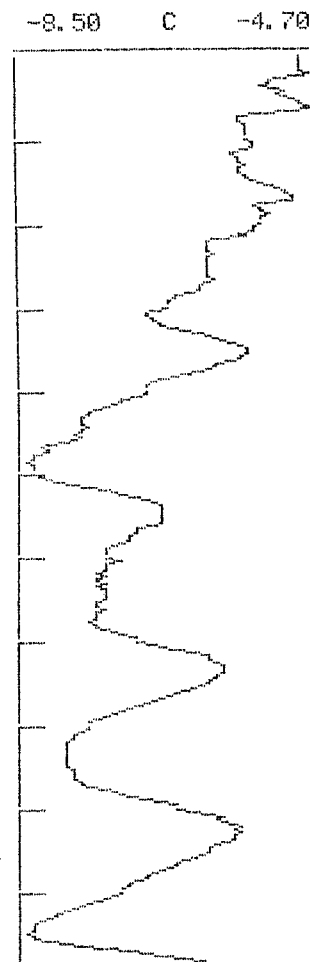
DEBUT ENREGISTREMENT :
30 / 1 16 H 5 MN

FIN ENREGISTREMENT :
5 / 2 13 H 15 MN

NB ENREG/CANAL :
1695

GRAPHIQUE

NO CANAL CHOISI :
2
DATE DEBUT :
30 / 1 16. 5: 0
INTERVALLE PT/PT :
25 MN 0 S
PAS DE TEMPS :
0 J 12 H 55 MN 0 S



DONNEES

NO CANAL : 2
INTERVALLE : 150 MN 0 S

30/ 1 16. 5: 0	-4.90
30/ 1 18. 35: 0	-4.90
30/ 1 21. 5: 0	-5.40
30/ 1 23. 35: 0	-4.90
31/ 1 2. 5: 0	-5.70
31/ 1 4. 35: 0	-5.60
31/ 1 7. 5: 0	-5.80
31/ 1 9. 35: 0	-5.70
31/ 1 12. 5: 0	-5.40
31/ 1 14. 35: 0	-5.00
31/ 1 17. 5: 0	-5.30
31/ 1 19. 35: 0	-5.70
31/ 1 22. 5: 0	-6.10
1/ 2 0. 35: 0	-6.10
1/ 2 3. 5: 0	-6.00
1/ 2 5. 35: 0	-6.50
1/ 2 8. 5: 0	-6.90
1/ 2 10. 35: 0	-6.40
1/ 2 13. 5: 0	-5.70
1/ 2 15. 35: 0	-5.80
1/ 2 18. 5: 0	-6.50
1/ 2 20. 35: 0	-7.00
1/ 2 23. 5: 0	-7.60
2/ 2 1. 35: 0	-7.60
2/ 2 4. 5: 0	-7.90
2/ 2 6. 35: 0	-8.30
2/ 2 9. 5: 0	-8.20
2/ 2 11. 35: 0	-7.30
2/ 2 14. 5: 0	-6.70
2/ 2 16. 35: 0	-6.70
2/ 2 19. 5: 0	-7.10
2/ 2 21. 35: 0	-7.40
3/ 2 0. 5: 0	-7.50
3/ 2 2. 35: 0	-7.40
3/ 2 5. 5: 0	-7.50
3/ 2 7. 35: 0	-7.50
3/ 2 10. 5: 0	-7.20
3/ 2 12. 35: 0	-6.10
3/ 2 15. 5: 0	-5.90
3/ 2 17. 35: 0	-6.20
3/ 2 20. 5: 0	-6.80
3/ 2 22. 35: 0	-7.40
4/ 2 1. 5: 0	-7.80
4/ 2 3. 35: 0	-7.90
4/ 2 6. 5: 0	-7.90
4/ 2 8. 35: 0	-7.70
4/ 2 11. 5: 0	-7.10
4/ 2 13. 35: 0	-5.90
4/ 2 16. 5: 0	-5.70
4/ 2 18. 35: 0	-6.10
4/ 2 21. 5: 0	-6.50
4/ 2 23. 35: 0	-6.90
5/ 2 2. 5: 0	-7.40
5/ 2 4. 35: 0	-8.00
5/ 2 7. 5: 0	-8.30
5/ 2 9. 35: 0	-7.90
5/ 2 12. 5: 0	-6.40

7. CONCLUSION

Durant la saison hivernale 1985-86, le système d'acquisition a pu être expérimenté sur le site des Deux-Alpes.

La transmission des données s'est déroulée correctement.

Ces données, stockées sur microcassette, peuvent être transférées vers le minicalculateur du centre par une liaison série RS232.

Les courbes de température des deux sondes placées dans la neige ont permis de suivre l'évolution de la température du manteau neigeux sur le site.

Cependant, les reptomètres ne s'étant pas déplacés, aucune variation dans les mesures de tension n'a pu être constatée.

CONCLUSION

Le travail réalisé, essentiellement à base de systèmes à microprocesseurs, a pu être testé durant toute une saison hivernale.

Le fonctionnement de l'ensemble a permis d'obtenir des premiers résultats.

Ceux-ci présentent un élément important pour améliorer les systèmes initiaux ou encore pour envisager de nouveaux systèmes plus performants.

1°) Acquisition de données :

La réalisation présente l'avantage de constituer un système d'acquisition enregistrant les données acoustiques et sismiques sur support magnétique après déclenchement sur détection d'évènements.

Un tel système peut être utilisé pour différentes expériences et différents capteurs ; cependant des modifications matérielles et logicielles doivent être alors intégrées.

Toutefois, différents problèmes subsistent :

- Le critère de détection d'évènements choisi peut ne pas convenir systématiquement dans toutes les conditions.

Néanmoins, plusieurs critères proches du choix effectué ont pu être intégrés facilement, ceci après modifications du code machine et reprogrammation de l'Eprom.

Une modification de ce critère par dialogue permettrait une utilisation plus souple du système.

- Une autre modification envisageable est d'étendre la mémoire RAM afin que les données stockées couvrent une durée supérieure aux 32 secondes existantes.

Ceci entraîne un nouveau découpage de l'espace mémoire et par là même une modification de l'adressage des différents composants.

- L'exigence au point de vue séquençement dans le temps des tâches à réaliser, a conduit à développer un logiciel optimisé au point de vue temps d'exécution des différents modules.

Néanmoins, la plus grande partie de ces modules atteint le temps maximal pour effectuer les actions qui leur sont attribuées.

La démarche logicielle adoptée peut être conservée et transposée sur des systèmes plus performants sur le plan matériel, aussi la solution envisageable est d'utiliser un microprocesseur plus puissant et étendre l'espace mémoire externe.

2°) Décodage des données

Le décodeur mis au point fonctionne correctement.

La sortie graphique des signaux enregistrés et parallèlement la sortie RS232 permettant l'archivage de ces données sur support traitable facilitent l'étude des différents évènements détectés.

Le système de codage adopté nécessite un réglage précis du magnétophone.

Toutefois, le décodage de certaines bandes magnétiques présentent encore quelques problèmes ponctuels.

Le module de mise en forme des signaux détermine un seuil dépendant de l'amplitude de l'enregistrement considéré.

Afin d'améliorer ce système, un ajustement manuel du seuil doit être intégré pour compléter le réglage automatique et pallier aux fluctuations de l'enregistrement magnétique.

3°) Mesures complémentaires

Les mesures effectuées permettent d'établir la situation météorologique lors des expériences effectuées avec le système d'acquisition relié au géophone.

D'autre part, l'enregistreur numérique Ecureuil et les programmes de transfert des données sur le microordinateur Epson et de visualisation de ces données, constituent un système d'acquisition pouvant être mis en place pour différents capteurs.

Le choix des différents moyens informatiques utilisés (microprocesseurs 6802, 6805, enregistreur numérique à mémoire Ecureuil, microordinateur Epson, miniordinateur SPS5.70) a nécessité la mise au point de programmes de langages de niveaux divers.

La réalisation des différents appareils forment une suite logique : acquisition puis décodage des données acoustiques et sismiques.

Elle constitue une première étape dans l'étude des mouvements mécaniques du manteau neigeux, et permet d'aborder une phase plus fine de cette étude grâce aux différentes méthodes de traitement du signal.

Un des prolongements de ce travail est d'envisager l'intégration des modules de traitement du signal sur un système d'acquisition proche de celui réalisé.

ANNEXES I

SYSTEME D'ACQUISITION DE DONNEES ACOUSTIQUES

A ENREGISTREMENT DECLENCHE

ANNEXE I.1 : FILTRE D'ORDRE n

I.1.1 Calcul de la fréquence de coupure maximale correspondant à une atténuation de 40 dB pour un filtre du 8^{ème} ordre

La pente maximale obtenue avec un filtre du 8^{ème} ordre est de 48 dB/octave.



$$\implies \frac{48}{40} = \frac{1}{D} = \frac{\log 2}{\log f_2/f_c}$$

$$\implies D \cdot \log 2 = \log f_2/f_c$$

$$\implies \frac{40}{48} \cdot \log 2 = \log f_2/f_c$$

$$\implies 0,25 = \log f_2/f_c$$

$$- 1^\circ) f_2/f_c = e^{0,25 \times 2,3} = 1,78$$

$$\iff f_2 = 1,78 f_c$$

$$- 2^\circ) f_2 = f_e - f_c$$

$$(1^\circ) \text{ et } (2^\circ) \implies f_c (1 + 1,78) = f_e$$

$$\iff f_c = \frac{f_e}{2,78} = \frac{50}{2,78} = \boxed{18 \text{ Hz}}$$

I.1.2 Réseau de réponses de Butterworth

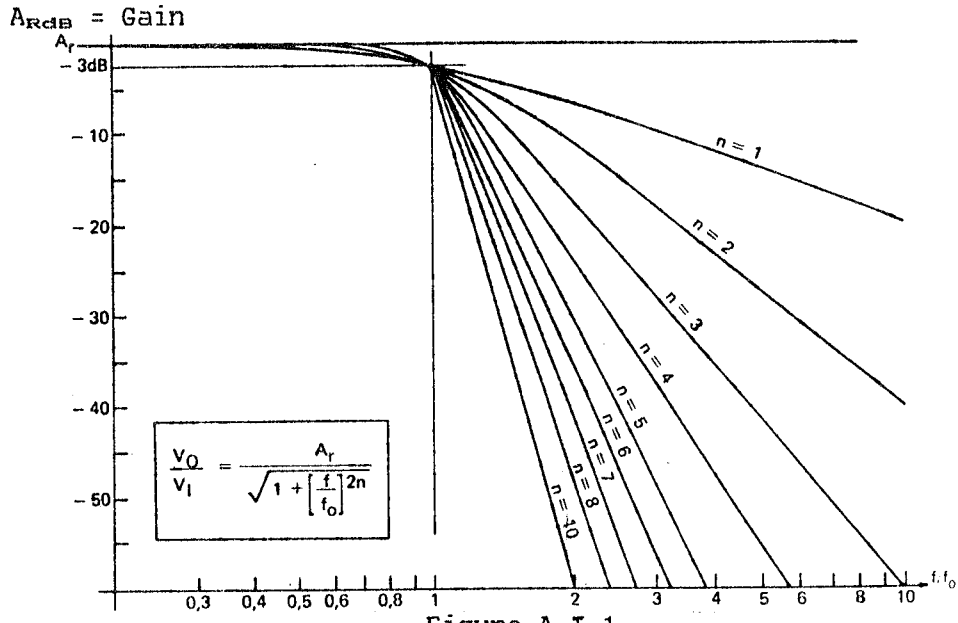


Figure A.I.1

I.1.3 Schéma d'un filtre de rang n

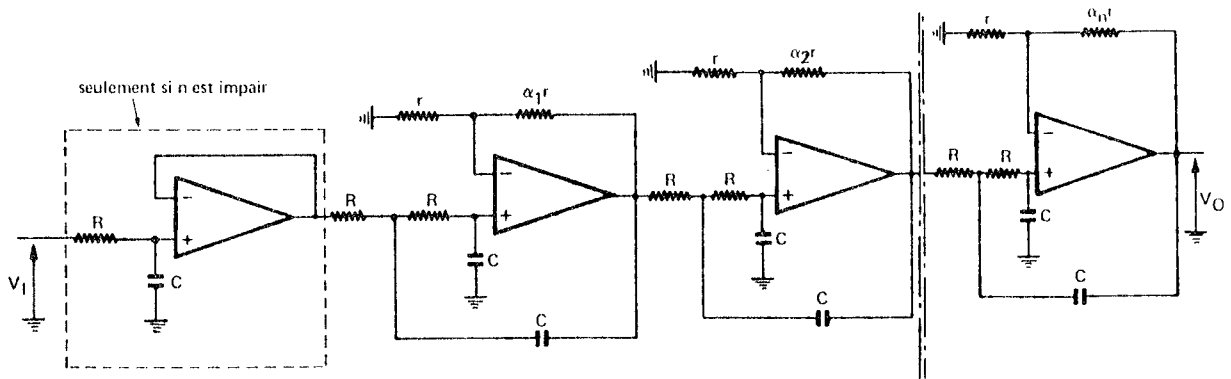


Figure A.I.2

I.1.4 Tableau permettant la détermination des coefficients α suivant l'ordre de la réponse de Butterworth

Ordre	α_1	α_2	α_3	α_4	α_5	A_{RdB}
2	0.586	-	-	-	-	4.02
3	1.000	-	-	-	-	6.02
4	0.152	1.235	-	-	-	8.22
5	0.382	1.382	-	-	-	10.36
6	0.068	0.586	1.482	-	-	12.46
7	0.199	0.753	1.555	-	-	14.6
8	0.039	0.336	0.889	1.610	-	16.7
9	0.120	0.469	1.000	1.653	-	18.2
10	0.024	0.218	0.586	1.092	1.687	20.94

ANNEXE I.2 : CONVERTISSEUR ANALOGIQUE NUMERIQUE ADC804 LCN

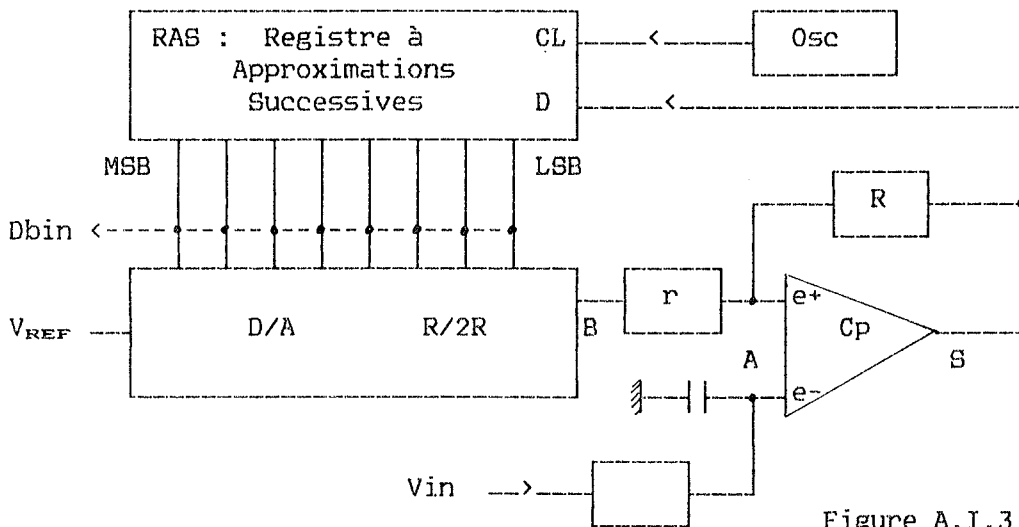
Le convertisseur analogique numérique ADC804 LCN choisi présente les caractéristiques suivantes : [TH085]

- Technologie CMOS
- 8 bits
- Compatibilité avec un microordinateur
- Temps de conversion = 100 us

La conversion s'effectue en suivant le principe des approximations successives (ou encore par proposition de poids) ; c'est à dire que le signal analogique à convertir est comparé à la sortie d'un convertisseur numérique analogique.

On compare ainsi le mot binaire placé à l'entrée du convertisseur. Pour un mot de n bits, il faudra n comparaisons.

Schéma du principe :



Au premier coup d'horloge, le RAS met le MSB à 1.
On obtient donc $B = 1/2 V_{REF}$

- Si $A > B$, S reste à 0
- Si $A < B$, S reste à 1

Après ce premier coup d'horloge, le MSB reste à 1 si S a donné 1, il revient à 0 si S est resté à 0 (action de D du RAS).

Au deuxième coup d'horloge, le RAS teste le bit juste inférieur au MSB, en le portant à 1 ... et ainsi de suite jusqu'au LSB.

Avantage :

En huit coups d'horloge, le RAS a testé les 8 bits et fournit donc sur les lignes D0 à D7 l'image binaire de V_{in} . La vitesse d'acquisition est indépendante de V_{in} . Elle ne dépend que de la technologie des circuits. On peut atteindre des temps d'acquisition très courts.



A to D, D to A

ADC0801, ADC0802, ADC0803, ADC0804 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 are CMOS 8-bit, successive approximation A/D converters which use a modified potentiometric ladder—similar to the 256R products. They are designed to meet the NSC MICROBUS™ standard to allow operation with the 8080A control bus, and TRI-STATE® output latches directly drive the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

A new differential analog voltage input allows increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

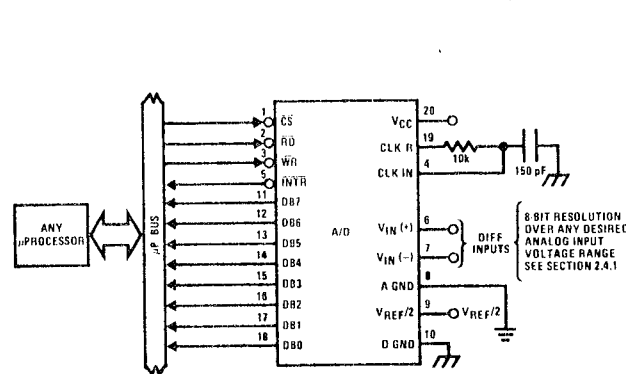
- MICROBUS (8080A) compatible—no interfacing logic needed
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet T²L voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package

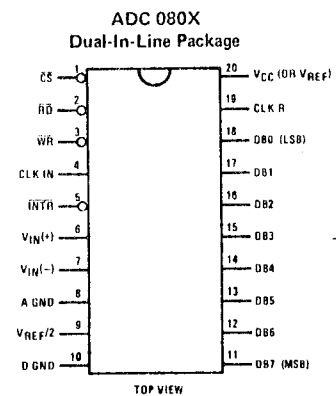
Key Specifications

- | | |
|--|--|
| ▪ Resolution | 8 bits |
| ▪ Total error | $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB |
| ▪ Conversion time | 100 μ s |
| ▪ Access time | 135 ns |
| ▪ Single supply | 5 VDC |
| ▪ Operates ratiometrically or with 5 VDC, 2.5 VDC, or analog span adjusted voltage reference | |

Typical Application



Connection Diagram



ANNEXE I.3 : LE MICROPROCESSEUR MC146805 E2

I.3.1 Introduction à la famille 6805

- Le microprocesseur MC146805 E2 appartient à la famille des microprocesseurs 6805 de Motorola.

Ces derniers sont conçus pour fournir un processeur de 8 bits utilisant une architecture simple, avec une optimisation pour les applications de contrôleur.

- L'architecture inclut des caractéristiques non usuelles sur des machines de cette classe, comme un timer on-chip avec interruption, une interruption externe complète, deux ports parallèles 8 bits intégrés, de multiples niveaux de sous-programmes, la manipulation de bits, un registre d'index et de nombreuses configurations.

Cette architecture permet de limiter le nombre de composants sur la carte d'acquisition.

- La famille 6805 possède différents modes d'adressage. Ceux-ci incluent les modes immédiat, direct, étendu et trois modes indexés distincts. Il est à noter l'absence de l'adressage indirect.

- La famille 6805 possède de la RAM sur la puce, permettant un travail en système minimal ; seule une mémoire programme est encore nécessaire (ceci pour des applications très réduites).

- Une caractéristique qui simplifie le développement logiciel et étend les capacités du microprocesseur est le timer/counter intégré.

I.3.2 Schéma bloc interne du microprocesseur MC146805 E2

L'unité centrale de traitement (CPU) contient :

- l'unité arithmétique et logique de 8 bits
- un accumulateur
- un compteur de programme
- un registre d'index
- un pointeur de pile
- un registre de conditions
- le décodeur d'instructions
- la logique de contrôle et de séquence.

Schéma général du bloc interne

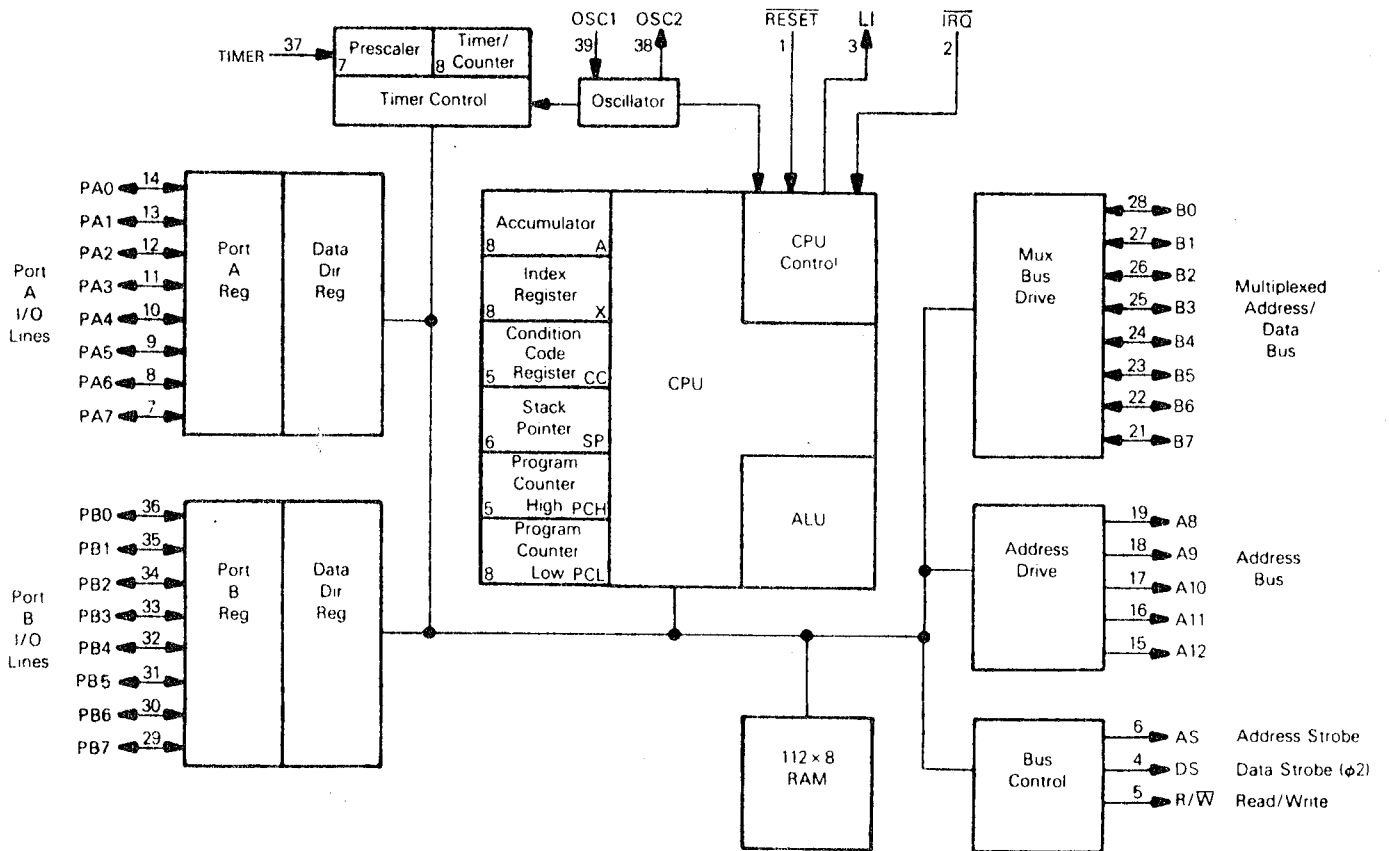


Figure A.I.4

I.3.3 Les registres

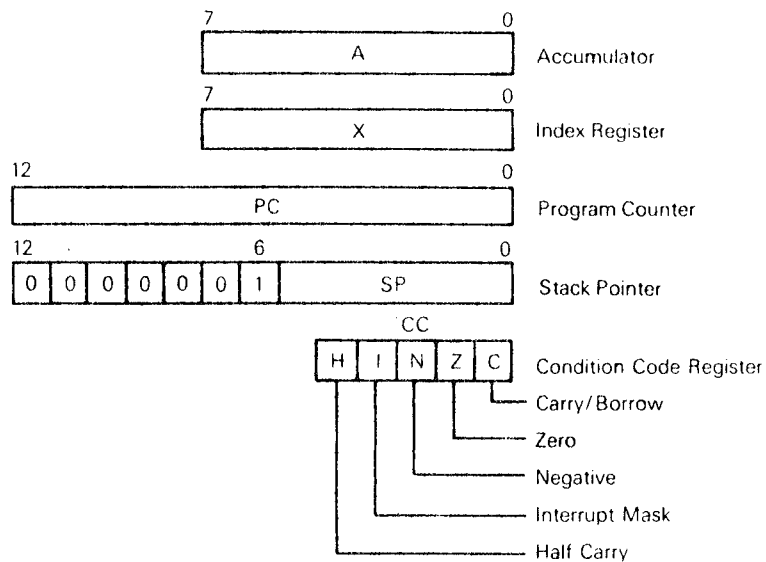


Figure A.I.5

- **Accumulateur**

L'accumulateur est un registre 8 bits d'usage général utilisé pour les calculs numériques et les manipulations de données.

- **Registre d'index**

L'adressage indexé est effectué grâce au registre d'index . Celui-ci fournit un facteur 8 bits pris en compte pour créer une adresse effective.

Le registre d'adresse sert également pour la manipulation de données telles que celles définies par les instructions Ecriture - Modification - Lecture et comme registre de stockage temporaire quand on n'utilise pas le mode d'adressage indexé.

- **Pointeur de pile**

Le pointeur de pile, registre de 6 bits contient l'adresse de l'emplacement mémoire libre dans la pile.

Pour accéder à la mémoire, sept bits hardware sont ajoutés aux six bits du registre pour produire une adresse comprise entre 007F et 0040.

La zone de la pile en RAM stocke les adresses de retour lors d'appel de sous-programmes et l'état machine durant les interruptions.

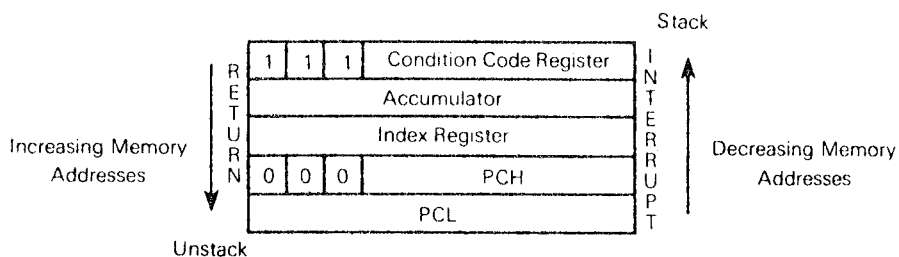
Pendant le reset de la mise sous tension et pendant l'instruction reset pointeur de pile, le pointeur de pile est positionné à sa plus haute limite 7F.

Les interruptions et les sous-programmes emboîtés peuvent utilisés 64 octets au maximum.

Si plus de données cherchent à être stockées, il se produira une perte d'information.

Toutefois, un appel de sous-programme n'occupera que deux octets alors qu'une interruption occupe 5 octets.

La figure ci-après montre l'emplacement des registres internes dans la pile lors du stockage.



NOTE: Since the stack pointer decrements during pushes, the PCL is stacked first, followed by PCH, etc. Pulling from the stack is in the reverse order.

Figure A.I.6

- Compteur de programme

Le compteur de programme, registre de 13 bits, pointe l'instruction suivante à exécuter par le processeur.

- Registre de codes de condition

C'est un registre de 5 bits contenant des indicateurs qui reflètent l'état du processeur.

- H : bit de demi-dépassement

Le bit H est mis à 1 quand un dépassement se produit entre le bit 3 et le bit 4 de l'unité arithmétique et logique pendant une instruction ADD ou ADC.

Le bit H est utile lors d'addition en binaire codé décimal (BCD).

- I : bit de masque d'interruption

Quand le bit I est à l'état 1, l'interruption externe et l'interruption du timer sont inopérantes. Ces interruptions sont permises lors du positionnement de ce bit à 0.

Si une interruption se produit lorsque le bit I est à 1, celle-ci est mémorisée.

Dès que cet indicateur est remis à 0, le processeur se positionne à ses vecteurs d'interruption correspondants.

- N : bit de signe négatif

Le bit N est utilisé pour indiquer que la dernière opération arithmétique, logique ou manipulation de données a eu pour résultat de positionner à 1 le bit de l'unité arithmétique et logique.

- Z : bit de zéro

Une opération arithmétique, logique ou manipulation de données donnant un résultat nul, entraîne le basculement du bit Z à la valeur unitaire.

- C : bit de carry

De même lors d'un dépassement au cours d'une instruction arithmétique dans l'unité arithmétique et logique, positionne le bit C à 1.

Le bit C est aussi modifié par les instructions de bit test, de bit shift, de rotation et par les instructions de branchement.

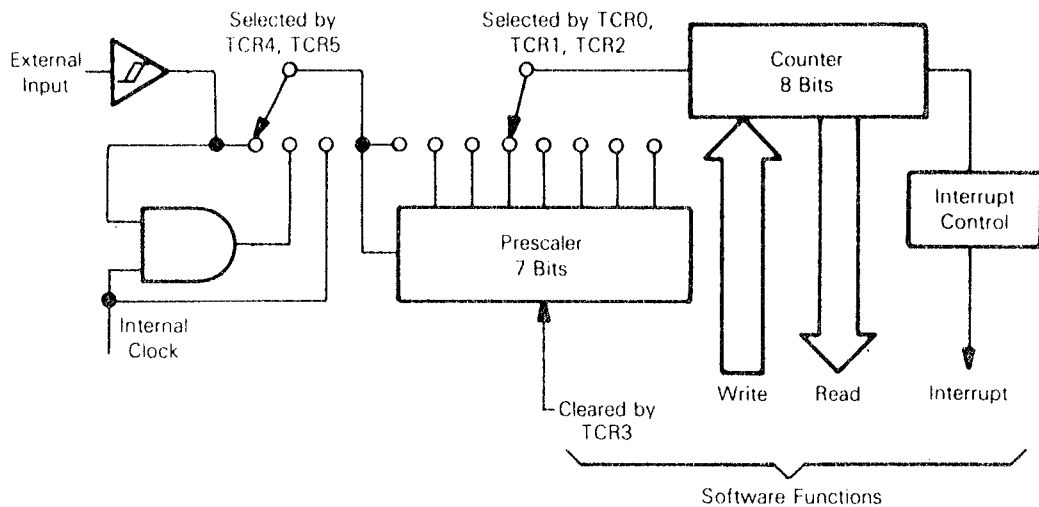
I.3.4 Le timer

Le timer, compteur 8 bits, (et son prédiviseur) peut être programmé pour de très nombreuses fonctions :

- Génération d'une interruption à intervalle déterminé par logiciel.
- Utilisation comme compteur d'évènements permettant de générer une interruption après un nombre d'évènements externes déterminés par logiciel.
- Mesure ou génération d'impulsions et réveil du processeur de l'état de "WAIT".

Le timer du microprocesseur contient un compteur programme de 8 bits avec un prédiviseur programmable de 7 bits.

Figure A.I.7



NOTES:

1. Prescaler and 8-bit counter are clocked falling edge of the internal clock (AS) or external input.
2. Counter is written to during data strobe (DS) and counts down continuously.

Le compteur doit être prépositionné sous le contrôle du programme et décrétement à partir de cette position jusqu'à zéro.

Lorsque le compteur arrive à zéro, le bit 7 de demande d'interruption du registre de contrôle du timer est positionné à 1.

Si le masque d'interruption du timer et le masque d'interruption du registre de code de condition sont nuls le processeur reçoit une interruption.

Après la fin de l'instruction, le processeur stocke les registres de l'état de la machine dans la pile et charge le vecteur d'interruption de l'emplacement 1FF8 et 1FF9.

La routine d'interruption correspondante peut alors commencer.

Ceci se produit uniquement si le processeur ne se trouve pas en état de "WAIT".

Le compteur continue à compter après le passage par zéro permettant au software de déterminer le nombre de périodes horloge interne ou externe depuis que le bit de demande d'interruption a été positionné à 1.

Le microprocesseur peut lire le compteur à tout moment sans déranger le comptage.

Le contenu de celui-ci devient stable avant que la possibilité de lire ne soit permise. Ceci garantit la validité de l'information du registre du compteur durant la partie du cycle réservée à la lecture.

Le bit de demande d'interruption reste à l'état 1 tant qu'il n'a pas été remis à 0 par programme.

Si ceci se produit avant que l'interruption n'ait été prise en compte, cette interruption est perdue.

Le registre de contrôle du timer (TCR) bit 7, sert également comme bit d'état de scanning dans un mode sans interruption lorsque le bit 6 du TCR est égal à l'unité.

La longueur maximum du timer peut être étendue grâce au prédiviseur.

Les bits 0, 1, 2 sont programmés pour choisir la prédivision appropriée au signal à compter.

Aucune lecture ou écriture dans le prédiviseur ne peut être effectuée par le processeur.

Toutefois, afin de permettre un comptage direct le contenu du prédiviseur peut être remis à 0 par les opérations d'écriture dans le TCR, le bit 3 ayant pour valeur 1.

Les bits 4 et 5 du TCR déterminent d'une part trois modes d'utilisation différents et d'autre part un mode d'inhibition.

- Mode 1

TCR/4 = TCR/5 = 0 ---> - entrée du timer = signal interne
- entrée externe du timer inhibée

Le mode d'horloge interne peut être utilisé pour la génération d'interruption périodique ou comme une référence en fréquence et compteur d'évènements.

Le signal d'horloge interne est à la fréquence du cycle d'instruction et il coïncide avec le signal validation d'adresse sauf dans le cas où le processeur est en mode WAIT.

Durant ce mode, la sortie AS passe à l'état bas ; cependant l'horloge interne continue à délivrer au timer son signal à fréquence normale.

- Mode 2

TCR/4 = 1
TCR/5 = 0] ----> [signal d'entrée du timer =
fonction logique AND entre l'horloge interne
et l'entrée externe du timer

Ce mode peut être utilisé pour mesurer la largeur d'impulsions externes.

L'impulsion externe permet le comptage de l'horloge interne durant sa présence.

La résolution du comptage dans ce mode est de plus ou moins une période horloge. La résolution sera donc d'autant meilleure que le cycle externe sera plus long.

- Mode 3

TCR/4 = 0
TCR/5 = 1] ----> toute entrée au timer est inopérante

- Mode 4

TCR/4 = TCR/5 = 1 ----> - horloge interne ne peut plus se
présenter sur l'entrée du timer
- entrée timer externe = entrée effective
du timer

L'entrée externe timer peut alors, dans ce mode, être utilisée comme un compteur d'évènements ou générer des interruptions périodiques au départ d'une fréquence extérieure.

Schéma du registre de contrôle du timer

7	6	5	4	3	2	1	0
TCR7	TCR6	TCR5	TCR4	TCR3	TCR2	TCR1	TCR0

TCR7 :

- Bit d'interruption
- Quand il est à l'état logique 1, ce bit indique que l'interruption vient du timer

1 - mis à 1 chaque fois que le timer passe par 0 ou sous contrôle du programme

0 - mis à 0 par un reset externe ou un reset de mise sous tension ou une instruction STOP ou par contrôle du programme.

TCR6 :

- Masque d'interruption timer
- Quand ce bit est à 1, il permet l'interruption du timer sur le processeur

1 - mis à 1 par reset externe, reset de mise sous tension, instruction STOP ou contrôle du programme

0 - mis à 0 par contrôle du programme.

TCR5 :

- Bit permettant de sélectionner l'entrée effective du timer soit externe, soit interne

1 - mis à 1, sélectionne l'entrée externe comme source de l'horloge

0 - mis à 0, sélectionne le signal d'horloge interne comme entrée effective du timer.

TCR4 :

- Bit de contrôle de l'entrée du timer

1 - mis à 1, permet l'utilisation de l'entrée externe

0 - mis à 0, ne permet pas l'utilisation de l'entrée externe

TCR5	TCR4	
0	0	---> Horloge interne appliquée au timer
0	1	---> Opération logique AND entre l'entrée externe timer et le signal d'horloge interne
1	0	---> Timer inhibé
1	1	---> Entrée externe timer appliquée sur le timer

TCR3 :

- Mise à zéro du prédiviseur (TCR3 = 1)
- Une lecture de ce bit donne toujours 0

TCR2, TCR1, TCR0 :

- Bits de sélection pour le prédiviseur permettant de programmer la prédivision requise parmi une des huit prédivisions possibles.

I.3.5 L'espace mémoire du microprocesseur

- L'espace mémoire interne est localisé dans les 128 premiers octets de mémoire (première demi page zéro). Il comprend les emplacements des ports d'entrée/sortie du timer et 112 octets de mémoire RAM.

Le microprocesseur peut écrire ou lire à chacun de ces emplacements.

- Pour permettre aux mémoires de dupliquer l'information contenue dans la mémoire interne, le programme écrit dans les emplacements internes est répété sur le bus externe.

- Un programme lu aux emplacements internes apparaît aussi sur les bus externes mais le microprocesseur n'accepte que les informations de ses adresses internes. Ce qui se trouvera sur les bus externes au moment d'une lecture de localisation interne sera ignoré.

- Le pointeur de pile est utilisé pour adresser les données stockées dans la pile.

Celles ci sont stockées durant une interruption ou au moment de l'appel d'un sous programme.

- Au reset initial, le pointeur de pile est positionné à l'adresse 7F et il est décrémenté au fur et à mesure que les données sont introduites dans la pile.

- Quand les données sont sorties de la pile, le pointeur de pile est incrémenté.

- Un maximum de 64 octets de RAM est disponible pour l'usage de la pile. Si le programme n'utilise pas toute la pile, les octets inutilisés sont disponibles pour l'emploi général.

- Tous les emplacements mémoire supérieurs à 7F font partie de la mémoire externe.

- En addition, dix octets dans la partie d'entrée/sortie appartenant aux 128 octets d'adresse de poids faible de la mémoire font partie de la mémoire externe.

Tout l'espace mémoire est utilisable par l'utilisateur à l'exception de dix octets. En effet, les octets 1FF6 à 1FFF de la mémoire externe sont réservés pour les vecteurs d'interruption.

ANNEXE I.4 : LE CIRCUIT HORLOGE MC146818 (MOTOROLA)

I.4.1 Le circuit

Le périphérique MC146818 appartient à la famille CMOS, il combine trois caractéristiques :

- une horloge complète donnant date, jour, heure, minutes et secondes ; la date comprenant le quantième, le jour de la semaine, le mois et l'année.
- un générateur d'interruption et de signaux carrés (fonction réveil programmable sous la forme heures, minutes et secondes).
- 50 octets de RAM faible consommation, à usage général.

Il dispose de plus de quelques facilités supplémentaires : reconnaissance des années bissextiles, des passages heure officielle / heure solaire et d'une interface Motel permettant d'utiliser indifféremment les signaux 6800 ou ceux de la famille Intel.

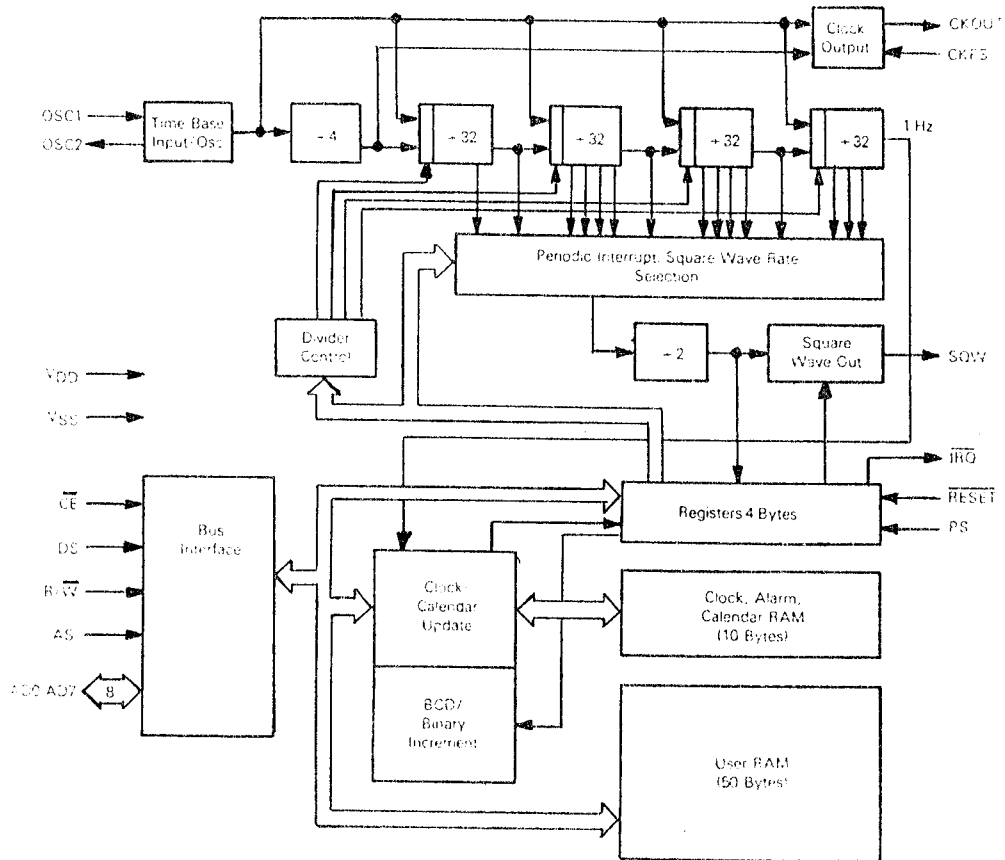


Figure A.I.8

Le schéma bloc de l'horloge temps réel permet de se rendre compte des possibilités offertes par celle-ci :

- Tout d'abord, on constate que le signal de la base de temps est soumis à cinq diviseurs successifs, le premier divisant par quatre et les quatre autres divisant chacun par trente deux.

C'est cette combinaison de diviseurs qui rend possible l'utilisation de plusieurs fréquences. En effet, le choix entre trois fréquences d'oscillateur est disponible = 4,194304MHz, 1,045576MHz, 32,768KHz.

- D'autre part, un 'block clock output' permet d'obtenir un signal de sortie, soit à la fréquence horloge directe, soit à la fréquence horloge divisée par quatre.

Grâce à cette sortie, on peut utiliser le circuit d'horloge en temps réel comme générateur de fréquence pour les autres éléments et ce, pour ne pas devoir utiliser différents quartz sur le circuit.

- Le schéma bloc montre de plus, un bloc de sélection de la fréquence d'interruption ou du signal généré sur la sortie SQW.

- Peuvent être également situés les blocs d'interfaçage et ceux propres à la fonction d'horloge, ainsi que les registres de données, les 50 octets de RAM et les registres de contrôle 4 octets.

I.4.2 Caractéristiques générales

- Les informations horloge échangées avec le microprocesseur peuvent être pur binaire ou binaire codé décimal (BCD).

- L'horloge peut fonctionner en mode 12 ou 24 heures.

- Une caractéristique "horaire d'été" est disponible pour adapter automatiquement l'heure à la fin des saisons d'été ou d'hiver.

Cependant le choix effectué de travailler en heure TU (Temps Universel) correspondant à l'heure solaire, n'exploite pas cette caractéristique.

- Quinze périodes d'interruption sont programmables par le microprocesseur. De plus, le mode interruption d'alarme permet la génération d'une interruption à un temps prédéterminé. Le générateur d'ondes carrées peut aussi être sélectionné pour générer différentes séquences.

- Il y a 64 octets de RAM statiques. Sur ceux-ci 50 octets sont toujours libres pour le microprocesseur.

Le schéma ci-dessous visualise les quatorze registres existants :

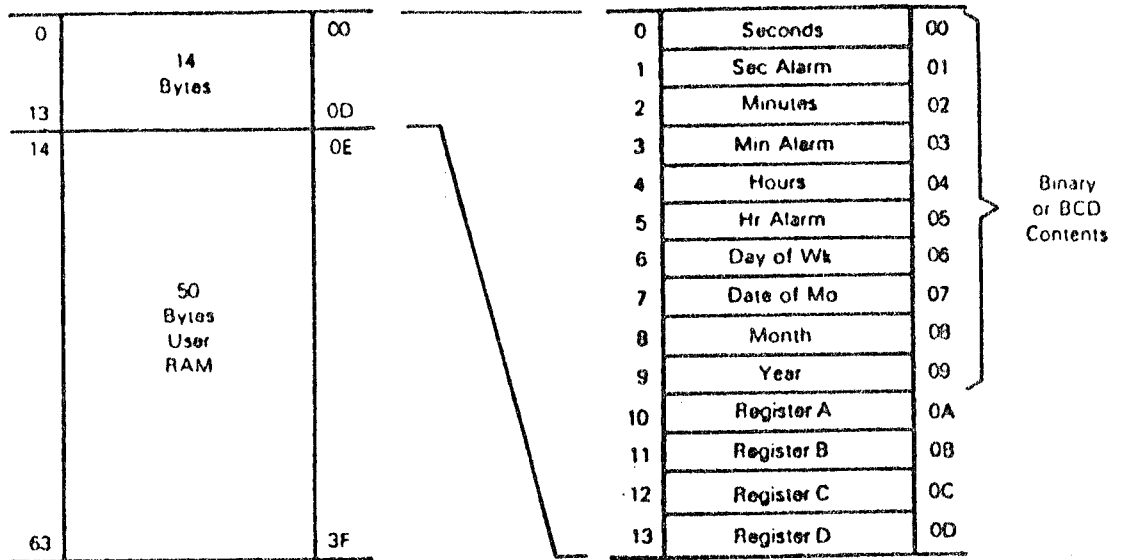


Figure A.I.9

- 7 registres contiennent normalement les informations de l'horloge et du calendrier.

- 3 registres additionnels sont incorporés pour mémoriser les données d'interruption d'alarme (seconde, minute, heure).

Si le mode d'alarme est utilisé, une interruption supplémentaire sera générée quand l'horloge arrive au temps prédéterminé dans les registres d'alarme.

- 4 registres A - B - C - D sont réservés pour agir exclusivement comme registre de contrôle pour l'horloge et les interruptions.

I.4.3 Les registres A - B - C - D

Le registre A :

b7	b6	b5	b4	b3	b2	b1	b0
UIP	DV2	DV1	DV0	RS3	RS2	RS1	RS0
MSB				LSB			

- Le bit UIP accessible en lecture seulement, indique l'autorisation d'accès aux registres d'heure et de date. Ce bit est mis à 1 par la logique interne du boîtier 244µs avant la mise à jour des registres.

Ainsi lorsque le processeur trouve ce bit à 0, il sait qu'il dispose d'au moins 244µs pour accéder aux registres.

La mise à jour des registres d'horloge d'une durée égale à 248µs s'effectue une fois par seconde.

- Ce registre sélectionne la fréquence des quartz utilisés selon le tableau ci-dessous :

Time Base Frequency	Divider Bits Register A			Operation Mode	Divider Reset	Bypass First N Divider Bits
	DV2	DV1	DV0			
4.194304 MHz	0	0	0	Yes	-	N = 0
1.040576 MHz	0	0	1	Yes	-	N = 2
32.768 KHz	0	1	0	Yes	-	N = 7
Any	1	1	0	No	Yes	-
Any	1	1	1	No	Yes	-

- L'initialisation des bits RS3...RS0 dépend de la fréquence d'interruption souhaitée comme l'indique le tableau ci-dessous :

Rate Select Control Register				4.194304 MHz ou 1.040576 MHz Time Base		32.768 KHz Time Base	
				Periodic Interrupt Rate tp1		Periodic Interrupt Rate tp1	
RS3	RS2	RS1	RS0	SQW Output Frequency	SQW Output Frequency	SQW Output Frequency	SQW Output Frequency
0	0	0	0	None	None	None	None
0	0	0	1	30.517 µs	32.768 KHz	3.90625 ms	256 Hz
0	0	1	0	61.035 µs	16.384 KHz	7.8125 ms	128 Hz
0	0	1	1	122.070 µs	8.192 KHz	122.070 µs	8.192 KHz
0	1	0	0	244.141 µs	4.096 KHz	244.141 µs	4.096 KHz
0	1	0	1	488.281 µs	2.048 KHz	488.281 µs	2.048 KHz
0	1	1	0	976.562 µs	1.024 KHz	976.562 µs	1.024 KHz
0	1	1	1	1.953125 ms	512 Hz	1.953125 ms	512 Hz
1	0	0	0	3.90625 ms	256 Hz	3.90625 ms	256 Hz
1	0	0	1	7.8125 ms	128 Hz	7.8125 ms	128 Hz
1	0	1	0	15.625 ms	64 Hz	15.625 ms	64 Hz
1	0	1	1	31.25 ms	32 Hz	31.25 ms	32 Hz
1	1	0	0	62.5 ms	16 Hz	62.5 ms	16 Hz
1	1	0	1	125 ms	8 Hz	125 ms	8 Hz
1	1	1	0	250 ms	4 Hz	250 ms	4 Hz
1	1	1	1	500 ms	2 Hz	500 ms	2 Hz

Les différents bits du registre A ne sont pas affectés par un RESET.

Le registre B :

- Il contient les bits d'états = validation des compteurs, des interruptions, du réveil, sélection du mode binaire/BCD, du mode 12/24 heures, et enfin le bit de sélection heure d'été qui autorise la prise en compte automatique par le boîtier des changements d'heure officielle en octobre et en avril.

- Différents bits du registre

b7	b6	b5	b4	b3	b2	b1	b0
SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE

MSB

LSB

bit b7 (SET) :

- doit être mis initialement à 1 afin de positionner les registres d'horloge et de calendrier sans interruption due à la mise à jour périodique de ces registres.
- après cette initialisation, un fonctionnement normal du circuit est obtenu lors du basculement de ce bit à 0.

bit b6 (PIE), b5 (AIE), b4 (UIE) :

Valident ou inhibent les différentes demandes d'interruption :

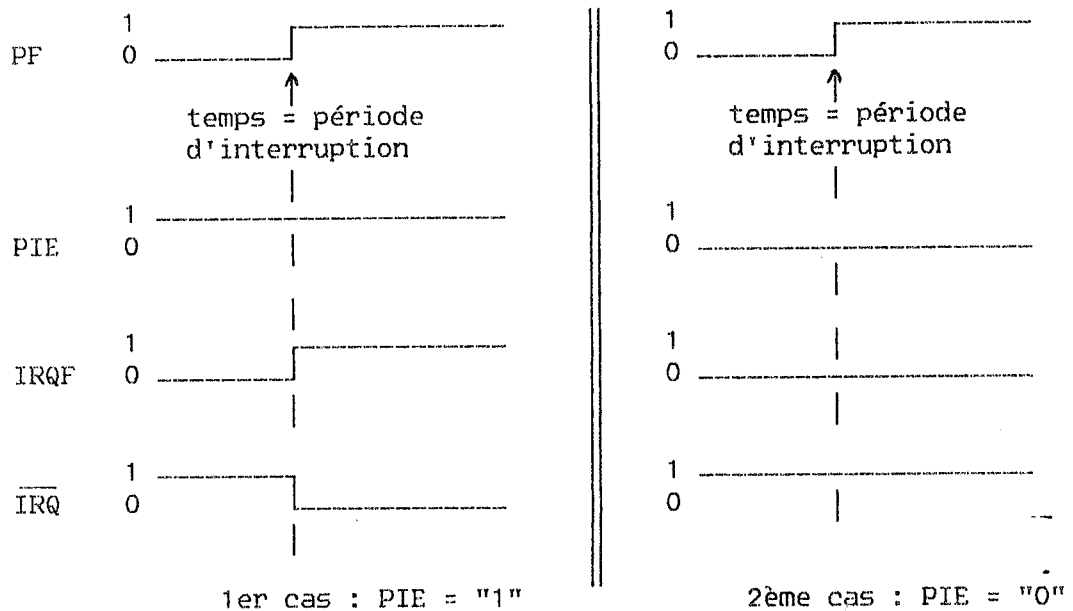
1°) PIE = Periodic Interrupt Enable

- Les 4 bits RS3 à RS0 du registre A correspondent à une période à laquelle une interruption est souhaitée.

- Le bit PF du registre C (b6) est mis à "1" dès que la période d'interruption demandée est atteinte - quel que soit PIE -

- Si l'on positionne le bit PIE du registre B à "1", l'interruption est validée et le bit IRQF du registre C = 1 ce qui entraîne un état bas sur la broche $\overline{\text{IRQ}}$ du circuit.

- Dans le cas où PIE = "0", l'interruption reste bloquée.



2°) AIE = Alarm Interrupt Enable

- Le bit AF du registre C (b5) est mis à "1" quand l'heure du système atteint l'heure d'alarme initialisée par les trois registres additionnels.

- De même que pour PIE et PF, le positionnement de AIE à "1", valide l'interruption ; le bit IRQF du registre C = 1, et l'état bas sur $\overline{\text{IRQ}}$ est alors observé.

3°) UIE = Update - ended Interrupt Enable

- Le bit UF du registre C (b4) est mis à "1" après chaque cycle de remise à jour.

- Le principe exposé pour PIE - PF et pour AIE - AF reste valable ; ainsi si UIE = "1", l'interruption est validée ; IRQF = "1" et $\overline{\text{IRQ}} = 0$.

bit b3 (SQWE) :

Permet quand il est positionné à "1" de générer un signal carré sur la broche SQW du circuit, à la fréquence spécifiée par RS3 à RS0 du registre A.

bit b2 (DM) :

- L'horloge accepte les données en pur binaire ou en BCD.
- Le bit DM permet de sélectionner le type de codage des données.

DM = "1" ---> codage pur binaire

DM = "0" ---> codage BCD

bit b1 (24/12) :

Sélectionne le mode 12/24 heures.

bit b0 (DSE) :

Sélectionne le changement d'heure officielle été/hiver (b0 = 1).

Le registre C :

- Accessible en lecture seulement, ce registre correspond à l'état des interruptions.

- Sa lecture ou encore un état bas sur la broche RESET permet la mise à 0 de tous les bits.

b7	b6	b5	b4	b3	b2	b1	b0
IRQF	PF	AF	UF	0	0	0	0

MSB

LSB

- Les bits b3 à b0 ne sont pas utilisés.

- La mise à "1" du bit d'interruption IRQF dépend des bits PF -AF - UF (cf registre B pour le rôle de ces différents bits).

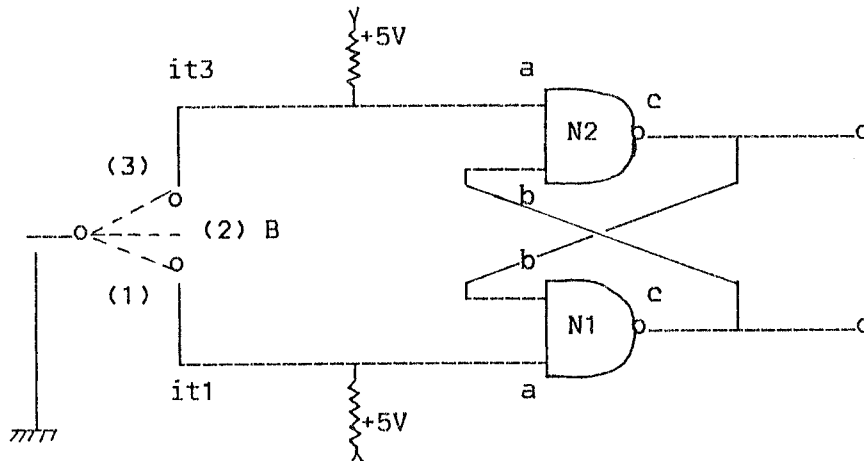
- $\text{IRQF} = \text{PF} \cdot \text{PIE} + \text{AF} \cdot \text{AIE} + \text{UF} \cdot \text{UIE}$

Le registre D :

Accessible en lecture seulement, il ne contient qu'un bit indiquant la validité de l'alimentation.

Grâce à ce bit, on évite l'accès aux registres du microprocesseur au moment d'un "power down" ou "power up".

ANNEXE I.5 : PRINCIPE DU CIRCUIT ANTI-REBOND



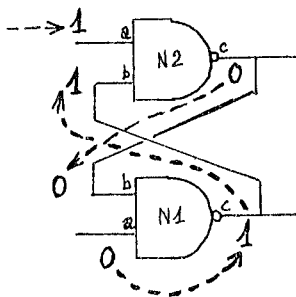
Il est constitué de deux portes NAND.

Figure A.I.10

Principe :

Cas 1 : Le bouton poussoir B se trouve dans la position (1)

- entrée a de N1 = 0 (it1 relié à la masse)
- entrée a de N2 = 1 (la branche it3 étant ramenée au 5V par une résistance)

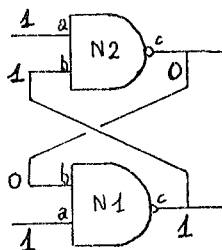


```

si a de N1 = 0
  alors quel que soit b de N1
    on a : c de N1 = 1
    ----> b de N2 = 1
    et comme a de N2 = 1
    ----> c de N2 = 0
    et ----> b de N1 = 0
  finsi
  
```

Cas 2 : Le bouton poussoir B se trouve dans une position intermédiaire (2)

- entrée a de N1 passe de 0 du cas 1 à 1
- entrée a de N2 reste à 1



```

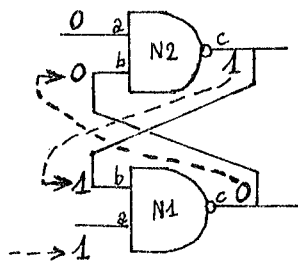
si a de N1 = 0
  alors b de N1 étant encore (cas 1) à 0
    on a :
      c de N1 = 1
      ----> b de N2 = 1
      ----> c de N2 = 0
  finsi
  
```

Donc le passage du cas 1 au cas 2 n'a pas modifié les 2 sorties c.

Cas 3 : Le bouton poussoir se trouve dans la position (3)

- entrée a de N1 = 1 (la branche it1 étant ramenée au 5V par une résistance)
- entrée a de N2 = 0 (it3 relié à la masse)

Raisonnement inverse du 1er cas :



si a de N2 = 0
alors quel que soit b de N2
on a : c de N2 = 1
----> b de N1 = 1
et comme a de N1 = 1
----> c de N1 = 0
----> b de N2 = 0
finsi

Le raisonnement peut être poursuivi de la même façon pour le passage du cas 3 au cas 2, puis du cas 2 au cas 1.

On constate donc que l'état des sorties n'est pas modifié dans l'état intermédiaire, ce qui permet d'éviter les changements d'états (petites oscillations) dus à l'utilisation manuelle du bouton poussoir.

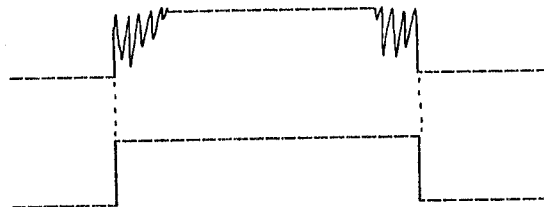


Figure A.I.11

INTERFACE CIRCUITS

TYPE SN75188 QUADRUPLE LINE DRIVER

BULLETIN NO. DL-S 7711874, SEPTEMBER 1973 - REVISED JANUARY 1977

- Meets Specifications of EIA RS-232C
- Designed to be Interchangeable with Motorola MC1488
- Current-Limited Output . . . 10 mA Typical
- Power-Off Output Impedance . . . 300 Ω Min
- Slew Rate Control by Load Capacitor
- Flexible Supply Voltage Range
- Input Compatible with Most TTL and DTL Circuits

description

The SN75188 is a monolithic quadruple line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard RS-232C with a diode in series with each supply-voltage terminal as shown under typical applications. The device is characterized for operation from 0°C to 75°C.

J OR N
DUAL-IN-LINE PACKAGE
(TOP VIEW)

positive logic: $Y = \overline{AB}$

schematic (each driver)

All resistor values shown are nominal and in ohms.

FUNCTION TABLE

A	B	Y
H	H	L
L	X	H
X	L	H

H = high level, L = low level,
X = irrelevant

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage V_{CC+} at (or below) 25°C free-air temperature (see Notes 1 and 2)	15 V
Supply voltage V_{CC-} at (or below) 25°C free-air temperature (see Notes 1 and 2)	-15 V
Input voltage range	-15 V to 7 V
Output voltage range	-15 V to 15 V
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	1 W
Operating free-air temperature range	0°C to 75°C
Storage temperature range	-65°C to 175°C
Lead temperature 1/16 inch from case for 60 seconds: J package	300°C
Lead temperature 1/16 inch from case for 10 seconds: N package	260°C

NOTES:

1. All voltage values are with respect to the network ground terminal.
2. For operation above 25°C free-air temperature, refer to the Maximum Supply Voltage Curve, Figure 6, and the Dissipation Derating Curves in the Thermal Information Section, which begins on page 21. In the J package, SN75188 chips are glass-mounted.

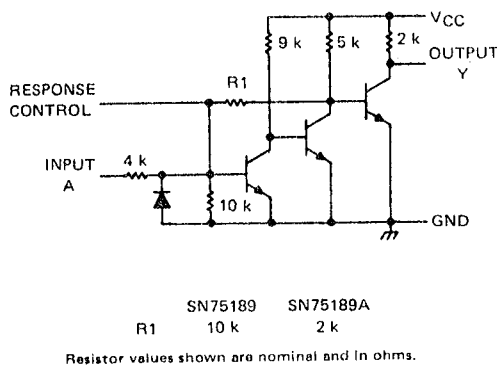
INTERFACE CIRCUITS

TYPES SN75189, SN75189A QUADRUPLE LINE RECEIVERS

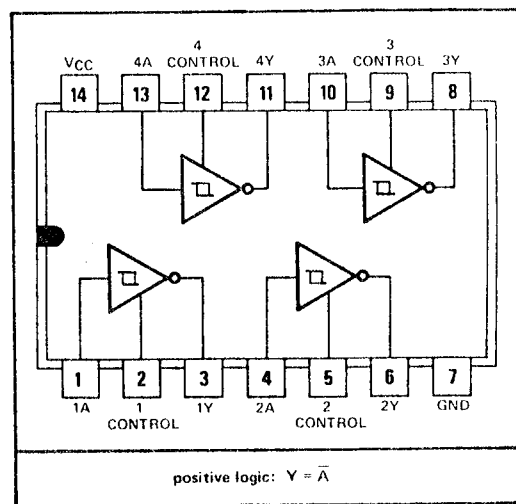
BULLETIN NO. DL-S 7312035, SEPTEMBER 1972

- Input Resistance . . . 3 kΩ to 7 kΩ
- Input Signal Range . . . ±30 V
- Fully Interchangeable with Motorola MC1489, MC1489A
- Operates From Single 5-V Supply
- Built-in Input Hysteresis (Double Thresholds)
- Response Control Provides:
 - Input Threshold Shifting
 - Input Noise Filtering
- Satisfies Requirements of EIA RS-232-C

schematic (each receiver)



JORN
DUAL-IN-LINE PACKAGE (TOP VIEW)



description

The SN75189 and SN75189A are monolithic quadruple line receivers designed to satisfy the requirements of the standard interface between data terminal equipment and data communication equipment as defined by EIA Standard RS-232C. A separate response control terminal is provided for each receiver. A resistor or a resistor and bias voltage can be connected between this terminal and ground to shift the input threshold voltage levels. An external capacitor can be connected from this terminal to ground to provide input noise filtering.

absolute maximum ratings at 25°C free-air temperature (unless otherwise noted)

Supply voltage, VCC (see Note 1)	10 V
Input voltage	±30 V
Output current	20 mA
Continuous total dissipation at (or below) 25°C free-air temperature (see Note 2)	1 W
Operating free-air temperature range	0°C to 75°C
Storage temperature range	-65°C to 175°C
Lead temperature 1/16 inch from case for 60 seconds: J package	300°C
Lead temperature 1/16 inch from case for 10 seconds: N package	260°C

NOTES: 1. Voltage values are with respect to the network ground terminal.

2. For operation above 25°C free-air temperature, refer to Dissipation Derating Curves in the Thermal Information section, which starts on page 21. In the J package, SN75189 and SN75189A chips are glass-mounted.

ANNEXE I.7 : JEU D'INSTRUCTIONS 6805

REGISTER/MEMORY INSTRUCTIONS																			
		Addressing Modes																	
		Immediate			Direct			Extended			Indexed (No Offset)			Indexed (8-Bit Offset)			Indexed (16-Bit Offset)		
Function	Mnemonic	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Load A from Memory	LDA	A6	2	2	B6	2	3	C6	3	4	F6	1	3	E6	2	4	D6	3	5
Load X from Memory	LDX	AE	2	2	BE	2	3	CE	3	4	FE	1	3	EE	2	4	DE	3	5
Store A in Memory	STA	B7	2	4	C7	3	5	F7	1	4	E7	2	5	D7	3	6
Store X in Memory	STX	BF	2	4	CF	3	5	FF	1	4	EF	2	5	DF	3	6
Add Memory to A	ADD	AB	2	2	BB	2	3	CB	3	4	FB	1	3	EB	2	4	DB	3	5
Add Memory and Carry to A	ADC	A9	2	2	B9	2	3	C9	3	4	F9	1	3	E9	2	4	D9	3	5
Subtract Memory	SUB	A0	2	2	B0	2	3	C0	3	4	F0	1	3	E0	2	4	D0	3	5
Subtract Memory from A with Borrow	SBC	A2	2	2	B2	2	3	C2	3	4	F2	1	3	E2	2	4	D2	3	5
AND Memory to A	AND	A4	2	2	B4	2	3	C4	3	4	F4	1	3	E4	2	4	D4	3	5
OR Memory with A	ORA	AA	2	2	BA	2	3	CA	3	4	FA	1	3	EA	2	4	DA	3	5
Exclusive OR Memory with A	EOR	A8	2	2	BB	2	3	C8	3	4	FB	1	3	EB	2	4	DB	3	5
Arithmetic Compare A with Memory	CMP	A1	2	2	B1	2	3	C1	3	4	F1	1	3	E1	2	4	D1	3	5
Arithmetic Compare X with Memory	CPX	A3	2	2	B3	2	3	C3	3	4	F3	1	3	E3	2	4	D3	3	5
Bit Test Memory with A (Logical Compare)	BIT	A5	2	2	B5	2	3	C5	3	4	F5	1	3	E5	2	4	D5	3	5
Jump Unconditional	JMP	BC	2	2	CC	3	3	FC	1	2	EC	2	3	DC	3	4
Jump to Subroutine	JSR	BD	2	5	CD	3	6	FD	1	5	ED	2	6	DD	3	7

READ-MODIFY-WRITE INSTRUCTIONS																		
		Addressing Modes																
		Inherent (A)			Inherent (X)			Direct			Indexed (No Offset)			Indexed (8-Bit Offset)				
Function	Mnemonic	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles		
Increment	INC	4C	1	3	5C	1	3	3C	2	5	7C	1	5	6C	2	6		
Decrement	DEC	4A	1	3	5A	1	3	3A	2	5	7A	1	5	6A	2	6		
Clear	CLR	4F	1	3	5F	1	3	3F	2	5	7F	1	5	6F	2	6		
Complement	COM	43	1	3	53	1	3	33	2	5	73	1	5	63	2	6		
Negate (2's Complement)	NEG	40	1	3	50	1	3	30	2	5	70	1	5	60	2	6		
Rotate Left Thru Carry	ROL	49	1	3	59	1	3	39	2	5	79	1	5	69	2	6		
Rotate Right Thru Carry	ROR	46	1	3	56	1	3	36	2	5	76	1	5	66	2	6		
Logical Shift Left	LSL	48	1	3	58	1	3	38	2	5	78	1	5	68	2	6		
Logical Shift Right	LSR	44	1	3	54	1	3	34	2	5	74	1	5	64	2	6		
Arithmetic Shift Right	ASR	47	1	3	57	1	3	37	2	5	77	1	5	67	2	6		
Test for Negative or Zero	TST	4D	1	3	5D	1	3	3D	2	4	7D	1	4	6D	2	5		

BRANCH INSTRUCTIONS				
Function	Mnemonic	Relative Addressing Mode		
		Op Code	# Bytes	# Cycles
Branch Always	BRA	20	2	3
Branch Never	BRN	21	2	3
Branch IFF Higher	BHI	22	2	3
Branch IFF Lower or Same	BLS	23	2	3
Branch IFF Carry Clear	BCC	24	2	3
Branch IFF Higher or Same	(BHSL)	24	2	3
Branch IFF Carry Set	BCS	25	2	3
Branch IFF Lower	(BLSL)	25	2	3
Branch IFF Not Equal	BNE	26	2	3
Branch IFF Equal	BEQ	27	2	3
Branch IFF Half Carry Clear	BHCC	28	2	3
Branch IFF Half Carry Set	BHCS	29	2	3
Branch IFF Plus	BPL	2A	2	3
Branch IFF Minus	BMI	2B	2	3
Branch IFF Interrupt Mask Bit is Clear	BMC	2C	2	3
Branch IFF Interrupt Mask Bit is Set	BMS	2D	2	3
Branch IFF Interrupt Line is Low	BIL	2E	2	3
Branch IFF Interrupt Line is High	BIH	2F	2	3
Branch to Subroutine	BSR	AD	2	6

CONTROL INSTRUCTIONS				
Function	Mnemonic	Inherent		
		Op Code	# Bytes	# Cycles
Transfer A to X	TAX	97	1	2
Transfer X to A	TXA	98	1	2
Set Carry Bit	SEC	99	1	2
Clear Carry Bit	CLC	98	1	2
Set Interrupt Mask Bit	SEI	9B	1	2
Clear Interrupt Mask Bit	CLI	9A	1	2
Software Interrupt	SWI	83	1	10
Return from Subroutine	RTS	81	1	6
Return from Interrupt	RTI	80	1	9
Reset Stack Pointer	RSP	9C	1	2
No-Operation	NOP	9D	1	2
Stop	STOP	8E	1	2
Wait	WAIT	8F	1	2

BIT MANIPULATION INSTRUCTIONS							
Function	Mnemonic	Addressing Modes					
		Bit Set/Clear			Bit Test and Branch		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Branch IFF Bit n is Set	BRSET n (n=0..7)	2*n	3	5
Branch IFF Bit n is Clear	BRCLR n (n=0..7)	01 + 2*n	3	5
Set Bit n	BSET n (n=0..7)	10 + 2*n	2	5
Clear Bit n	BCLR n (n=0..7)	11 + 2*n	2	5

ANNEXE I.8 : ALGORITHMES D'ADDITION ET DE SOUSTRACTION D'UNE DONNÉE A UNE TABLE DE TROIS OCTETS

- Les mémoires stockant les trois sommes S_{02} , S_{32} , S_4 sont rangées consécutivement en RAM interne.

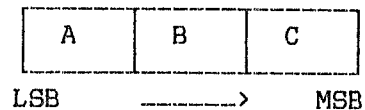
- A l'appel des deux sous programmes, le registre d'index X détermine sur quelle somme la fonction d'addition ou de soustraction doit s'effectuer :

```

X = 0   --->  S02
X = 3   --->  S32
X = 6   --->  S4

```

- Chaque somme est répartie sur trois octets stockés dans l'ordre suivant :



- Les adresses adrA, adrB, adrC sont déterminées à partir de S_{02} indexé par X ; X s'incrémente de un à chaque changement de variable adressée.

Algorithme d'addition : ADDSI

Fonction : addition d'une valeur contenue dans un octet tampon W_2 à une somme partielle S_i contenue dans trois adresses successives

```

Début
|
|   adrA := adrA + W2
|   si   retenue = 1
|       |
|       |   alors  adrB := adrB + 1
|       |       |
|       |       |   si   retenue = 1
|       |       |       |
|       |       |       |   alors  adrC := adrC + 1
|       |       |       |       |
|       |       |       |       |   finsi
|       |       |       |
|       |       |
|       |       |   finsi
|       |
|       |   finsi
|
|   Fin

```

Algorithme de soustraction : SOUSSI

Fonction : soustraction d'une valeur contenue dans un octet tampon W_2 à une valeur contenue dans trois adresses successives

```
Début
|
| si  $W_2 \leq \text{adrA}$ 
| | alors  $\text{adrA} := \text{adrA} - W_2$ 
| | sinon
| | |  $\text{adrA} := 255 - (W_2 - \text{adrA} - 1)$ 
| | | si  $\text{adrB} \neq 0$ 
| | | | alors  $\text{adrB} := \text{adrB} - 1$ 
| | | | sinon
| | | | |  $\text{adrB} := 255$ 
| | | | | si  $\text{adrC} = 0$ 
| | | | | | alors  $\text{adrA} := \text{adrB} := \text{adrC} := 0$ 
| | | | | finsi
| | | |  $\text{adrC} := \text{adrC} - 1$ 
| | | finsi
| | finsi
| finsi
Fin
```

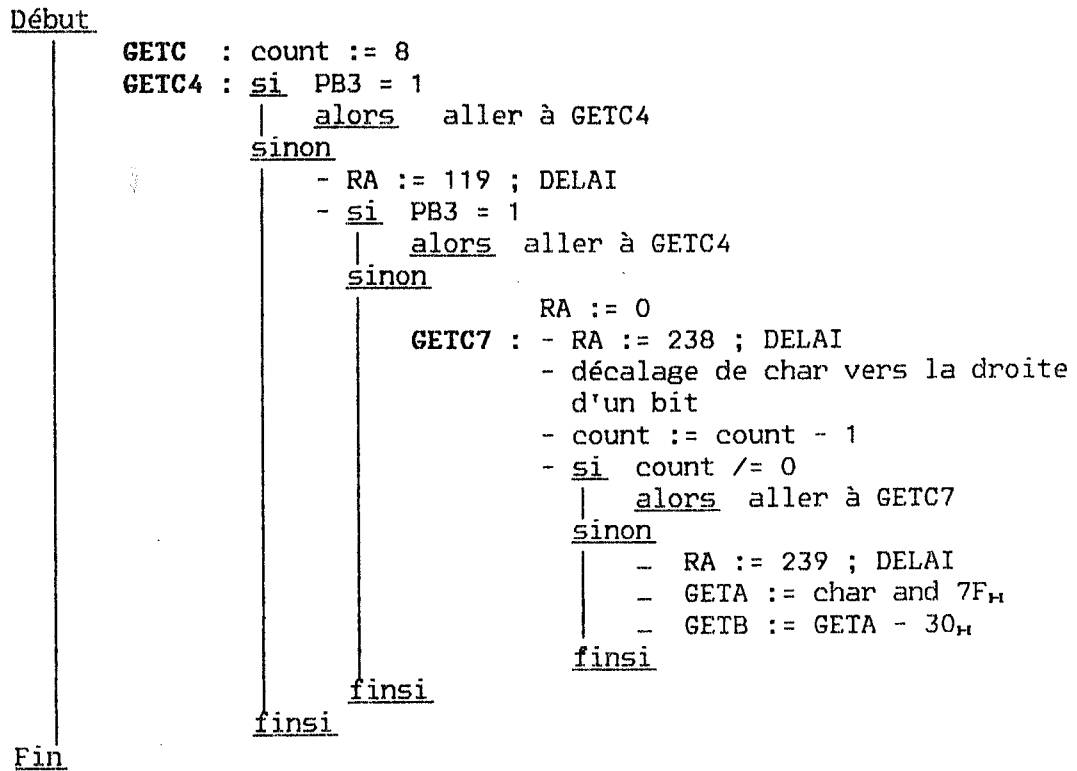
ANNEXE I.9 : INSTRUCTION DAA DU MICROPROCESSEUR 6809

DAA	Decimal Addition Adjust	DAA
Source Form	: DAA	
Operation	: ACCA <--- ACCA + CF (MSN) : CF (LSN) where CF is a Correction Factor, as follows : the CF for each nibble (BCD) digit is determined separately, and is either 6 or 0. Least Significant Nibble CF (LSN) = 6 if 1°) C = 1 or 2°) LSN > 9 Most Significant Nibble CF (MSN) = 6 if 1°) C = 1 or 2°) MSN > 9 or 3°) MSN > 8 and LSN > 9	
Condition Codes	: H - Not affected N - Set if the result is negative ; cleared otherwise Z - Set if the result is zero ; cleared otherwise V - Undefined C - Set if a carry is generated or if the carry bit was set before the operation ; cleared otherwise.	
Description	: The sequence of a single-byte add instruction on accumulator A (either ADDA or ADCA) and a following decimal addition adjust instruction results in a BCD addition with an appropriate carry bit. Both values to be added must be in proper BCD form (each nibble such that : 0 <= nibble <= 9). Multiple precision addition must add the carry generated by this decimal addition adjust into the next higher digit during the add operation (ADCA) immediately prior to the next decimal addition adjust.	
Addressing Mode	: Inherent	

3

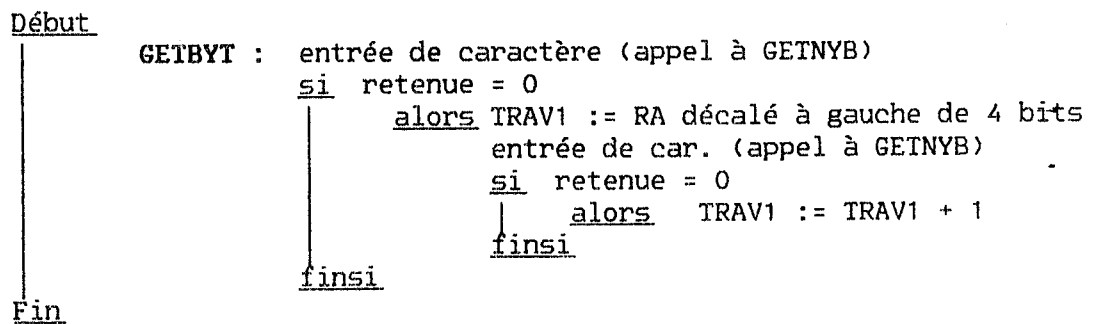
Réception d'un caractère sur le microterminal à la vitesse de 300 bauds

Deux variables de retour : GETA = caractère en Ascii
GETB = caractère en valeur binaire



4

Réception de caractère (valeur hexadécimale) contenu dans le registre A



Début

```
GETNYB : entrée de caractère ( appel à GETC)  
RA := GETA - 30H  
si RA < 0  
| alors retenue := 0  
sinon  
| si RA <= 9  
| | alors RA := RA - 7  
| | | si RA > F  
| | | | alors retenue := 0  
| | | | sinon  
| | | | | si RA <=9  
| | | | | | alors retenue := 0  
| | | | | sinon  
| | | | | | retenue := 0  
| | | | | finsi  
| | | | finsi  
| | finsi  
| finsi  
finsi
```

Fin

ANNEXES II

SYSTEME DE DECODAGE DES ENREGISTREMENTS SISMIQUES

SUR BANDES MAGNETIQUES

ANNEXE II.1 : LE MICROPROCESSEUR 6802

Le microprocesseur 6802 appartient à la famille des microprocesseurs 6800 de Motorola.

Un certain nombre de caractéristiques sont communes aux différentes unités centrales " 8 bits ", notamment en ce qui concerne les périphériques. Ceux-ci sont toujours considérés comme des mémoires, ils ne nécessitent pas d'instructions spécifiques d'entrée/sortie.

Caractéristiques communes :

- compatibilité TTL directe
- alimentation mono tension : +5V
- capacité d'adressage : 64 Koctets par bus d'adresse 16 fils
- bus de données : bidirectionnel à 8 bits et à sorties 3 états ce qui permet l'accès direct mémoire et les configurations multi microprocesseurs
- technologie NMOS
- compatibilité ascendante entre unités centrales
- utilisation des mêmes périphériques : PIA 6821, ACIA 6850, temporisateur 6840 ...

L'unité centrale 6802 :

Le microprocesseur a 6 registres internes :

- deux accumulateurs de 8 bits, utilisés pour contenir les opérandes et les résultats de l'unité arithmétique et logique (UAL)
- un registre d'index de 16 bits pouvant être utilisé pour le transfert des données et surtout pour servir d'index dans le mode d'adressage indexé
- un compteur de programme (compteur ordinal)
- un pointeur de pile
- un registre d'états (6codes).

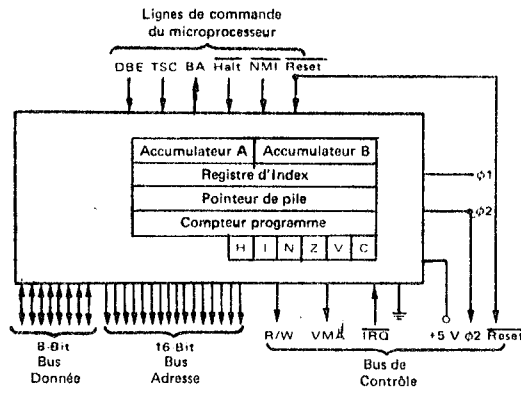


Figure A.II.1

De plus, l'unité centrale contient :

- un oscillateur d'horloge interne et une sortie des signaux d'horloge

- une mémoire vive de 128 octets, d'adresse 00 à 7F, dont les 32 premiers octets peuvent être sauvegardés en mode "faible consommation".

Les registres internes sont analogues à ceux du 6800 ce qui implique le même jeu d'instructions et les mêmes modes d'adressage (soit 7 modes : adressage des accumulateurs, immédiat, direct, étendu, indexé, implicite et relatif).

ANNEXE II.2 : DEMULTIPLEXEUR 74LS155 : SCHEMA LOGIQUE ET TABLE DE VERITE

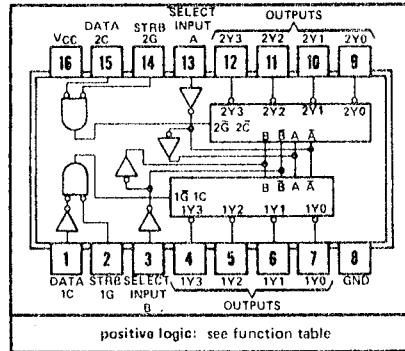
TTL
MSI

TYPES SN54155, SN54156, SN54LS155, SN54LS156,
SN74155, SN74156, SN74LS155, SN74LS156
DUAL 2-LINE-TO-4-LINE DECODERS/DEMULTIPLEXERS

BULLETIN NO. DL-S 7611850, MARCH 1974--REVISED OCTOBER 1976

- Applications:
Dual 2-to-4-Line Decoder
Dual 1-to-4-Line Demultiplexer
3-to-8-Line Decoder
1-to-8-Line Demultiplexer
- Individual Strobes Simplify Cascading for Decoding or Demultiplexing Larger Words
- Input Clamping Diodes Simplify System Design
- Choice of Outputs:
Totem Pole ('155, 'LS155)
Open-Collector ('156, 'LS156)

SN54155, SN54156, SN54LS155, SN54LS156 ... J OR W PACKAGE
SN74155, SN74156, SN74LS155, SN74LS156 ... J OR N PACKAGE
(TOP VIEW)

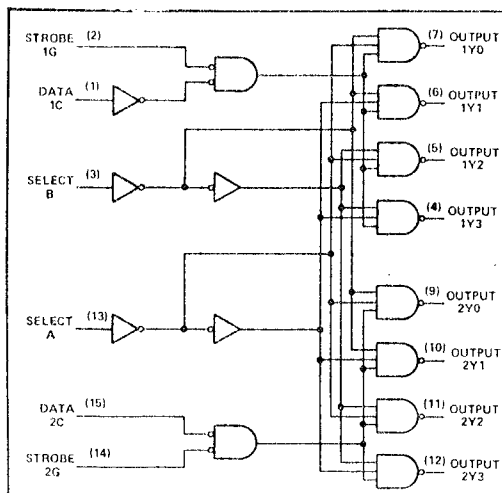


TYPES	TYPICAL AVERAGE PROPAGATION DELAY 3 GATE LEVELS	TYPICAL POWER DISSIPATION
'155, '156	21 ns	125 mW
'LS155	18 ns	31 mW
'LS156	32 ns	31 mW

description

These monolithic transistor-transistor-logic (TTL) circuits feature dual 1-line-to-4-line demultiplexers with individual strobes and common binary-address inputs in a single 16-pin package. When both sections are enabled by the strobes, the common binary-address inputs sequentially select and route associated input data to the appropriate output of each section. The individual strobes permit activating or inhibiting each of the 4-bit sections as desired. Data applied to input 1C is inverted at its outputs and data applied at 2C is not inverted through its outputs. The inverter following the 1C data input permits use as a 3-to-8-line decoder or 1-to-8-line demultiplexer without external gating. Input clamping diodes are provided on all of these circuits to minimize transmission-line effects and simplify system design.

Series 54 and 54LS are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74 and 74LS are characterized for operation from 0°C to 70°C.



FUNCTION TABLE
3-LINE-TO-8-LINE DECODER
OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS				OUTPUTS							
SELECT		STROBE OR DATA		(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C†	B	A	G‡	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	L	H	H	H	H	H
L	H	L	L	L	H	H	L	H	H	H	H
L	H	H	L	L	H	H	H	L	H	H	H
H	L	L	L	L	H	H	H	H	L	H	H
H	L	H	L	L	H	H	H	H	H	L	H
H	H	L	L	L	H	H	H	H	H	H	L
H	H	H	L	L	H	H	H	H	H	H	L

†C = inputs 1C and 2C connected together
‡G = inputs 1G and 2G connected together
H = high level, L = low level, X = irrelevant



A to D, D to A

DAC1020 10-Bit Binary Multiplying D/A Converter
DAC1220 12-Bit Binary Multiplying D/A Converter

General Description

The DAC1020 and the DAC1220 are, respectively, 10 and 12-bit binary multiplying digital-to-analog converters. A deposited thin film R-2R resistor ladder divides the reference current and provides the circuit with excellent temperature tracking characteristics (0.0002%/°C linearity error temperature coefficient maximum). The circuit uses CMOS current switches and drive circuitry to achieve low power consumption (30 mW max) and low output leakages (200 nA max). The digital inputs are compatible with DTL/TTL logic levels as well as full CMOS logic level swings. This part, combined with an external amplifier and voltage reference, can be used as a standard D/A converter; however, it is also very attractive for multiplying applications (such as digitally controlled gain blocks) since its linearity error is essentially independent of the voltage reference. All inputs are protected from damage due to static discharge by diode clamps to V⁺ and ground.

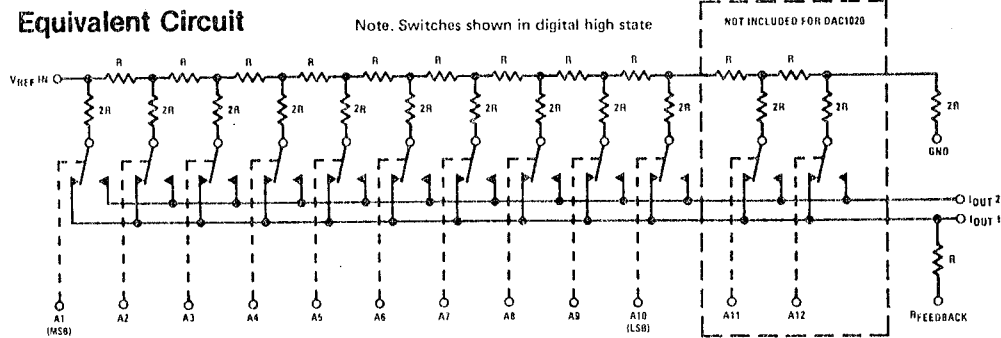
This part is available with 10-bit (0.05%), 9-bit (0.10%), and 8-bit (0.20%) non-linearity guaranteed over temperature (note 1 of electrical characteristics). The

DAC1020, DAC1021 and DAC1022 are direct replacements for the 10-bit resolution AD7520 and AD7530 and equivalent to the AD7533 family. The DAC1220, DAC1221 and DAC1222 are direct replacements for the 12-bit resolution AD7521 and AD7531 family.

Features

- Linearity specified with zero and full-scale adjust only
- Non-linearity guaranteed over temperature
- Integrated thin film on CMOS structure
- 10-bit or 12-bit resolution
- Low power dissipation 10 mW @ 15V typ
- Accepts variable or fixed reference $-25V \leq V_{REF} \leq +25V$
- 4-quadrant multiplying capability
- Interfaces directly with DTL, TTL and CMOS
- Fast settling time—500 ns typ
- Low feedthrough error—1/2 LSB @ 100 kHz typ

Equivalent Circuit



Ordering Information

10-BIT D/A CONVERTERS

TEMPERATURE RANGE		0°C to 70°C	-40°C to +85°C	-55°C to +125°C
ACCURACY	0.05%	DAC1020LCN AD7520LN AD7530LN	DAC1020LCD AD7520LD AD7530LD	DAC1020LD AD7520UD
	0.10%	DAC1021LCN AD7520KN AD7530KN	DAC1021LCD AD7520KD AD7530KD	DAC1021LD AD7520TD
	0.20%	DAC1022LCN AD7520JN AD7530JN	DAC1022LCD AD7520JD AD7530JD	DAC1022LD AD7520SD
PACKAGE OUTLINE		N16A	D16C	D16C

12-BIT D/A CONVERTERS

TEMPERATURE RANGE		0°C to 70°C	40°C to +85°C	-55°C to +125°C
ACCURACY	0.05%	DAC1220LCN AD7521LN AD7531LN	DAC1220LCD AD7521LD AD7531LD	DAC1220LD AD7521UD
	0.10%	DAC1221LCN AD7521KN AD7531KN	DAC1221LCD AD7521KD AD7531KD	DAC1221LD AD7521TD
	0.20%	DAC1222LCN AD7521JN AD7531JN	DAC1222LCD AD7521JD AD7531JD	DAC1222LD AD7521SD
PACKAGE OUTLINE		N18A	D18A	D18A

Note. Devices may be ordered by either part number.

ANNEXE II.4 : FILTRE PASSE HAUT - CALCUL DE LA FREQUENCE DE COUPURE

Un filtre passe haut peut se représenter par le schéma ci-dessous :

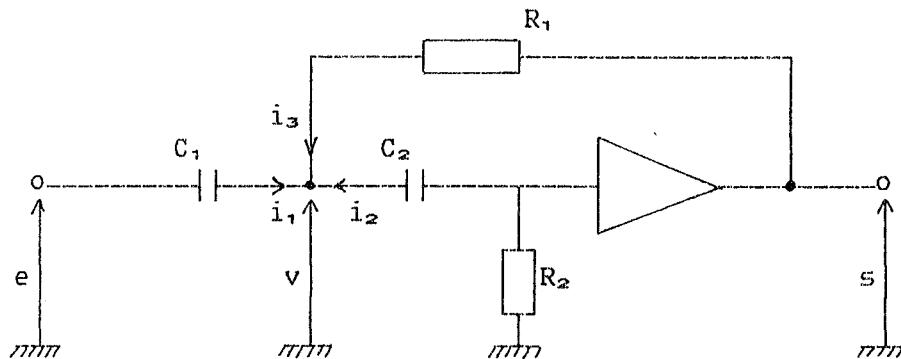


Figure A.II.2

Afin de calculer la fréquence de coupure correspondante on effectue le calcul suivant :

L'application de la loi de Kirchoff permet d'écrire :

$$\begin{cases} i_1 = (e - v) C_1 p \\ i_2 = -s / R_2 \\ i_3 = (s - v) / R_1 \end{cases}$$

$$v = s - i_2 / C_2 p = s + (s / R_2 C_2 p)$$

$$\text{Or } i_1 + i_2 + i_3 = 0$$

$$\Rightarrow (e - v) C_1 p - s/R_2 + (s - v)/R_1 = 0$$

$$\Leftrightarrow e C_1 p - v C_1 p - s/R_2 + s/R_1 - v/R_1 = 0$$

$$\Leftrightarrow e C_1 p - s/R_2 + s/R_1 - (s + s/R_2 C_2 p) (C_1 p + 1/R_1) = 0$$

$$\Leftrightarrow e C_1 p - s/R_2 + s/R_1 - (s C_1 p + s/R_1 + s C_1 p/R_2 C_2 p + s/R_1 R_2 C_2 p) = 0$$

$$\Leftrightarrow e C_1 p - s/R_2 - s/R_1 - s C_1 p - s/R_1 - s C_1 p/R_2 C_2 p - s/R_1 R_2 C_2 p = 0$$

$$\Leftrightarrow e - s/R_2 C_1 p - s - s/R_2 C_2 p - s/R_1 R_2 C_1 C_2 p = 0$$

$$\Leftrightarrow s (1/R_2 C_1 p + 1 + 1/R_2 C_2 p + 1/R_1 R_2 C_1 C_2 p^2) = e$$

$$\Leftrightarrow s = \frac{(R_1 C_2 p + R_1 R_2 C_1 C_2 p^2 + R_1 C_1 p + 1)}{R_1 R_2 C_1 C_2 p^2} = e$$

Or $C_1 = C_2 = C$

$$\implies \frac{s}{e} = \frac{R_1 R_2 C^2 p^2}{2R_1 C p + R_1 R_2 C^2 p^2 + 1}$$

D'autre part la fonction de transfert d'un filtre passe haut prend la forme générale :

$$\frac{s}{e} = A \cdot \frac{p^2 / \omega_0^2}{1 + 2 \left\{ \frac{p}{\omega_0} + \frac{p^2}{\omega_0^2} \right\}}$$

avec : - 1°) $\omega_0^2 = 1/R_1 R_2 C^2$

$$\iff \omega_0 = 1 / C \sqrt{R_1 R_2} \implies f = \omega_0 / 2 \pi$$

- 2°) $A = 1$

- 3°) $2 \left\{ \frac{p}{\omega_0} \right\} = 2R_1 C p$

$$\left\{ \begin{array}{l} C \sqrt{R_1 R_2} = R_1 C \end{array} \right.$$

$$\left\{ \begin{array}{l} = R_1 / \sqrt{R_1 R_2} = \sqrt{R_1 / R_2} \end{array} \right.$$

ANNEXE II.5 : TACHES TEMPS REEL DE LIAISON ENTRE LE DECODEUR
ET LE MINICALCULATEUR

RIDVOI :

```

<*****
<
< TACHE RIDVOI
< ACQUISITION DES DONNEES SUR LA VOIE V2
< STOCKAGE DANS 2 BUFFERS GERES EN FLIP FLOP
<
< 1ER POINTEUR =POINTEUR SUR LES BUFFERS
< 2EME POINTEUR=RUN DE SURVOI: TACHE QUI VA LIRE LE BUFFER
< REMPLI ET L ECRIRE DANS UN FICHER SEQUENTIEL
<
< TACHE NUMERO 2...PARTITION 20...PRIORITE 9
<
<*****
<
<.....REQUETES UTILISEES
0000 IOCS: VAL '08
0200 NT2: VAL '200
0005 USR: VAL 5
<.....LOCAL
0000 DEBLOC: EQU 5
0000 ABCDA: WORD 0
1 0190 (81) ABUF1: WORD '190
2 FFFF (82) IOCB: WORD 'FFFF <IOCB ECRITURE EN CDA
3 8016 (83) WORD '8000+'16
4 FFFF (84) IOCCA: WORD 'FFFF
5 X0000 (85) WORD ABCDA;256;0;0;0
6 0100 (86)
7 0000 (87)
0008 0000 (88)
9 0000 (89)
A 0380 (8A) VAL380: WORD '380
B 0005 (8B) PT2CDA: WORD 5 <ADRESSE POUR LE PTEUR 2 EN CDA
<
<.....TABLES
000C 0000 TABLE TRID
008C 0000 BUF: DZS 128
KSTOR: DZS 80
PSTS 9 <PRIORITE 9
WORD 0;0;0;0;0;DEBLOC+128;0;KSTOR-1;TOP
000C 0000
D 0000
E 0000
F 0000
00E0 0000
1 X0080
2 0000
3 X0088
4 *7FFF
5 0000 WORD 0;0;0;NT2+USR;2;20;0 <PARTITION 20
6 0000
7 0000
00E8 0205
9 0002
A 0014
B 0000

```

```

<.....PROGRAMME
          PROG PRID
00EC 9081   TCP:    EQU    5
          00ED   DEBRID:  LA    ABCD1 <INIT POUR 1ERE ACTIVATION
          D 9080   STA    ABCDA
          E 9085   STA    IOCDA+1
          F 9084   LAD    IOCDA
00F0 1C08   SVC    IOCS
          1 9080   LAD    ABCDA < 1 DU BUFFER REMPLI .. PTEUR 1
          2 20C1   LR     A,R
          3 9088   LA    PT2CDA < 2 EL CDA
          4 1101   LXI   1
          5 3F00   MCD A
          6 0001
          7 9080   LA    ABCDA
00F8 908A   FOR    VAL 300 < XOR POUR FLIP FLOP
          8 20F4   JMP    DEBRID

```

END

0000 ERROR(S)

/CALL BUILD
 COMPTE RENDU STEP PRECEDENT : 00
 /SLUC

05/02/86 17H/37MN/12S

LRID '0000
 IRID '000C
 PRID '00EC

TASK S,19
 BEGIN '0000
 END '00F9
 RUN '1800
 /DELE RIDVOI-TR,DE
 /CATA IM,RIDVCI-TR
 /EOJ
 COMPTE RENDU STEP PRECEDENT : 00

SORVOI:

```

<*****
<
< TACHE SORVOI
< LECTURE DANS LES 2 BUFFERS GERES EN FLIP FLOP
< EN COA ET ECRITURE SUR FICHIER SEQUENTIEL
< CETTE TACHE NE DEMARRE QUE SI LE POINTEUR 2 POSITIONNE
< PAR RIDVOI EST DIFFERENT DE 0 ET EST ALORS=
< A L'ENDROIT DU BUFFER A POINTER.
<
< TACHE NUMERO 13...PARTITION 23...PRIORITE 10
<
<*****
<
<.....REQUETES UTILISEES
0300 NT3: VAL '300
0005 USR: VAL 5
001F CWAIT: VAL 51
0030 FMS: VAL 56
0039 FMSS: VAL 57
<.....LOCAL
LOCAL LSOR
0000 0000 (80) ZERO: WORD 0
1 0201 (81) IFCB: WORD '0201;0;0;0 <OUVERTURE DU FICHIER
2 0000 (82)
3 0000 (83)
4 0000 (84)
5 4241 (85) ASCII "BALD09YK"
6 4E44 (86)
7 3039 (87)
0008 5944 (88)
9 3C24 (89) WORD '3C24;0;0;0
A 0000 (8A)
B 0000 (8B)
C 0000 (8C)
D A001 (8D) IFCB: WORD 'A001 <ECRITURE SUR FICHIER
E 0000 (8E) WORD 0;256;0;0
F 0100 (8F)
0010 0000 (90)
1 0000 (91)
2 0000 (92) RPNWAIT: WORD 0;1;1;1 <1MILLISECONDE
3 *7FFF (93)
4 0001 (94)
5 0001 (95)
6 0000 (96) IERR: WORD 0
7 0005 (97) PT2CDA: WORD 5 <EN COA DU PTEUR 2
0018 0000 (98) ABCDA: WORD 0 <VALEUR DU PTEUR 2 LU EN COA
9 *7FFF (99) ADBUF: WORD BUF
<.....TABLES
TABLE LSOR
001A 0000 RUF: DZS 128
009A 0000 KSTOR: DZS 80
PSTS 10 <PRIORITE 10
WORD 0;0;0;0;2;ERO+128;0;KSTOR+1;TOP
D 0000
E 0000
F 20080
00F0 0000
1 30079
2 *7FFF
3 0000 WORD 0;0;0;NT3+USR;2;23;0 <PARTITION 21
4 0000
5 0000
6 0305
7 0002
00F8 0017
9 0000
<.....PROGRAMME
PROG PSOR
00FA 00FA TOP: EQU 6
B 1C38 LAD IFCB <OUVERTURE DU FICHIER
C 9D80 SVC FMS
D 2FC1 DEBSOR: LAD ZERO <INIT DU PTEUR 2 A 0 EN 1ER
E 9097 LR A,B
F 1101 LA PT2CDA <ACTIVATION
0100 3F00 LXI 1
ACDA

```

```

1 0001
2 2000
3 9092 TESTPT: JMP P1
4 101F SVC ONAIT
5 9098 P1: LAD ABCDA <LECTURE PTEUR 2 EN CDA
6 28C1 LR A,R
7 9097 LA PT2CDA
0108 1101 LXI 1
9 3F00 RCDA
A 0000
H 9098 LA ABCDA
C 26F7 JAF TESTPT <SAUT SI PTEUR 2 =0
D 1180 LXI 128
E 9799 LB ADDRUF < LECTURE DU BUFFER EN CDA
F 9098 LA ABCDA < AU PTEUR ABCDA DS BUF
0110 3F00 RCDA
1 0000
2 8099 LAD ADDRUF <ECRITURE DE BUF DS LE FICHIER
3 808E STA IFCB+1
4 9080 LAD IFCB
5 1039 SVC FMSS
6 20E6 JMP DEFNSOR

```

END

0000 ERROR(S)

/CALL BUILD
 COMPTE RENDU STEP PRECEDENT : 00
 /SLOC

05/08/86 17H/35MN/24S

LSOR '0000
 TSOR '001A
 PSOR '00FA

TASK S,'A
 BEGIN '0000
 END '0116
 PUN '8000
 /DELE SCRVOI-TR,DE
 /CATA IM,SORVOI-TR
 /EOJ
 COMPTE RENDU STEP PRECEDENT : 00

ANNEXES III

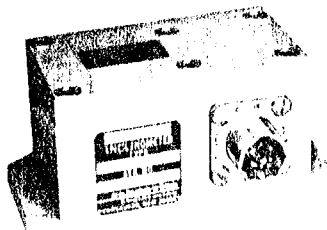
MESURES COMPLEMENTAIRES

TRANSFERT DES DONNEES D'UN ENREGISTREUR NUMERIQUE

VERS UN MICROORDINATEUR

INCLINOMETRES - ACCELEROMETRES

FEUILLE TECHNIQUE
1 315 - A 1
1^{er} EDIT. - JUIN 1976



DESCRIPTION

Les servo-inclinomètres (ou servo-accéléromètres) SCHAEVITZ sont des appareils destinés à mesurer des variations de position par rapport à la verticale locale du lieu d'expérimentation, ou de faibles accélérations linéaires.

Ces capteurs peuvent être choisis pour fonctionner dans des gammes standard ($\pm 1^\circ$, $\pm 14,5^\circ$, $\pm 30^\circ$ ou $\pm 90^\circ$ de déviation angulaire) ou dans toute gamme intermédiaire comprise entre 1° et 180° .

Ce sont des appareils de précision pouvant travailler dans des environnements très sévères tant du point de vue climatique que du point de vue mécanique.

PRINCIPE

Le servo-inclinomètre fonctionne sur le principe d'une balance de force. On peut rappeler que si une force est appliquée à une masse, celle-ci se met en mouvement. En corollaire, si une masse libre est soumise à deux forces d'égale intensité et de directions opposées, cette masse ne bougera pas.

Dans le cas de ce servo-inclinomètre, le système est constitué d'une masse pouvant se déplacer, d'un détecteur de mouvement, et d'un moyen de s'opposer au mouvement.

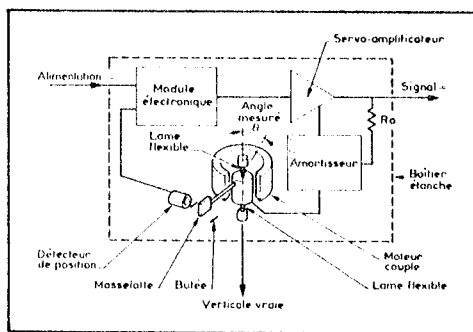
Masse : c'est une palette en laiton raccordée radialement à un axe libre en rotation et qui constitue donc un pendule. Les déplacements en rotation de la palette, autour de son axe sont limités par des butées mécaniques.

Détecteur de mouvement : c'est un capteur de proximité constitué d'une bobine excitée en haute fréquence, qui émet un champ magnétique. L'impédance de la bobine varie avec la proximité de la palette en laiton.

Dispositif d'équilibrage : c'est en fait un moteur couple qui a pour fonction de contrebalancer les effets de la gravité qui tend à déplacer la palette.

Ce moteur couple est constitué :

- 1) d'un aimant permanent (un secteur cylindrique) coaxial avec l'axe de rotation du pendule.
- 2) d'une bobine disposée sur l'axe de rotation du pendule et qui, du fait du champ magnétique de l'aimant, développera un couple de rotation lorsqu'elle sera traversée par un courant électrique. Ce couple se traduit par une force tangentielle au niveau de la palette.



FONCTIONNEMENT

Lorsque l'inclinomètre est écarté de sa position de repos, cet écart se traduit par une déviation du pendule qui du fait de la gravité tend à s'aligner avec la verticale locale.

Cette déviation est simultanément détectée par le capteur de position qui va délivrer un signal proportionnel à la déviation.

Ce signal est amplifié et traité de façon à alimenter le bobinage du moteur couple avec un courant proportionnel également à la déviation du pendule.

Ce courant se traduit par un couple et donc une force au niveau de la palette, qui est égale et symétrique à la force exercée par la gravité sur le pendule.

Le capteur est dénommé servo-inclinomètre (ou servo-accéléromètre) car il s'agit d'un système en boucle fermée : le capteur réagit sur la grandeur qu'il mesure et détermine un équilibre de force permanent.

Une résistance de précision est disposée en série avec le bobinage du moteur couple : en mesurant la tension existante entre les 2 bornes de la résistance, on aura une grandeur linéairement proportionnelle à la déviation angulaire, ou, plus exactement, au sinus de l'angle déterminé par le pendule et la verticale locale.

L'ensemble pendule/moteur-couple est disposé dans un boîtier étanche rempli d'huile aux silicones qui sert d'amortisseur hydraulique au pendule et permet de réduire, voire d'annuler selon les applications, la réponse aux accélérations transitoires.

INSENSIBILITÉ A L'ENVIRONNEMENT

Résistance aux chocs et vibrations : les utilisations des servo-inclinomètres sont tellement variées que SCHAEVITZ a été amené à réaliser un équipement mobile pour le pendule qui supporte des chocs très durs (1 000 g pendant 10 millisecondes) ou des vibrations très importantes (jusqu'à 50 g, crête à 2 000 Hz).

Pour cela, au lieu de recourir à un pivotage classique du pendule sur rubis synthétique, dans le servo-inclinomètre l'axe de rotation du pendule est suspendu à son ancrage par une lame flexible à chaque extrémité.

De ce fait il n'y a pas de friction mais seulement la flexion d'une lame aux caractéristiques élastiques particulièrement fines.

Cette particularité explique l'exceptionnelle résolution de ce capteur qui dans certains modèles est inférieure à 1/10 de seconde d'arc, soit 1/36 000 de degré angulaire.

RÉSISTANCE A L'ENVIRONNEMENT CLIMATIQUE

Le boîtier de chacun des capteurs est étanche par interposition d'un joint torique entre couvercle et boîtier.

Cette étanchéité est conforme aux spécifications MIL STD 202, méthode 112 condition B, concernant l'humidité, le sel, la moisissure et le sable.

De plus tous les capteurs sont livrés avec une compensation en température qui permet de fonctionner normalement entre -20°C et $+70^\circ\text{C}$ avec une dérive de zéro et de sensibilité comprise entre 0,003 % par degré et 0,02 % par degré, selon les étendues de mesure.

Dans certaines applications à température constante on peut prévoir des capteurs sans compensation en température de façon à en réduire le prix.

INFLUENCE DE LA TENSION D'ALIMENTATION

Tous les servo-inclinomètres SCHAEVITZ sont alimentés en continu avec une tension nominale de $\pm 15\text{ V}$. Cette valeur peut descendre jusqu'à $\pm 8,5\text{ V}$ sans que l'on puisse noter de variation appréciable du signal, car le moteur couple fonctionne en courant et non en tension.

Le signal délivré par le capteur restera toujours de 5 volts pour la déviation nominale prévue. Le signe de cette tension par rapport à la masse dépendra du sens de l'inclinaison, selon que la palette du pendule a tendance, du fait de la gravité, à s'approcher du détecteur de proximité ou à s'en éloigner.

SURCHARGE ET DÉPASSEMENT D'ÉCHELLE

Les servo-inclinomètres SCHAEVITZ peuvent être disposés dans n'importe quelle position sans qu'il en résulte une détérioration ou même un déréglage.

La seule remarque qui puisse se faire est que si l'on dépasse notablement l'étendue de mesure nominale, le signal deviendra de moins en moins linéaire.

CONCLUSION

Les servo-inclinomètres SCHAEVITZ peuvent être utilisés dans de très nombreuses applications. Ils peuvent être montés en paire x, y ou en triplet x, y, z, pour définir une inclinaison aléatoire dans un plan ou dans l'espace. Dans ces cas, les signaux de sortie des capteurs sont entrés dans des amplificateurs opérationnels qui délivrent un signal unique qui est la composante des signaux délivrés par les capteurs.

EDITIONS TECHNIQUES
PAUL HUET
85, Rue du Vieux Pont de Sévres
92100 BOULOGNE-BILLANCOURT
FRANCE - Téléphone : 605 85 95

SCHAEVITZ
8, Avenue de Fin d'Oise 78570 ANDREZY
B.P. 11 78780 MAUBECOURT
Télex : 695 321 Tél : (1) 074.70.15

SPÉCIFICATIONS COMMUNES A TOUS LES MODÈLES

Alimentation : $\pm 8,5 \text{ V} = \pm 15 \text{ V}$ (équilibrés).
 Consommation : 15 mA max.
 Signal délivré : $\pm 5 \text{ V}$ sur 1 M Ω .
 Écart de linéarité (reproductible) : $< \pm 0,02 \%$ de l'échelle (méthode des moindres carrés).
 Hystérésis et résolution : $< 0,0001 \%$ de l'échelle.
 Bruit blanc : $< 2 \text{ mV eff.}$
 Décalage de zéro : $< 0,1 \%$ de la pleine échelle.
 Alignement boîtier/axe sensible : $< 5 \text{ mV}$ à 0° angulaire.
 Température de service : -15 à $+85^\circ \text{C}$.
 de stockage : -40 à $+100^\circ \text{C}$.
 Tenue aux chocs sans variation des performances : 1 000 g / 11 ms.
 Tenue aux vibrations : 5 mm en double amplitude de 0 à 20 Hz,
 10 g, crête de 20 à 50 Hz,
 50 g, crête de 50 à 2 000 Hz.
 Etanchéité : par joint torique, conforme à norme MIL-STD 202-112-B.

Echelle*	Sensibilité transversale	Impédance sortie	Coupure 3 dB**
$\pm 1^\circ$ ($\approx 0,02 \text{ g}$)	500 mV/g	5 k Ω	30 Hz ± 10
$\pm 14,5^\circ$ (0,25 g)	100 mV/g	20 k Ω	30 Hz ± 10
$\pm 30^\circ$ (0,50 g)	50 mV/g	10 k Ω	45 Hz ± 10
$\pm 90^\circ$ (1,00 g)	25 mV/g	5 k Ω	60 Hz ± 10

* Toutes valeurs intermédiaires possibles jusqu'à $\pm 180^\circ$ (2 g).
 ** Sur demande coupure - 3 dB pour 5 Hz.

Dérive en température :

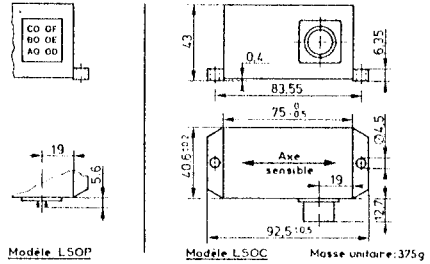
Echelle	Zéro	Sensibilité
$\pm 1^\circ$	$< 0,025 \%$ p.e./ $^\circ \text{C}$	$< 0,015 \%$ du signal / $^\circ \text{C}$
$\pm 14,5^\circ$	$< 0,007 \%$ p.e./ $^\circ \text{C}$	$< 0,007 \%$ du signal / $^\circ \text{C}$
$\pm 30^\circ$	$< 0,005 \%$ p.e./ $^\circ \text{C}$	$< 0,005 \%$ du signal / $^\circ \text{C}$
$\pm 90^\circ$	$< 0,004 \%$ p.e./ $^\circ \text{C}$	$< 0,004 \%$ du signal / $^\circ \text{C}$

(pleine échelle - échelle négative + échelle positive).

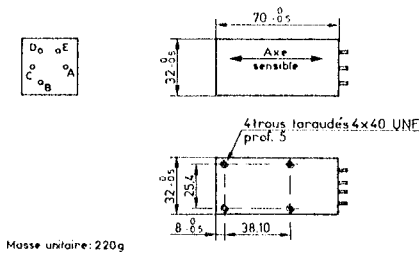
DIMENSIONS

Modèles LSOP et LSOC

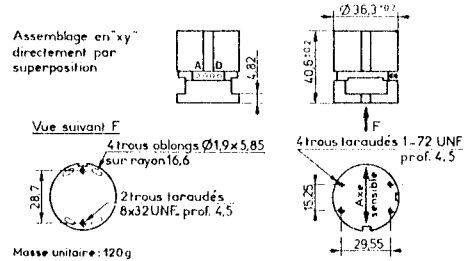
Pour contrôle de gîte sur bateau, plate-forme de forage, hélicoptère, contrôle de position sur niveleuse et finisseuse T.P. etc... Large embase pour réduire les erreurs dues à une surface de montage non plane.
 L S O P : Raccordements par picols.
 L S O C : Raccordements par connecteurs.



Modèle LSVP



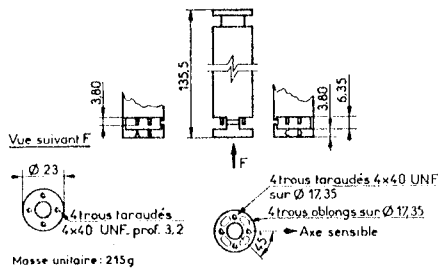
Modèle LSXP



Moins encombrant que le LSOP/LSOC - Raccordements par picols soudables

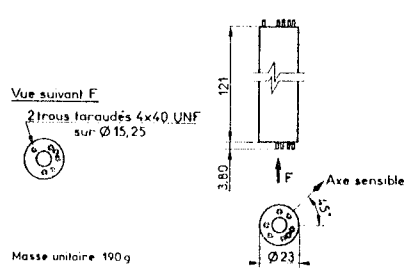
Compact et empilable (pour réaliser une paire xy).
 Disponible en dessous de $\pm 10^\circ$.
 Raccordements par picols soudables latéraux.

Modèle LSPPA



Pour sonde de forage par exemple. Peut être empilé également en paire xy, sans pièce intermédiaire

Modèle LSFPB



Diamètre extérieur minimal. Passage des câbles au travers du capteur.
 Pièce complémentaire, pour montage xy, en option.

SCHAEVITZ
 8, Avenue de Fin d'Oise 78570 ANDRESY
 B.P. 11 78780 MAUREMOURT
 Tél. : (1) 07 1.20.15 Télex : 605 321

EDITIONS TECHNIQUES
PAUL HUET
 85 Rue du Vieux-Pont de Sévres
 92100 BOULOGNE - BILLANCOURT
 FRANCE - Téléphone : 605-85-95

CAPTEURS DE TRES GRANDS DEPLACEMENTS

Capteurs à fil

Principe :

Un câble en acier gainé de téflon s'enroule sur un tambour muni d'une gorge hélicoïdale. Ce dernier entraîne l'axe d'un potentiomètre multitours à piste plastique. Un ressort spiral logé dans un barillet assure le rappel du câble.

Pour certaines applications, un embout spécial comportant un "fusible mécanique" peut être adapté à l'extrémité du câble pour limiter l'effort de traction et supprimer tout risque de détérioration du capteur.

Description :

Le tambour d'enroulement du câble est logé dans un boîtier cylindrique formé de deux demi-coquilles dont les dimensions varient en fonction de l'étendue de mesure du capteur.

Par contre le capot cylindrique de protection du potentiomètre est identique sur tous les modèles. Deux lèvres de guidage assurent l'attaque tangentielle du tambour par le câble.

Plusieurs trous de 5mm de diamètre, pratiqués dans les collerettes des deux demi-coquilles de protection du tambour, permettent la fixation du capteur.

L'extrémité du câble est terminée par un embout fileté de diamètre 5. Sur demande, un fusible mécanique peut être adapté à l'extrémité de cet embout fileté.

Le fil doit être maintenu en tension permanente aligné suivant les indications du plan d'encombrement.

Caractéristiques :

Masse : 800 grammes

Précision : (à +25°C)

- Erreur de linéarité indépendante : $\pm 0,5\%$ EM.
- Erreur de mobilité et hystérésis : $\pm 0,2\%$ EM.

Potentiomètre :

- Résistance totale : 1000 Ω $\pm 15\%$
- Résolution : infinie
- Puissance à 70°C : 2 watts
- Tension maximale d'alimentation : 32V

Talons de fin de course :

- Calage du zéro à 2,5% $\pm 0,5\%$ de la résistance totale. (Talon de début d'échelle).
- Calage en sensibilité à 97,5% $\pm 0,5\%$ de la résistance totale (Talon de fin d'échelle).

Branchement électrique :

- Câble 3 conducteurs, longueur 1,2m.
- Pour une traction sur le fil, le curseur du potentiomètre (fil blanc) va du fil bleu au fil rouge.

Effort de traction au maximum de la course : 9N (0,918 Kgf)

Température nominale d'emploi : de -20°C à +80°C.

Schéma général :

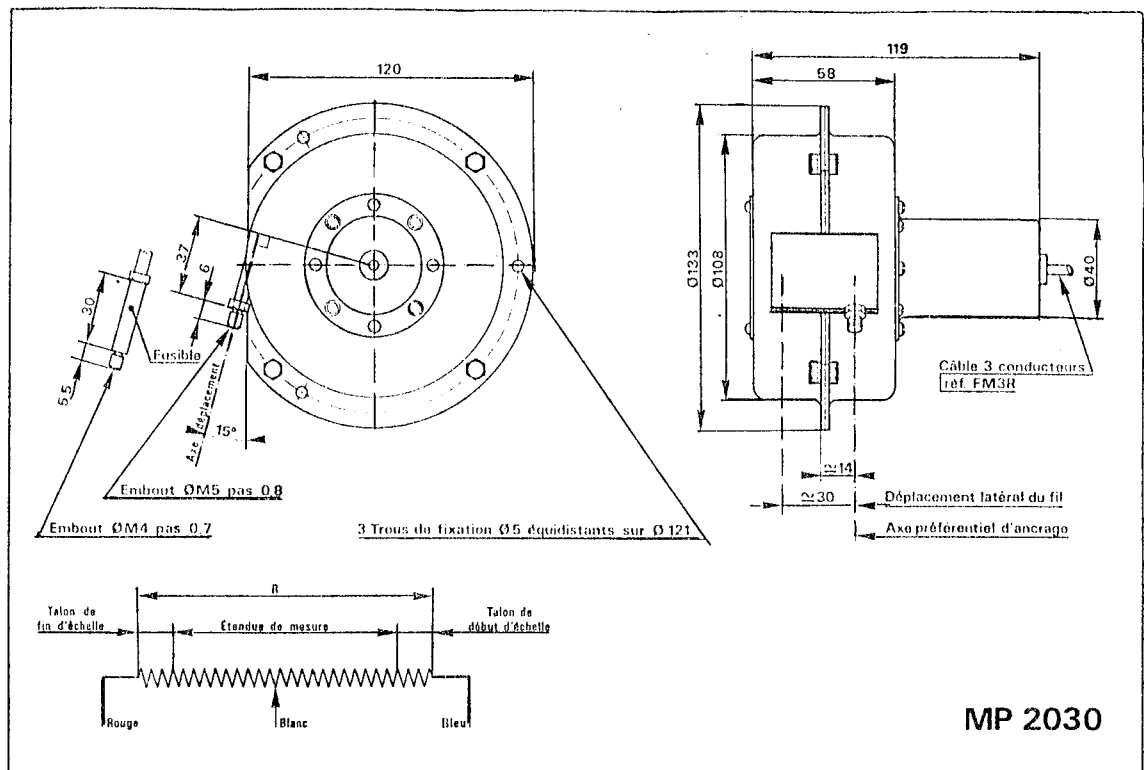


Figure A.III.1

Feuille de contrôle : Reptomètre n°2

Encombrement : 0 hors tout : 133 mm
 hauteur : 119 mm

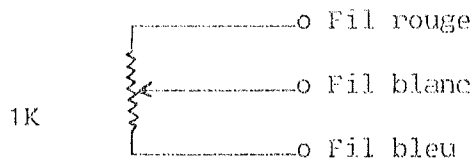
Fixation : 3 trous 0 5 sur 0 : 121 mm

Domaine de température : -20 à +80°C

Effort de traction au maximum
 de la course : 9 N

Potentiomètre : 1000 ± 15% 2 W

Tension d'alimentation max. : 43V



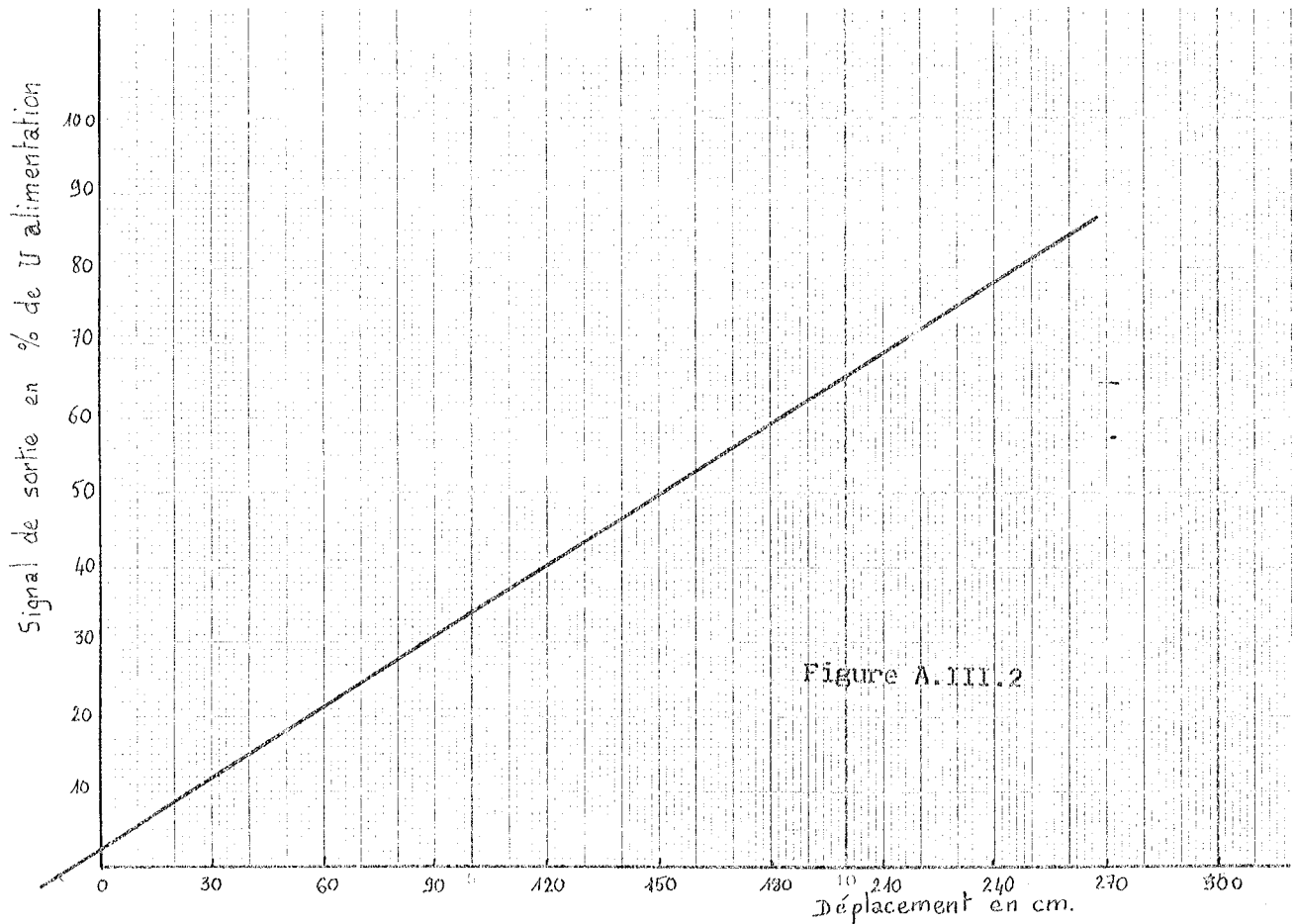
Présentation, aspect : correct

S'assurer qu'il n'y a pas de point
 dur dans le déroulement du câble
 d'acier : correct

Etendue de mesure à +20°C : 3 m

Performances	Tolérances	Valeurs relevées
Calage du zéro	2 à 3%	2,6%
Calage en sensibilité	97 à 98 %	97,1%
Erreur de linearité indépendante	≤ +0,5%	±0,4%
Erreur de mobilité	≤ +0,2%	±0,1%
Résistance du potentiomètre	850 à 1150 Ω	1058

Courbe d'étalonnage



Description générale

- Sélection des canaux

L'utilisateur peut choisir les canaux analogiques qui enregistrent les données. Ceci permet d'utiliser au maximum la capacité de la mémoire si tous les canaux ne sont pas occupés. La capacité mémoire de 32 Koctets se divise entre les canaux retenus par l'utilisateur pour l'enregistrement (dans l'application les 4 canaux sont sélectionnés).

- Temps différé

L'utilisateur peut déclencher l'enregistrement et décider d'en différer l'heure et la date.

- Contrôle de l'alimentation

Il existe une possibilité d'afficher sur l'écran le nombre de jours d'enregistrement restants dans la pile. La consommation de la batterie (pile 9V) est fonction de l'affichage effectué. En effet, un affichage prolongé nécessite une tension supplémentaire.

Commandes

A part l'interrupteur de mise en service, toutes les commandes sont assurées par trois touches situées en retrait afin d'éviter la mise en marche accidentelle. Ces touches permettent à l'utilisateur de déclencher ou d'arrêter l'enregistrement, ou de modifier les autres fonctions comme suit :

- réglage pour enregistrement en mode esclave si nécessaire (non utilisé ici)
- choix du canal pour affichage
- revue de toutes les mesures mémorisées, avec affichage à la cadence de une par seconde
- réglage de la date et de l'heure
- choix de l'intervalle d'enregistrement, entre une seconde et 100 minutes
- réglage en différé de l'heure et de la date de fonctionnement
- choix des entrées à enregistrer
- affichage de l'état de la batterie mesuré en jours d'enregistrement
- choix du type de sortie vers l'ordinateur.

Modes d'enregistrement

L'utilisateur peut régler l'intervalle d'enregistrement entre une seconde et 100 minutes, par pas de une seconde.

A chaque enregistrement, les entrées des différents canaux sont mémorisées en séquence, chaque enregistrement prenant environ 25 millisecondes.

Sélection des gammes : chaque gamme est divisée en 250 étapes. Le choix des gammes a donc été effectué selon la précision désirée pour les mesures :

- température ---> de -20°C à +5°C
- reptomètre ---> de 0 à 5V

Transfert des données

Le transfert s'effectue à la vitesse de 4800 bauds et ne peut être effectué pendant l'enregistrement de mesures. La transmission ne peut être interrompue plus de deux secondes.

La transmission s'effectue en sélectionnant la fonction correspondant au transfert.

Cette méthode est contrôlée par un affichage à l'écran.

ANNEXE III.4 : EPSON HX 20 - Caractéristiques générales

Microprocesseur et mémoire

- un CPU maître et un CPU esclave
 - . microprocesseur 8 bits CMOS 6301
 - . horloge 614 KHz
- RAM
 - . 16 Koctets (standard) extensible à 32 Koctets avec le module d'expansion mémoire (option choisie)
- ROM
 - . 32 Koctets (standard) extensible à 40 Koctets et à 64 Koctets avec le module d'expansion mémoire.

Périphériques intégrés

- affichage
 - . un écran à cristaux liquides, matrice de 120 x 32 points
 - . affichage de 4 lignes de 20 caractères 5 x 7
 - . largeur virtuelle = 255 caractères
- imprimante
 - . une microimprimante à aiguilles 24 colonnes
 - . vitesse d'impression = 42 lignes/mn
 - . adressage graphique par point
- horloge
 - . date et heure, compteur, alarme, sauvegarde par circuits CMOS et batterie
- générateur de sons
 - . programmable 4 octaves avec demi-tons

Communications

- une sortie série
 - . full/half duplex
 - . vitesse 38400 bauds
- une sortie RS232C
 - . full/half duplex
 - . vitesse variant de 110 à 4800 bauds (vitesse utilisée pour le transfert des données de l'Ecureuil = 4800 bauds)

Interfaces pour périphériques

- lecteur code à barres
- cassette externe : interface standard
- bus : bus adresse 16 bits, bus données et commande 8 bits
- cartouche ROM / interface microcassette
 - . port E/S avec 3 entrées, 6 lignes de sortie
 - . l'interface microcassette a été choisi pour stocker les données

Alimentation

- 4 piles NiCd ; 1200 A/h
- autonomie de 50 heures
- recharge totale effectuée en 8 heures grâce à l'adaptateur 220V

ANNEXE III.5 : COMMUNICATION SERIE RS232C

Principe

Avec une transmission asynchrone des données, un bit de départ (0) est joint au début des données envoyées pour signaler que la transmission a commencé.

Comme l'indique la figure ci-dessous, le niveau de la ligne est maintenu à "1" quand il n'y a pas de données ; le début de la transmission d'un caractère est indiqué par la baisse du niveau de la ligne à "0".

Les bits de l'octet sont ensuite envoyés en commençant par le bit le moins significatif (LSB). Un bit d'arrêt (1) signale alors que la transmission du caractère est terminée.

La durée de chaque bit est fonction de la vitesse binaire. Par exemple si la vitesse est de 300 bps (bits par seconde), la durée de chaque bit est 3,3 ms.

Format des données pour les communications asynchrones

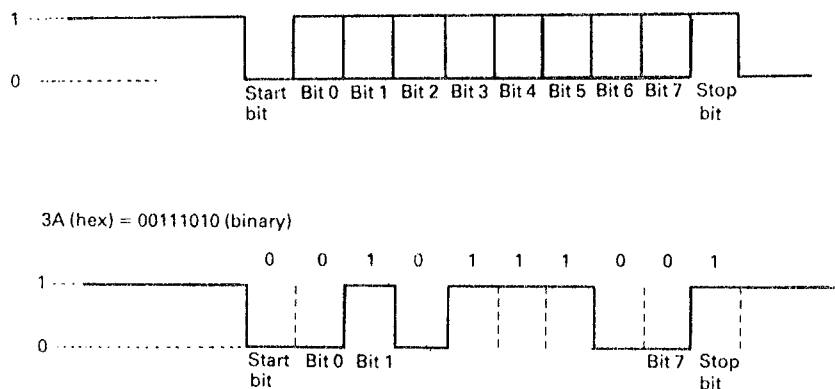
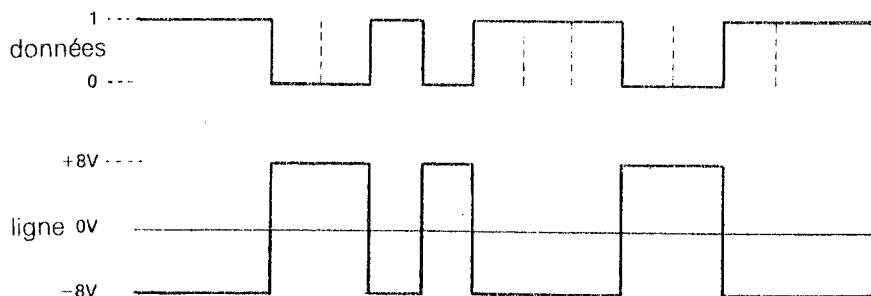


Figure A.III.3

En fait, -8V (-3 à -15V) sont délivrés quand le niveau de la ligne est "1" et +8V (+3 à +15V) quand le niveau est "0". La relation entre les états des bits et les tensions de la ligne est indiquée ci-dessous :

Relation entre les données et les signaux des lignes
Figure A.III.4



Limitation des communications série avec l'Epson HX 20

Etant donné que l'Epson HX 20 est construit de façon à garder la charge de sa batterie, un courant est normalement appliqué à la ligne série uniquement lorsque la communication est vraiment en cours. Donc, le signal est instable pendant le temps de montée de la tension, au début de la communication.

Tension au moment de la mise sous tension de la ligne

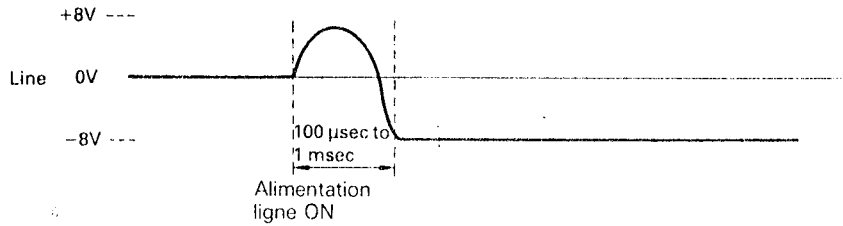


Figure A.III.5

Quand le RS232C est employé pour transmettre des données en série, TXD monte comme l'indique la figure ci-dessous. Il peut en résulter une réception incorrecte du côté réception selon la vitesse binaire et d'autres conditions.

Données au moment de la mise sous tension de la ligne

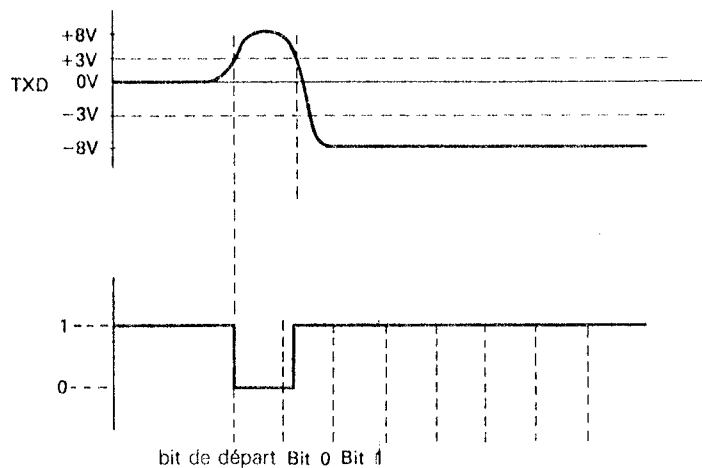


Figure A.III.6

En conséquence, un bit incorrect peut être reçu au début d'une transmission de données. Il existe plusieurs solutions à ce problème :

- a. utiliser une vitesse binaire suffisamment faible pour que le bit incorrect soit ignoré
- b. appliquer un courant sur la ligne en avance de façon à éviter les instabilités du signal pendant l'établissement de la tension.
- c. synchroniser les côtés réception et émission.

C'est cette dernière solution qui est employée dans le programme de transfert des données, entre l'Ecureuil et l'Epson.

La transmission s'effectuera à la vitesse de 4800 bauds.

BIBLIOGRAPHIE

- [BUL83] - BULL SEMS
- Manuel de référence M.P.E.S : Système exploitation multifonctions
- Manuel de référence ASM16
- 1983

- [CEN84] - CEN - EERM
- Détection sismique des avalanches. Premier rapport
- Neige et Avalanches n°38 - Septembre 1984 - Grenoble

- [DAV82] - DAVID D.J.
- Les systèmes à microprocesseurs
- Edi Tests - 1982

- [EFC80] - EFCIS
- Microprocesseurs et mémoires
- Circuits intégrés - MOS
- Catalogue 1980 - Thomson - CSF - Composants

- [ELE78] - Porte analogique synchronisée
- Electronique Applications n°5 - 1978

- [EPS82] - EPSON CORPORATION
- Ordinateur portable HX20
- Manuel d'utilisation et Manuel de référence Basic
- 1982

- [GAZ74] - GAZIN J.F.
- Filtres actifs à amplificateurs opérationnels
- Manuel d'applications C.I.L
- SESCOSEM - Thomson CSF - 1974 - Tome 3

- [GRA85] - GRANT INSTRUMENTS
- Squirrel Meter/Logger - User Manual
- Août 1985

- [HEN81] - HENROTTE M.
- Système d'acquisition de données en technologie faible consommation
- Extrait d'un rapport INRACI - Bruxelles - Section ETS électronique - 1981/82

- [IUT83] - IUT.A GRENOBLE
- Cours d'automatique continue
- 1983

- [KUN81] - KUNT M.
- Traitement numérique des signaux
- Traité d'électricité, d'électronique et d'électrotechnique
- Dunod - 1981

- [LEM83] - LEMASSON M., LAFEUILLE J.
- Le décodeur Argos CEN - 83
- Note de travail de l'Etablissement d'Etudes et de Recherches Météorologiques - n°66 - Août 1983

- [LIL81] - LILEN H.
 - Interfaces pour microprocesseurs et micro-ordinateurs
 Pratique - Circuits - Applications
 - Edition Radio - 1981

- [MIL75] - MILSANT F.
 - Cours d'électronique :
 . Tome I - Circuits à régime variable
 . Tome II - Synthèse
 . Tome III - Amplifications - Circuits intégrés
 . Tome IV - Contre réaction - Oscillation -
 Alimentation
 - Collection Electronique - Electrotechnique - Automatique
 - 1975

- [MIQ85] - MIQUEL R.
 - Le filtrage numérique par microprocesseurs
 - Edi Tests - 1985

- [MOT80₁] - MOTOROLA
 - M6805 - M146805 - Family - Microcomputer/Microprocessor
 - Users manual - 1980

- [MOT80₂] - MOTOROLA
 - Le microprocesseur MC146805 E2
 - Document technique - 1980

- [MOT...] - MOTOROLA
 - Le circuit horloge MC146818
 - Document technique

- [NAT80] - National Semiconductor
 - Linear Databook
 - 1980

- [POU82] - POUPOT C.
 - Cours de l'ENSERG (ENS d'électronique et de
 radioélectricité)
 . Etude des systèmes dynamiques - automatique
 . Systèmes linéaires invariants - Méthodes des
 fonctions de transfert - applications aux systèmes
 asservis linéaires
 . Expression et représentation des fonctions de
 transfert
 . Introduction à la logique binaire
 - 1982/83

- [REV81] - REVELLIN G.
 - Microprocesseurs : du 6800 au 6809 - Modes d'interfaçage
 - Dunod informatique - 1981

- [SES78] - SESCOSEM - THOMSON CSF
 - Microprocesseur SF.F 96800 et circuits associés
 - Division Semiconducteurs - Thomson CSF - 1978

- [SUR83] - SURGET W.
 - Réalisation d'une station autonome d'acquisition et stockage de données volcaniques et sismiques
 - Rapport de stage de l'Institut des Sciences et Techniques
 - Grenoble - 1983/84

- [TEX76] - TEXAS INSTRUMENTS INCORPORATED
 - The TTL Data Book for Design Engineers
 - 1976

- [THO85] - THOBOIS F.
 - Les convertisseurs A/D - D/A en tous genres
 - HP n°1715 - Avril 1985

- [TRU85] - TRUC P.
 - L'horloge temps réel MC146818 Motorola
 - Microsystèmes n°54 - Juin 1985

- [ZAK77] - ZAKS R., LE BEUX P.
 - Les microprocesseurs
 - Techniques et applications - 1977