le cnam

CONSERVATOIRE NATIONAL DES ARTS ET METIERS

CENTRE REGIONAL ASSOCIE DE BASSE NORMANDIE

MEMOIRE

Présenté en vue d'obtenir

le DIPLOME D'INGENIEUR CNAM

SPECIALITE : Mesure - Analyse

OPTION : Instrumentation - Qualité

Par

Stéphane CHARLOT

Caractérisation radiofréquence et amélioration de l'architecture d'un boîtier DHVQFN pour des applications micro-ondes

Soutenu le 13/12/2011

JURY

PRESIDENT : Mr Patrick JUNCAR, Professeur des universités au CNAM – Ecole SITI, département MAQIM

MEMBRES : Mr Philippe DUJARDIN, Responsable Filière Instrumentation, CNAM de Basse-Normandie
Mr Philippe BRUTUS, Responsable Filière Informatique, CNAM de Basse-Normandie
Mme Cécile DOLBEAU, Enseignante Communication écrite et orale, CNAM de Basse-Normandie
Mr Olivier TESSON, Ingénieur-Chercheur, NXP Semiconducteurs Caen
Mr Alain COUSIN, Manager du service PCC RF Small Signal, NXP Semiconducteurs Caen

Remerciements

Je tiens avant tout à remercier :

Monsieur Olivier TESSON, ingénieur-chercheur chez NXP Semiconducteurs Caen, mon tuteur et responsable de stage, qui a su m'aiguiller et me conseiller tout au long de ce projet. Je le remercie pour sa disponibilité, sa grande pédagogie, ses très nombreuses idées et sa bonne humeur (Ola Paco).

Monsieur Sidina WANE pour son expertise, ses conseils et d'avoir partagé ses immenses connaissances sur les outils et méthodologies électromagnétiques.

Messieurs Patrice GAMAND, manager général du service Innovation de NXP Semiconducteurs Caen et Alain COUSIN, responsable du groupe Technologie et Méthodologie pour m'avoir accueilli au sein de leur service, ceci me permettant de concrétiser ma formation d'ingénieur Cnam.

Pour leur contribution respective, les personnes des différents services de NXP, messieurs Fabrice GOULET, Cristian ANDREI et Dominique LESENECHAL, sans qui les mesures n'auraient pas pu aboutir.

Les personnes intervenantes auprès de NXP, monsieur Eric FORGET, pour son support quand à la fourniture et à la fabrication des substrats de mesures, monsieur Philippe TORREGROSSA pour son aide et ses conseils quand à l'utilisation des simulateurs électromagnétiques.

Monsieur Patrick JUNCAR, professeur des universités au Cnam, pour avoir accepté de présider le jury de mon mémoire.

Les membres de ce jury, messieurs Philippe DUJARDIN, Alain COUSIN, Olivier TESSON, Philippe BRUTUS et madame Cécile DOLBEAU d'avoir accepté de juger mon mémoire.

Monsieur Philippe DUJARDIN, responsable de la filière Instrumentation du Cnam de Basse-Normandie, pour m'avoir conseillé et enseigné la rigueur nécessaire à tout ingénieur en espérant y faire honneur.

Enfin, je remercie mon épouse, Mélanie, qui m'a soutenu au cours de mes études auprès du Cnam en faisant preuve d'une grande patience et de compréhension.

Glossaire

ASIC	Application Specific Integrated Circuit
BGA	Ball Grid Array
BL/BU	Business Line/ Business Unit
CAO	Conception Assistée par Ordinateur
CDIP	Ceramic DIP à cavité
CMOS	Complementary Metal Oxide Semiconductor
CMS	Composant Monté en Surface
CSP	Chip Scale/Size Package
DHVQFN	Dual Heatsink Very-thin Quad Flat-pack No-leads
DIP	Dual Inline Package
DUT	Device Under Test
EM	ElectroMagnetic
eWLB	embedded Wafer Level Ball grid array
FC	Flip Chip
FEM	Finite Element Method
FDTD	Finite Difference Time Domain
FPGA	Field Programmable Gate Array
GDS	Graphic Database System
GSG	Ground Signal Ground
HPMS	High Performance Mixed Signal
HVQFN	Heatsink Very-thin Quad Flat-pack No-leads
IF	Intermediate Frequency
ISS	Impedance Substrate Standard
LGA	Land Grid Array
LLBT	Lead-Less BreakThrough

MEMS	MicroElectroMechanical System
MOM	Method Of Moments
MMIC	Monolithic Microwave Integrated Circuit
NF	Noise Figure
PCC	Product Creation Center
PDIP	Plastic Dual In line Package
PL	Product Line
PLCC	Plastic Leaded Chip Carrier
QFP	Quad Flat Package
QFN	Quad Flat No lead
RDL	ReDistribution Layer
RF	Radio Frequency
SIP	System In Package
SO	Small Outline
SOC	System On Chip
SOP	Small Outline Package
SSOP	Shrink Small Outline Package
TQFP	Thin Quad Flat Package
TSOP	Thin Small Outline Package
TSV	Through Silicon Via
UTLP	Ultra Thin Leadless Package
VNA	Vector Network Analyzer
WB	Wire Bonding
WLP	Wafer Level Package
WIDI	WIring DIagram

Table des matières

Remerciements .....
Glossaire 4
Table des matières 6
Introduction 8
I PRESENTATION GENERALE 11
I.1 NXP SEMICONDUCTEURS 11
I.1.1 NXP dans le monde 11
I.1.2 NXP en France 12
I.1.3 Environnement du mémoire 13
I.2 LES CIRCUITS INTEGRES 14
I.3 LA CONNEXION DE LA PUCE AVEC SON ENVIRONNEMENT EXTERIEUR 17
I.3.1 Le report des signaux 18
I.3.1.1 La trame métallique 18
I.3.1.2 La couche de redistribution (RDL) 18
I.3.2 Les technologies d'interconnexions entre la puce et le boîtier 19
I.3.2.1 Le câblage par fils soudés 20
I.3.2.2 Le transfert automatique sur bande 27
I.3.2.3 La puce retournée 29
I.3.2.4 Assemblage au niveau de la tranche de silicium 31
I.3.3 Les principaux types de boîtiers 32
II PRESENTATION DU BANC DE CARACTERISATION RADIOFREQUENCE 34
II.1 OUTILS D'ANALYSE VECTORIELLE 34
II.1.1 Quadripôle et paramètres S 34
II.1.2 Représentation des paramètres S 36
II.1.2.1 Linéaire ou logarithmique 36
II.1.2.2 Abaque de Smith 37
II.1.2.3 Le diagramme polaire 38
II.2 BANC DE MESURE 38
II.2.1 L'analyseur de réseau 39
II.2.2 Connectique en place pour la mesure sous pointes 40
II.2.2.1 Câbles et connecteurs 40
II.2.2.2 Micro-Pointes radiofréquences 42
II.2.2.3 Autres équipements 44
II.3 ERREURS INTRODUITES LORS D'UNE MESURE HAUTE FREQUENCE 46
II.3.1 Les différents types d'erreurs 46
II.3.2 Les erreurs systématiques 47
II.3.2.1 La directivité 48
II.3.2.2 L'isolation entre les ports 48
II.3.2.3 Désadaptation de la source et de la charge 48
II.3.2.4 La réponse en fréquence 48
II.3.3 Modèles utilisés pour la correction des erreurs 48
II.4 LES DIFFERENTES METHODES DE CALIBRAGE 50
II.4.1 Calibrage SOLT (Short-Open-Load-Thru) 50
II.4.2 Calibrage LRRM (Line-Reflect-Reflect-Match) 52
II.4.3 Suppression des parasites 52
II.5 EXEMPLE DE MESURE DE LIGNE 55

III CARACTERISATION ELECTRIQUE ET MODELISATION ELECTROMAGNETIQUE DU BOITIER DHVQFN 60
III.1 DESCRIPTION DU PILOTE DE TEST 60
III.2 CARACTERISATION RADIOFREQUENCE APPLIQUEE AU BOITIER DHVQFN 62
III.2.1 Méthode de mesure du boîtier DHVQFN 66
III.2.2 Résultats de mesure 70
III.3 MODELISATION ELECTROMAGNETIQUE ET ELECTRIQUE DU BOITIER DHVQFN 73
III.3.1 Modélisation électromagnétique 73
III.3.2 Modélisation électrique 77
III.3.2.1 Extraction des parasites (matrice de couplage) 77
III.3.2.2 Simulation du modèle électrique 85
IV EVALUATIONS ET PROPOSITIONS D'AMELIORATION DU BOITIER DHVQFN 87
IV.1 PROPOSITION D'AMELIORATION DU BOITIER DHVQFN 88
IV.1.1 Les fils soudés 89
IV.1.1.1 Paramètre de longueur 89
IV.1.1.2 Propriétés intrinsèques des matériaux utilisés pour l'assemblage 91
IV.1.2 Les terminaux du boîtier 92
IV.1.3 Les vias traversants 96
IV.1.4 Proposition d'architecture de boîtier 98
IV.2 APPROCHE PUCE RETOURNEE, LE BOITIER LLBT 100
IV.2.1 Procédé de fabrication 100
IV.2.2 Méthode d'implémentation 102
IV.2.3 Extraction des parasites (matrice de couplage) 105
IV.3 PERFORMANCES ELECTRIQUES PROPRES AU CIRCUIT SATELLITE 109
IV.3.1 Résultats de simulation électrique de la chaine de réception 111
Conclusion 119
Bibliographie 122
Table des annexes 124
Annexe A Historique des boîtiers plastiques 125
Annexe B Guide d'onde et de lignes de transmission 129
Annexe C Méthode de modélisation électromagnétique 134
Annexe D Les ondes électromagnétiques 140
Annexe E Fiche technique du substrat ROGERS 4003C 142
Annexe F Fiche technique des micro-pointes « Infinity » 143
Liste des figures 145
Liste des tableaux 148

Introduction

Les progrès de la microélectronique rendent actuellement réalisable la fabrication de circuits intégrés silicium sur lesquels sont gravées de nombreuses fonctions couramment utilisées en téléphonie mobile et dans le domaine grand public (télévision, cuisine, automobile, consoles de jeux, domotique). Ces domaines nécessitent tous l'implémentation de circuits intégrés permettant la réception et/ou l'émission de signaux radiofréquence. Ces circuits sont généralement encapsulés dans des boîtiers qui leur assurent une protection mécanique et physique et qui leur permettent de se connecter à des systèmes extérieurs. Le développement spectaculaire de la microélectronique a engendré une augmentation importante de l'intégration des systèmes électroniques, de la fréquence de fonctionnement et par conséquent un accroissement de la complexité des boîtiers.

Afin de répondre aux besoins des utilisateurs et des fabricants, l'industrie des semi-conducteurs et plus particulièrement une société comme NXP, incite les centres de conception à développer des applications dans le domaine haute fréquence (ondes centimétriques). Ces applications ne seront possibles que si elles sont accompagnées par des boîtiers qui les supportent d'où la nécessité d'évaluer ces derniers dans ce domaine de fréquence. Le boîtier lui-même fait partie intégrante de la performance globale de l'application. L'évolution vers des circuits haute fréquence nécessitera probablement une redéfinition de l'architecture des boîtiers ainsi qu'une modélisation de ces derniers afin d'intégrer leurs caractéristiques le plus en amont possible dans le flux de conception lors du développement de l'application. Les boîtiers doivent être de conception légère, faible coût, compacte et présenter de bonnes caractéristiques électriques à haute fréquence.

Les circuits intégrés sont de plus en plus rapides afin de traiter un maximum d'informations en un minimum de temps, ce qui a pour conséquence d'accroitre inexorablement les fréquences d'horloges ainsi que le nombre d'interconnexions. Ces interconnexions ont des caractéristiques électriques qui ne doivent pas être négligées car elles peuvent influer de manière significative sur les performances du circuit. En conséquence, on se trouve face à une augmentation des problèmes liés à l'intégrité des signaux et aux interférences électromagnétiques, ce qui nous oblige à bien cerner les phénomènes électromagnétiques existants au sein des boîtiers. L'évaluation de boîtiers existants grâce aux mesures radiofréquences permettra donc d'en identifier les points faibles et ainsi de proposer des pistes d'amélioration cohérentes avec leur processus de

fabrication. Un boîtier est difficile à caractériser et cela pour plusieurs raisons : tout d'abord, les terminaux du boîtier sont difficilement accessibles à l'aide de technique standard de par leur espacement et leur structure non planaire, en outre, les matériaux utilisés par les fabricants ne sont pas forcément caractérisés et sont assez variés, ce qui rend l'interprétation des performances électriques assez difficiles.

L'objectif de ce mémoire consiste, dans un premier temps, à proposer et mettre en œuvre une technique de caractérisation radiofréquence originale appliquée à un boîtier existant chez NXP, le DHVQFN. Le but de cette caractérisation est d'évaluer et de mettre en évidence les limitations électriques de ce boîtier dans le domaine d'applications des ondes centimétriques (fréquence de 1 à 30GHz). La seconde partie sera consacrée à la comparaison entre les résultats de la caractérisation radiofréquence et ceux obtenus après simulations électromagnétiques réalisées au préalable avec le simulateur 3D EMPro d'Agilent calibré. Ce calibrage sera en outre validé par la mesure de lignes de transmission réalisées sur le même support de mesure que celui du boitier DHVQFN. Pour terminer, je serai amené à proposer et évaluer des pistes d'améliorations au niveau de l'architecture du boîtier DHVQFN afin d'obtenir des performances électriques acceptables dans le domaine d'applications visé en utilisant le simulateur EMPro. L'utilisation de ce simulateur électromagnétique permet in fine de réduire le nombre d'itérations de conception lors de la mise au point d'un boîtier.

Ce mémoire s'articule autour de quatre axes principaux :

- ✓ dans le premier chapitre sont présentées les différentes catégories de circuits intégrés et l'étape de mise en boîtier qui permet la connexion de la puce avec son environnement extérieur. Les techniques de report des signaux et les technologies d'interconnexion seront ensuite exposées. La description des éléments physiques et électriques qui composent ces interconnexions permettra déjà d'entrevoir les éventuelles limitations électriques des boîtiers en vue de leur utilisation au sein d'applications haute fréquence.

- ✓ le second chapitre présentera les principaux éléments constituant le banc de caractérisation radiofréquence qui sera utilisé. Ensuite, la définition des erreurs introduites lors d'une mesure haute fréquence ainsi que les méthodes permettant de les éliminer seront décrites, ce qui permettra de mettre en évidence la problématique des mesures dans le domaine de la radiofréquence.

✓ le troisième chapitre concernera la caractérisation radiofréquence, cette fois-ci appliquée au boîtier DHVQFN, dans le but de rendre compte de la démarche scientifique que j'ai suivie afin d'aboutir à des résultats de mesures électriques de boîtiers. Ces résultats mettront en évidence le comportement électrique ce type de boîtier à haute fréquence. La seconde partie de ce chapitre permettra de montrer la pertinence des résultats obtenus par la comparaison de ces derniers à ceux obtenus à l'aide du simulateur électromagnétique 3D EMPro. Cette étape, très importante dans un flux de conception radiofréquence, permet de confirmer ou non la validité des modèles électromagnétiques et électriques du boîtier.

✓ le dernier chapitre mettra davantage l'accent sur une démarche d'exploration qui nous a amenés à considérer différentes voies pour améliorer les performances électriques du boîtier DHVQFN dans le domaine de fréquence visé telles que :

- la forme du boîtier,
- les matériaux utilisés,
- les types de connexions.

I Présentation générale

I.1 NXP Semiconducteurs

I.1.1 NXP dans le monde

NXP a été fondée en 2006 par la vente de la division semi-conducteurs de Philips. Son siège social est basé à Eindhoven, aux Pays-Bas, et 28 000 salariés y sont employés dans plus de 25 pays. NXP est l'une des 10 premières sociétés mondiales spécialisées dans les semi-conducteurs réalisant un chiffre d'affaires net de 3.8 milliards de dollars dont 62% provient de l'Asie.

NXP fournit des solutions hautes performances en traitement de signal ainsi que des produits standards qui exploitent l'avance de l'entreprise dans les technologies radiofréquences, analogiques, gestion d'énergie, interface, sécurité et traitement numérique. Ces innovations sont utilisées dans une vaste gamme d'applications dans les secteurs de l'automobile, identification, infrastructures sans fils, éclairage, industrie, mobilité, produits grand public et informatique.

Quelques chiffres clés de NXP :

- ✓ ventes par région :

Chine	31%	Taiwan	3%	Pays-Bas	3%
Corée du Sud	5%	Singapore	11%	Allemagne	8%
Etats-Unis	7%	Autre	32%		

- ✓ recherche et développement :
  - Investissement de 600 millions de dollars par an
  - 3 200 ingénieurs
  - Environ 14 000 brevets
  - 23 centres de R&D
- ✓ 28 000 salariés dans plus de 25 pays :

Europe	31%	Chine	25%
Asie	41%	Etats-Unis	3%

✓ 11 sites de fabrication dans le monde :

- 6 sites de test et d'assemblage (Bangkok, Cabuyao, Guangdong, Hong Kong, Kaohsiung, Seremban)
- 5 centres de fabrication (Hambourg, Jilin, Manchester, Nimègue, Singapour)

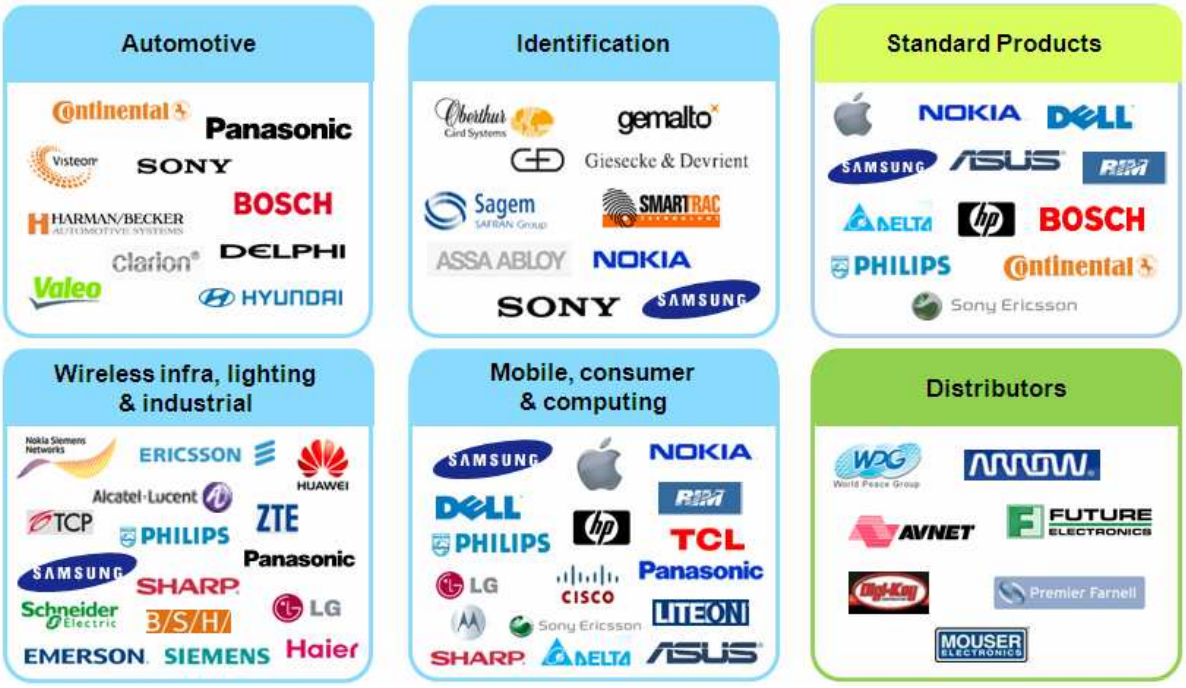
NXP a plus de 40 clients représentant 50% des ventes en comptant parmi eux Apple, Bosch, Continental, Delphi, Ericsson, Nokia, Panasonic, Philips, Samsung,… L'entreprise est répartie en divisions, chacune adressant des segments de marché différents :

✓ Automobile

✓ Solutions hautes performance en traitement du signal

✓ Identification

✓ Produits standards



FigureI.1: Clients majeurs de NXP répartis par secteurs d'activités

I.1.2 NXP en France

En France, NXP emploie 720 salariés dont 80% en recherche et développement. L'entreprise dispose de :

✓ 2 centres de R&D à Caen et Suresnes,

- ✓ une organisation Ventes et Commercialisation International à Suresnes.

NXP est également en coopération avec les laboratoires de recherches et universités comme le CNRS, CNRT, Institut EURECOM, ENSI, ESIEE, ESIGELEC,… Elle est aussi membre de deux pôles de compétitivité :

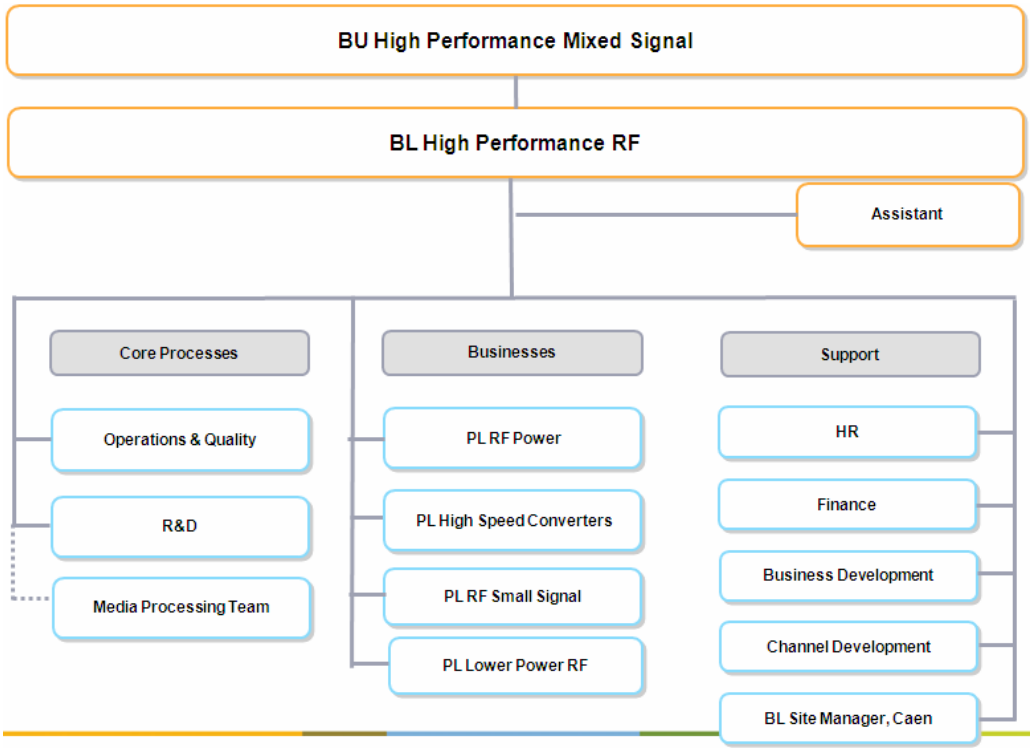
- ✓ transactions Electroniques Sécurisées (TES Caen),
- ✓ technologies de l'Automobile (Mov'éo Paris – Caen).



FigureI.2: NXP Semiconducteurs CAEN

I.1.3 Environnement du mémoire

Chaque division (BU) est répartie en sous-divisions (BL) appelées les lignes d'affaires qui sont séparées en division de produit (PL). J'ai effectué mon mémoire au sein de la division produit PCC (Centre de Création des Produits) qui est située dans la BU HPMS. Les principales missions de ce service sont d'assister les lignes d'affaires pour satisfaire pleinement les développements clients en fournissant les meilleures compétences et méthodologies mais également en les supportant à partir du concept initial du projet jusqu'à la mise en production. Les compétences de ce service sont pluridisciplinaires telles que les connaissances et la maîtrise des procédés de fabrication, l'environnement applicatif, le test, l'assemblage ainsi que les outils et les méthodologies de conception de produits.



FigureI.3: Organigramme de la BL HPRF

I.2 Les circuits intégrés

La microélectronique est aujourd'hui et le sera davantage demain, un des moteurs essentiels dans la construction de la nouvelle société de l'information et de la communication du 21ème siècle. Le secteur des équipements et des systèmes électroniques est un des premiers secteurs industriels au monde. L'industrie électronique adresse plusieurs segments tels que :

✓ les secteurs des technologies de l'informatique, télécommunications, électronique grand public et industrielle qui nécessitent des circuits intégrés très performants,

✓ l'électronique pour l'automobile et les transports qui supposent un fonctionnement de circuits fiable dans un environnement contraint (température, pression, humidité),

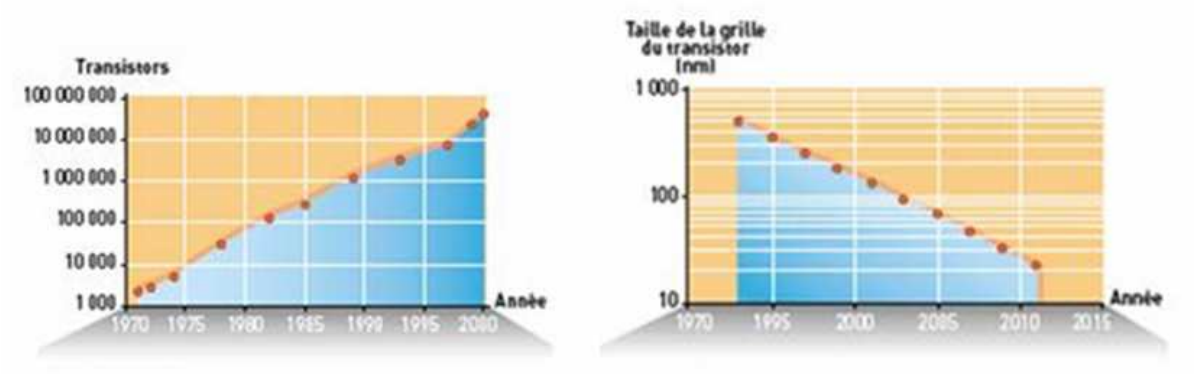
✓ et l'électronique militaire et spatiale qui est un secteur stratégique et très spécifique mais qui, compte tenu des contraintes budgétaires, fait appel de plus en plus à des circuits se satisfaisant de technologies de fabrication développées pour les autres segments.

Au-delà des évolutions scientifiques et économiques liées au secteur des semi-conducteurs, leur omniprésence dans la vie quotidienne et les espoirs qu'ils suscitent impliquent une réflexion éthique sur leur place dans la société. L'industrie de la microélectronique apparaît donc comme un secteur potentiellement crucial pour surmonter les défis sociétaux du 21ème siècle tels que l'explosion des dépenses de santé, les coûts liés au vieillissement de la population, la maîtrise de la consommation d'énergie ou encore la gestion du trafic routier. Néanmoins, l'intégration croissante de composants de plus en plus performants et miniaturisés dans les objets de la vie quotidienne présente deux inconvénients :

- ✓ d'une part, son coût écologique est non négligeable car la microélectronique est une industrie très consommatrice en ressources naturelles (électricité, eau, matériaux rares) et fortement productrice de déchets. Le développement d'une électronique verte plus respectueuse de l'environnement est donc indispensable.

- ✓ d'autre part, la protection des données à caractère privé apparaît de plus en plus difficile à mettre en œuvre.

A titre d'exemple, un circuit intégré conçu de nos jours dans une technologie CMOS utilise plusieurs dizaines de millions de transistors de très faibles dimensions sur une surface de quelques cm^2. Ce circuit fonctionne à une fréquence de plus en plus élevée et de ce fait peut dissiper une puissance importante de l'ordre de 100 W/cm^2. Les performances techniques recherchées pour les téléphones mobiles sont une bonne illustration des objectifs à atteindre (faible poids, faible volume, grande autonomie, bonne couverture géographique, faible coût) sur des marchés où la compétition et la concurrence sont très fortes. Ces performances sont atteintes en intégrant l'ensemble des fonctions sur un ou deux circuits intégrés spécifiques. D'une manière générale, le nombre de transistors par circuit intégré double tous les 18 mois. Cette évolution déterministe a été prédite par la loi de "Moore" et s'est vérifiée sur les trente dernières années et continue avec l'apparition des transistors 3D [CHA06]. Cet essor a été rendu possible par les progrès concernant aussi bien l'architecture des transistors et leurs technologies de fabrication (amélioration de la résolution de la lithographie) que l'architecture des circuits eux-mêmes. La croissance exponentielle du nombre de transistors sur une seule puce, conséquence de l'évolution des technologies de fabrication, permet d'y intégrer des fonctions de plus en plus complexes, jusqu'à l'intégration de systèmes complets.



FigureI.4: Evolution du nombre de transistors et de leur taille de grille

Les circuits intégrés sont classés en cinq catégories :

✓ les circuits standards dont la fonction est fixée à la fabrication (processeurs, mémoires),

✓ les ASIC semi-spécifiques dont la fonction est fixée soit à la fabrication ou soit par l'utilisateur (circuits programmable FPGA),

✓ les ASIC spécifiques (systèmes sur puce SOC),

✓ les circuits hybrides (modules multi-puces MCM et systèmes en boîtier SIP) et les microsystèmes (MEMS),

✓ et les ASIC qui constituent la troisième génération de circuits intégrés qui a vu le jour au début des années 1980.

La microélectronique hyperfréquence s'est largement développée dans les années 1970 à 1980, couvrant l'ensemble des domaines d'applications comme le militaire (détection, guidage), les télécommunications (réception satellite, téléphonie sans fil, communications par fibre optique), les transports, le médical et le spatial. Remplaçant avantageusement des parties encombrantes en guide d'ondes ou en lignes coaxiales, elle a consisté, dans un premier temps, à assembler sur un substrat adéquat (téflon, céramique) les composants actifs et passifs nécessaires à la propagation des signaux hyperfréquences, puis dans un second temps, tous ces composants ont été intégrés sur un même substrat pour donner naissance au Circuit Intégré Monolithique Hyperfréquence (MMIC). Les solutions hybrides à composants discrets s'effacent progressivement au profit de solutions monolithiques dont les avantages sont une meilleure reproductibilité, fiabilité et des performances élevées pour un coût et un encombrement plus faible.

I.3 La connexion de la puce avec son environnement extérieur

La mise en boîtier, dans le domaine de l'électronique, est l'art d'établir les interconnexions entre la puce et l'environnement extérieur. Cette mise en boîtier est une étape cruciale du procédé de fabrication des systèmes microélectroniques. Elle permet de garantir simultanément une protection du dispositif par rapport aux éléments nocifs de son environnement (pollution, poussière, humidité, chocs mécaniques, rayonnement, pression,…) et une connexion avec la partie électronique. Les composants électroniques, dans leur grande majorité, utilisent une encapsulation plastique. Seules quelques applications spatiales et militaires ou particulières (tête de forage pétrolier) qui possèdent des contraintes très fortes en termes de performances (matériaux endurcis, pression, température,…), dont les boîtiers sont réalisés avec des boîtiers tantôt en céramique tantôt en métal, n'ont pas encore adopté la résine plastique pour une production de masse. La principale motivation de l'emploi de l'encapsulation plastique est la réduction des coûts surtout pour les volumes de production des applications grand public.

Le boîtier doit aussi permettre le test électrique individuel du circuit en fin de production ainsi que sa préhension par les machines automatiques de report sur circuit imprimé. Il permet également l'identification du composant pendant toute sa durée de vie. Les exigences de la mise en boîtier sont multiples et doivent notamment répondre aux spécifications suivantes :

- ✓ offrir des performances électriques compatibles avec l'application visée en garantissant notamment un niveau de parasites le plus faible possible,
- ✓ avoir un coût de revient le plus faible possible,
- ✓ avoir un temps de production réduit,
- ✓ garantir un haut niveau de reproductibilité et de fiabilité.



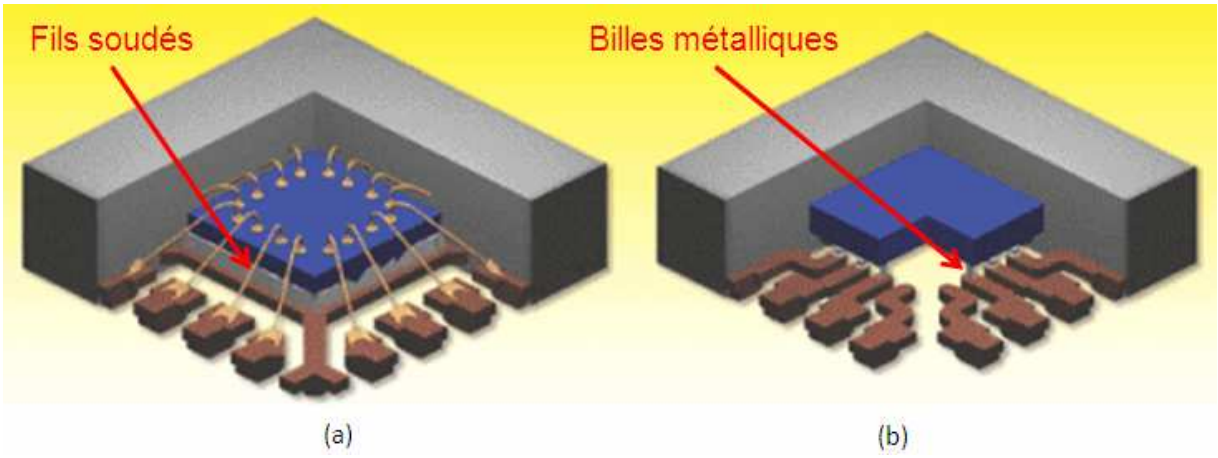
FigureI.5: Puce de silicium intégrée dans son boîtier (source fotolia)

Une fois la puce réalisée sur le substrat, elle est mise en boîtier qui est lui-même placé ou soudé sur un circuit imprimé. Afin que les signaux issus de la puce puissent être redirigés vers les pistes du circuit imprimé, ces derniers doivent être reportés depuis les contacts de la puce jusqu'à l'extérieur du boîtier. Ce report de signaux peut se faire de différentes façons, les deux techniques, les plus couramment utilisées, sont la trame métallique et la couche de redistribution qui sont décrites dans le paragraphe suivant.

I.3.1 Le report des signaux

I.3.1.1 La trame métallique

La trame métallique, appelée également "Lead Frame", est une couche métallique fine dans laquelle sont gravées des pistes. Avant sa mise en boîtier, il existe deux possibilités de connecter la puce à cette trame. Soit le circuit est collé sur la trame conductrice puis connecté à cette dernière par l'intermédiaire de fils soudés (cf. figure I.6.a), comme le cas du boîtier DHVQFN de l'étude, ou bien la puce est retournée et connectée à la trame par l'intermédiaire de billes métalliques (cf. figure I.6.b). C'est une technique de report de signaux en périphérie donc la place occupée par le boîtier peut devenir assez importante selon le nombre de terminaux.

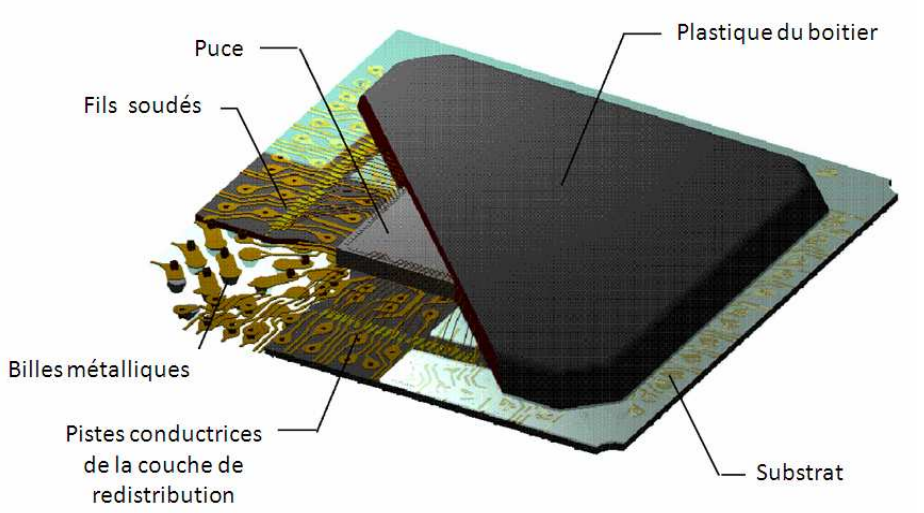


FigureI.6: Report des signaux par trame métallique

I.3.1.2 La couche de redistribution (RDL)

La deuxième technique de report de signaux consiste à transformer la zone périphérique de connexions par une matrice de billes métalliques (cf. figure I.7). Le report des connexions de la puce est toujours réalisé soit au moyen de fils soudés ou de billes métalliques. Une couche composée de métallisations est insérée sous le circuit. Les connexions périphériques issues des fils soudés ou des billes métalliques sont alors

redirigées sur toute la surface du boîtier grâce à ces métallisations supplémentaires. Par la suite, l'ensemble est connecté au circuit imprimé par l'intermédiaire de billes métalliques.



FigureI.7: Principe de la couche de redistribution

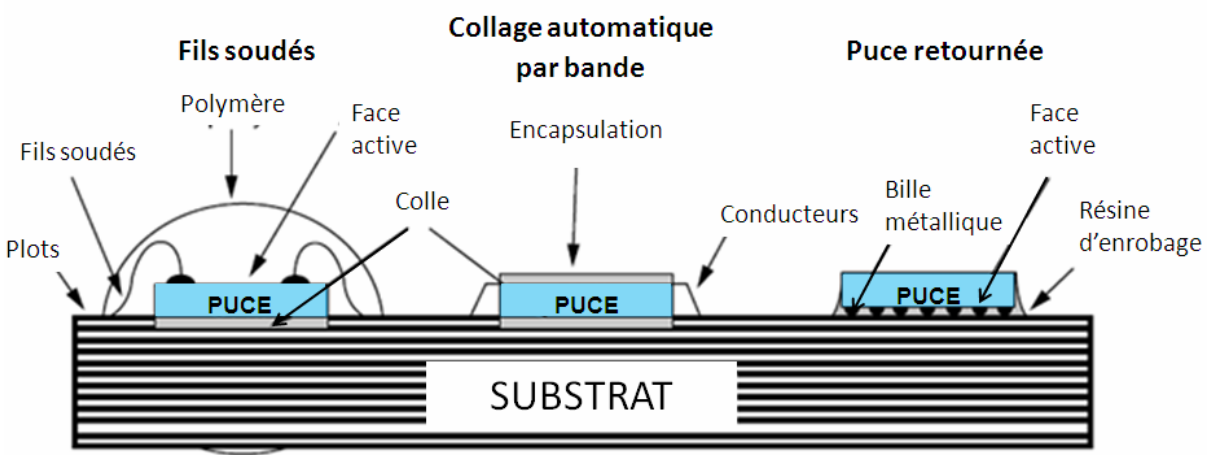
L'avantage de cette technique de report est de permettre une distribution choisie des signaux d'alimentation et de masse car un signal identique peut être transporté vers plusieurs billes métalliques différentes. Ainsi, cela permet d'obtenir une localisation des masses et des alimentations plus importante. Il en résulte donc une haute densité de connexions qui est très utile en particulier pour les circuits numériques. Cependant, une telle redistribution des signaux implique des lignes de connexion plus ou moins longues, ce qui engendre des parasites supplémentaires qui viennent dégrader le fonctionnement intrinsèque du circuit. Cela peut également engendrer des couplages parasites critiques à haute fréquence, ce qui est très délicat en terme de conception en radiofréquence.

I.3.2 Les technologies d'interconnexions entre la puce et le boîtier

La performance d'un circuit intégré est en partie liée à la qualité de ces interconnexions mais également à la puce. Une mauvaise stratégie de connexion peut dégrader de manière significative ces performances. En effet, la propagation des signaux à travers l'ensemble du dispositif ne doit présenter aucune discontinuité électrique.

Il existe trois méthodes d'interconnexions de la puce vers le boîtier :

- ✓ les fils soudés ("Wire bonding"),
- ✓ le collage automatique par bande (TAB),
- ✓ la puce retournée ("Flip Chip").



FigureI.8: Technologies d'interconnexions (le boitier n'est pas représenté volontairement)

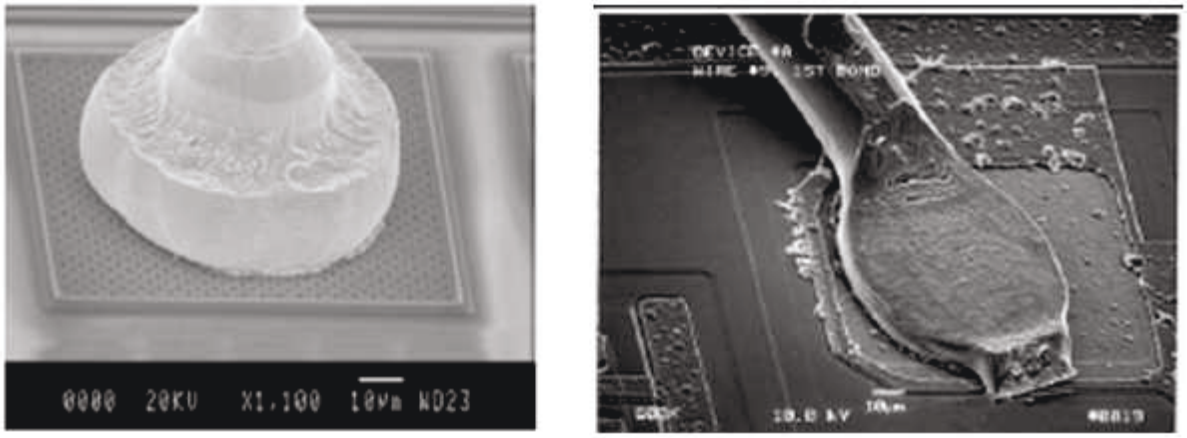
Ces trois techniques d'interconnexions (cf. figure I.8) sont indépendantes et présentent des caractéristiques différentes que ce soit en termes de densité d'intégration qu'en termes de performances électrique et thermique. Chacune de ces techniques fera l'objet d'une description dans les paragraphes suivants ce qui permettra de mettre en évidence les éléments électriques intervenant dans les interconnexions.

I.3.2.1 Le câblage par fils soudés

Ce paragraphe est divisé en deux parties où sont abordés tout d'abord les paramètres technologiques des fils soudés puis la seconde partie propose une évaluation analytique des paramètres électriques inhérents à ce genre de structure.

a). *Description des paramètres technologiques*

Le câblage par fils soudés est une technique utilisant un procédé de fabrication mature et elle est la plus ancienne des méthodes basée sur des interconnexions réalisées au moyen de fils conducteurs. Malgré l'émergence de nouvelles techniques d'interconnexion, le fil soudé reste la technique la plus utilisée dans les circuits intégrés. Ces fils conducteurs sont généralement composés d'or, de cuivre ou d'aluminium, l'or étant privilégié pour sa meilleure conductivité mais le cuivre se fait de plus présent pour des raisons de coût. Le cuivre est aussi plus conducteur que l'aluminium. Les diamètres des fils varient de 18 à 50µm et leurs extrémités sont soudées sur des plots de métallisation ou sur une trame métallique (cf. figure I.9.a et I.9.b).

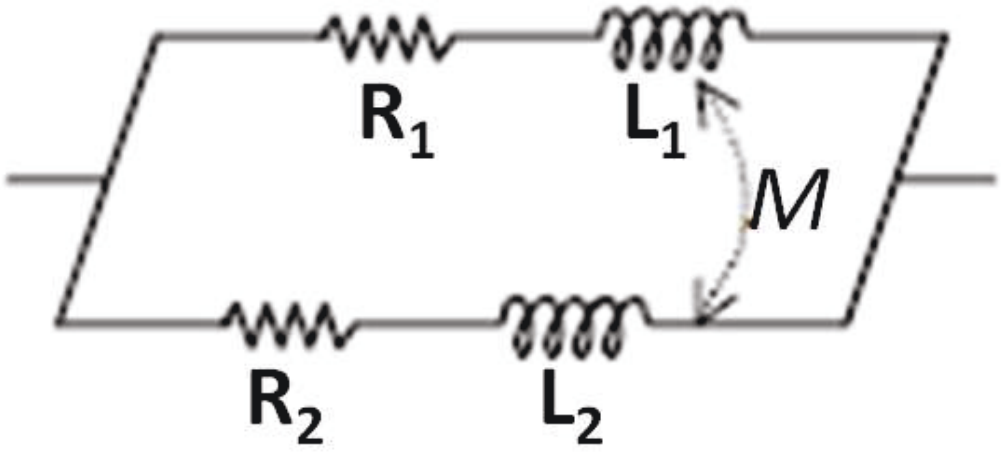


FigureI.9: Type de soudure des extrémités des fils soudés

b). *Description des paramètres électriques*

Le fil soudé est considéré comme un conducteur électrique filiforme défini par son impédance $Z = R + jX$ où X est généralement égal à Lw avec $w = 2\pi.freq$. Ce fil peut être modélisé à l'aide d'un circuit électrique équivalent (cf. figure I.10) comprenant une résistance et une inductance propre variant en fonction de la fréquence. Dans le cas de deux conducteurs parallèles, il est nécessaire d'ajouter un autre paramètre qui est l'inductance mutuelle M.

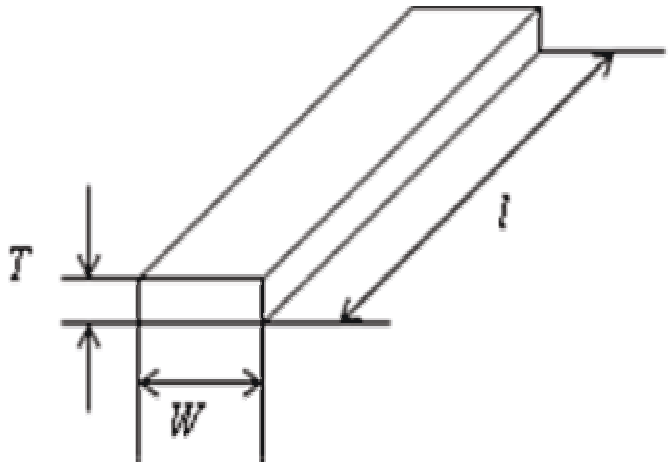
On trouve également des capacités parasites comme une capacité de couplage entre les deux fils et une capacité de couplage avec la masse pour chacun des deux fils qui ne sont volontairement pas représentées sur le schéma suivant.



FigureI.10: Schéma électrique équivalent de deux fils soudés

- Calcul de l'inductance propre d'un fil soudé

L'inductance propre d'un fil est évaluée en utilisant le concept des inductances partielles et des inductances mutuelles partielles de Ruehli [RUE72]. En 1971, Albert Ruehli [RUE72] propose une technique de modélisation consistant à découper les lignes d'interconnexion en parallélépipèdes rectangles puis à assimiler une cellule équivalente RLC (résistance, inductance et capacité) à chacun des segments formant alors un circuit équivalent composé d'éléments partiels.

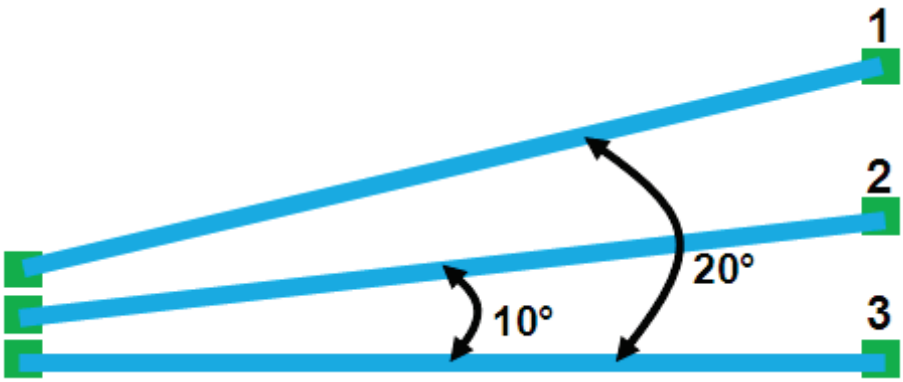


FigureI.11: Géométrie d'un conducteur

Si on considère un conducteur de longueur l, de largeur W et d'épaisseur T (cf. figure I.11), l'expression de l'inductance propre est donnée par l'équation suivante:

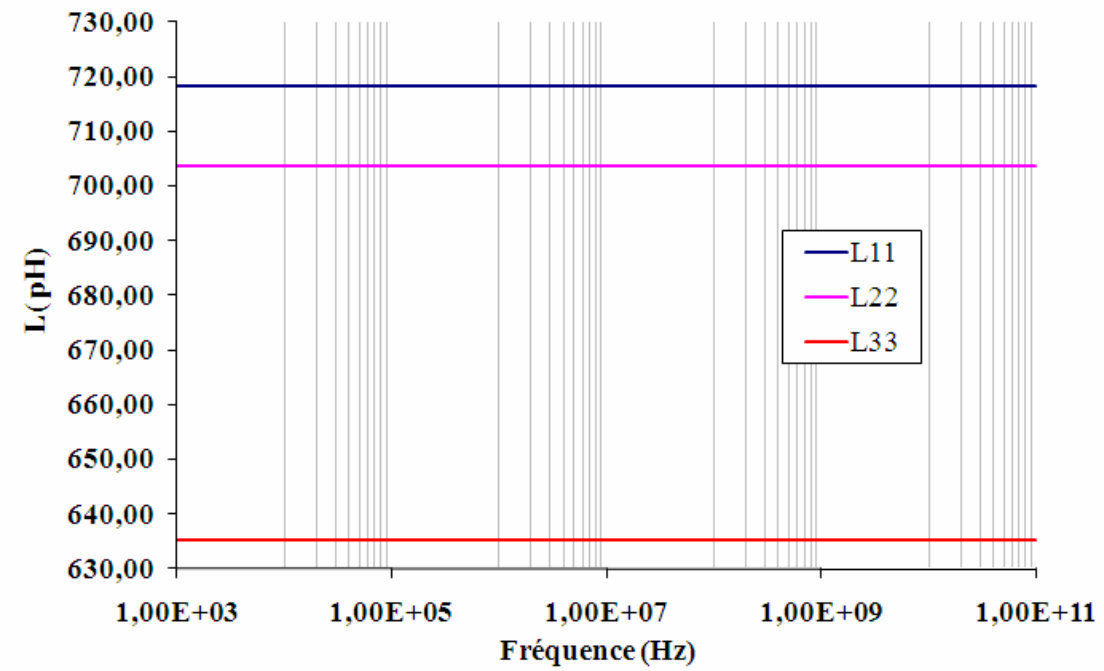
$$L \approx \frac{\mu_0}{2\pi} l \left(\ln\left(\frac{2l}{w+t}\right) + 0.5 + \frac{w+t}{3l} \right) \text{ où } \frac{\mu_0}{2\pi} = 2.10^{-7} (H/m)$$

Un réseau de trois fils voisins a été simulé avec comme paramètres un rayon de 10µm, une longueur d'environ 700µm et une implémentation décrite sur la figure I.12.



FigureI.12: Représentation du réseau de trois fils soudés

Les résultats pour l'inductance propre de chaque fil sont donnés ci-dessous.

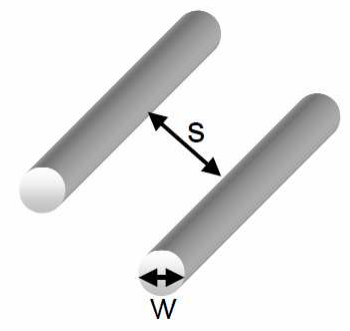


FigureI.13: Inductance propre du réseau de trois fils soudés

On peut remarquer que l'inductance propre d'un fil (L_{11}, L_{22} ou L_{33}) dépend entre autre de sa longueur donc si on souhaite minimiser cette valeur d'inductance, il sera nécessaire d'avoir une longueur de fil soudé la plus courte possible.

- Calcul de l'inductance mutuelle

Un conducteur parcouru par un courant électrique génère un champ magnétique vers l'extérieur. Lorsque deux fils sont à proximité l'un de l'autre, leurs champs magnétiques respectifs s'additionnent si les courants circulent en sens opposés, ou se soustraient si les courants circulent dans le même sens, c'est la loi de Lenz. Il en résulte donc une modification des lignes de champ propres à chaque fil ce qui se traduit par la présence d'une inductance mutuelle entre les deux conducteurs.



FigureI.14: Modélisation de deux conducteurs parallèles alignés

Pour deux conducteurs parallèles de largeur w et espacés d'une distance s (cf. figure I.14), avec L_w l'inductance propre d'un conducteur de largeur w, Zhong [ZHO02] a montré que l'inductance mutuelle entre ces deux conducteurs pouvait se calculer par l'équation suivante :

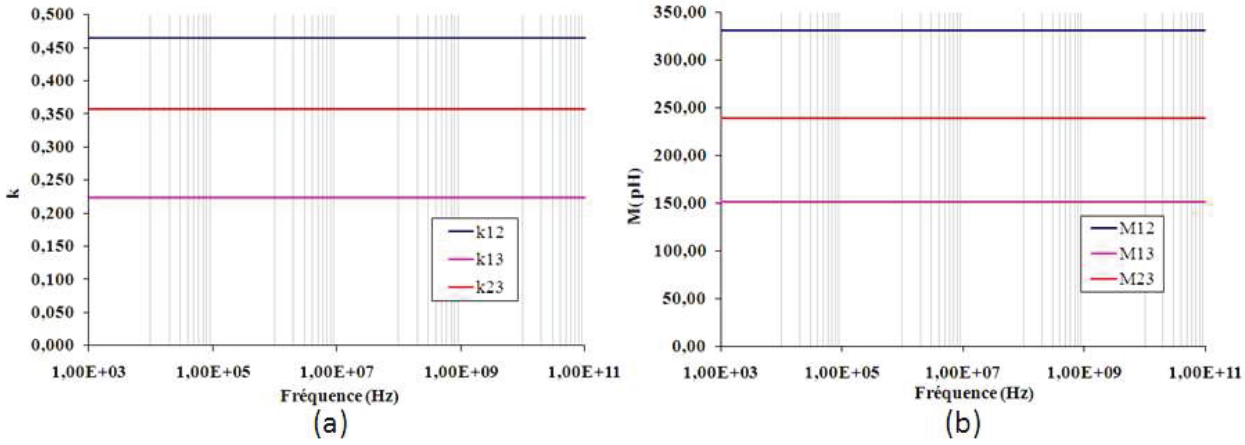
$$M = \frac{1}{2w^2}\left[(2w+s)^2 L_{2w+s} + s^2 L_s - 2(w+s)^2 L_{w+s}\right]$$

où L_{2w+s} représente l'inductance propre d'un conducteur de largeur $2w+s$ et L_{w+s} représente l'inductance propre d'un conducteur de largeur $w+s$.

A partir du calcul des inductances propres et de l'inductance mutuelle, le coefficient de couplage magnétique entre deux fils voisins s'obtient grâce à l'équation suivante :

$$k_{12} = \frac{M_{12}}{\sqrt{L_{11} L_{22}}}$$

où L_{11} et L_{22} sont les inductances propres des deux fils et M_{12} l'inductance mutuelle. Le coefficient de couplage (cf. figure I.15.a) ainsi que l'inductance mutuelle (cf. figure I.15.b) du réseau des trois fils soudés sont représentés ci-dessous.

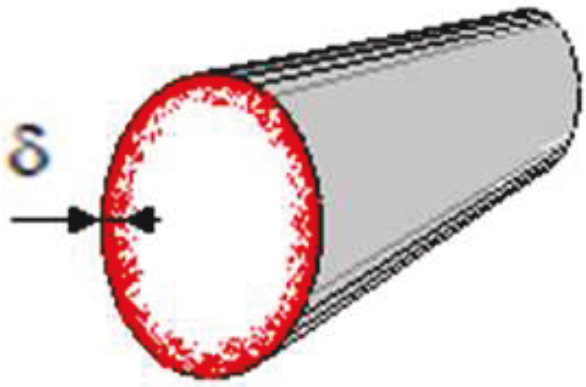


FigureI.15: Coefficient de couplage et mutuelle inductance du réseau de trois fils soudés

On peut remarquer que la mutuelle inductance varie avec l'espacement entre les fils et est inversement proportionnelle à la distance s. Le coefficient de couplage entre deux fils voisins consécutifs est de l'ordre de 0,3 à 0,4, ce qui est conforme avec ce qui est présent dans la littérature contre une valeur d'environ 0,2 pour les seconds voisins.

- Calcul de la résistance d'un fil soudé

Lorsqu'un fil est parcouru par un courant continu ou à basse fréquence, sa densité de courant est uniforme. Lorsque la fréquence augmente, la densité de courant varie et décroit de façon exponentielle au fur et à mesure que l'on s'éloigne de la surface du conducteur. Le courant tend à se répartir de plus en plus sur les bords entraînant ainsi une augmentation de la résistance électrique. Lorsqu'un conducteur est traversé par un courant I, un champ magnétique apparaît à l'intérieur et à l'extérieur du conducteur. Le champ magnétique interne crée à son tour un courant induit (courant de Foucault) [NIK01] qui s'oppose au courant initial faisant apparaître dans le conducteur une nouvelle répartition de courants. Ce phénomène électromagnétique est l'effet de peau [NIK01]. La largeur de la zone sur laquelle le courant se concentre a une épaisseur δ, nommée épaisseur de peau (cf. figure I.16) et est fonction de la résistivité du conducteur ρ, sa permittivité μ et sa fréquence f.

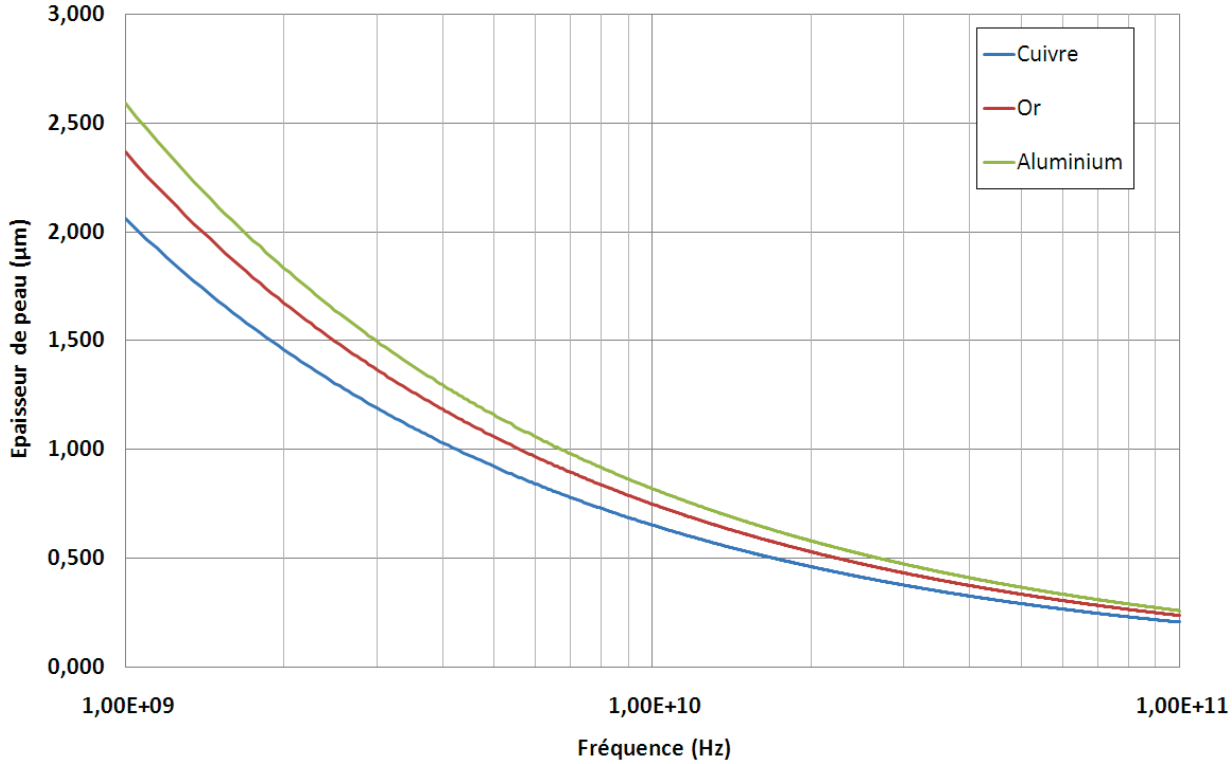


FigureI.16: Illustration de l'effet de peau dans un conducteur à haute fréquence

L'épaisseur de peau est définie comme :

$$\delta = \sqrt{\frac{\rho}{\pi.\mu.f}} \text{ exprimée en mètre (m)}$$

La figure I.17 illustre l'épaisseur de peau en fonction de la fréquence pour trois types de matériau utilisés dans la composition des fils soudés (cuivre, or et aluminium) dans le domaine de fréquence qui va nous intéresser pour la caractérisation du boîtier DHVQFN (de 1 à 50GHz).



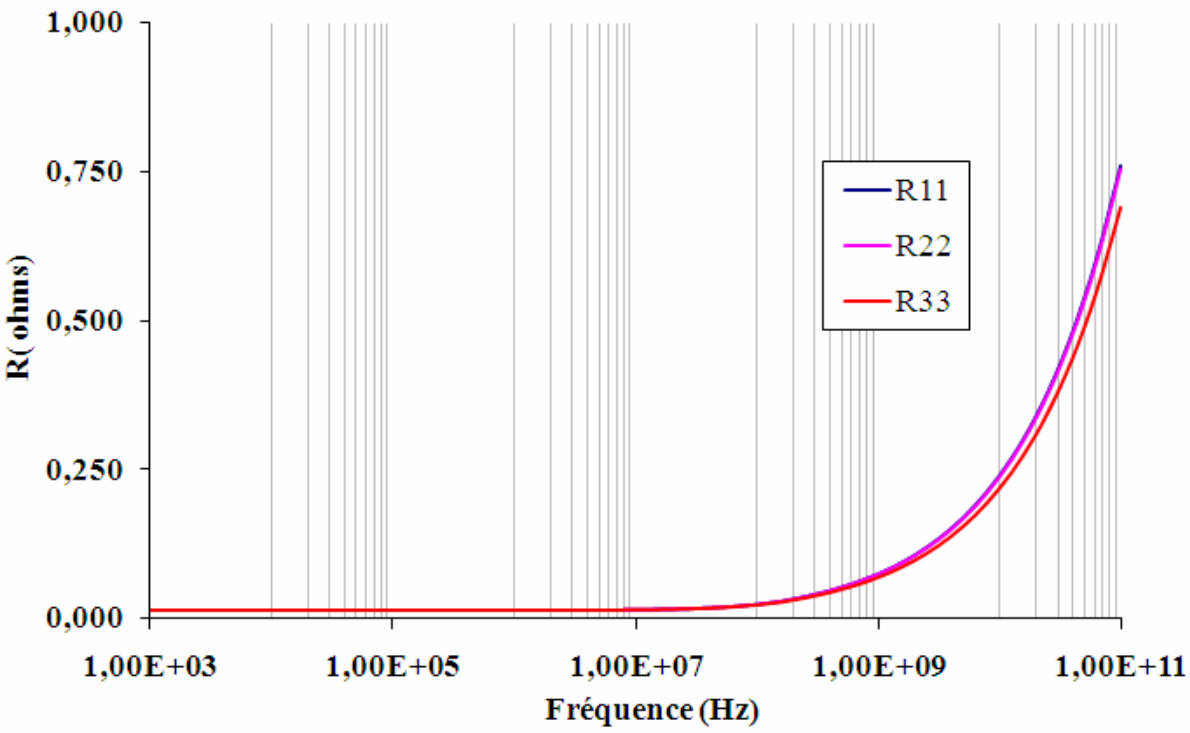
FigureI.17: Epaisseur de peau en fonction de la fréquence (fréquence 1GHz à 100GHz)

On peut ensuite en déduire la valeur de résistance d'un fil soudé en continu R_{DC} et à plusieurs fréquences R_{AC} basée sur les équations suivantes avec comme paramètres le rayon r, la longueur l, la conductivité σ du conducteur ainsi que la fréquence de fonctionnement f :

$$R_{DC} = \frac{l}{\sigma \pi r^2} \qquad \text{et} \qquad R_{AC} \approx \frac{l}{\sigma \pi r^2 - \sigma \pi (r-\delta)^2}$$

Ces deux équations ne donnent qu'une valeur théorique de la résistance du fil car elles ne prennent pas en compte les phénomènes de contact entre les deux extrémités du fil et des plots métalliques d'accueil.

Les résultats pour la résistance propre de chaque fil du réseau simulé sont donnés sur la figure I.18.



FigureI.18: Résistance propre du réseau de trois fils soudés

En conclusion, le principal avantage d'utiliser des fils soudés pour des interconnexions entre la puce et le boîtier repose sur une technologie à faible coût et très bien maitrisée. Par contre, de nombreux inconvénients existent tels que l'exigence de quantités relativement importantes de matériaux (or), des empreintes de grandes tailles pour les connexions, des variations de géométrie et des longueurs d'interconnexions importantes ce qui a tendance à dégrader les performances électriques du circuit intégré.

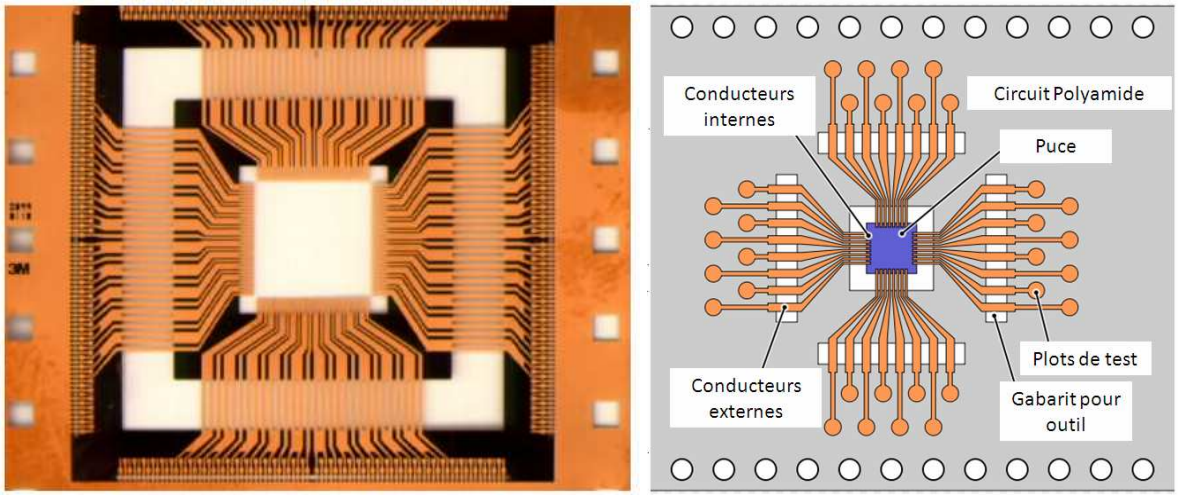
Le boîtier DHVQFN utilisé comme pilote pour la caractérisation radiofréquence comporte un type d'interconnexion par fils soudés ce qui permet déjà d'entrevoir les limitations électriques que ce type de boîtier va générer dans le domaine des applications d'ondes centimétriques (augmentation de la résistance, diminution de l'épaisseur de peau,…). On voit clairement la dépendance en fréquence de l'impédance d'un fil ($Z = R + jLw$) par conséquent il devient évident qu'à haute fréquence nous avons intérêt à avoir des interconnexions courtes car plus l'interconnexion aura une longueur réduite, meilleures seront les performances électriques de l'application globale.

I.3.2.2 Le transfert automatique sur bande

La technologie de transfert automatique sur bande est un procédé industriel relativement courant dans le domaine de la microélectronique. Elle permet la connexion

d'une puce avec des billes métalliques en or sur un circuit flexible. Cette technique est principalement employée dans l'industrie des affichages à cristaux liquides mais elle est également utilisée dans des applications optiques telles que les capteurs de moteur pas à pas.

Le circuit pour le transfert automatique sur bande est souvent un circuit simple face en polyamide ou bien double face. Le cuivre est soit déposé de manière électrolytique ou soit collé sur la bande (cf. figure I.19). Les circuits sont alors gravés en utilisant un procédé de photolithographie. Il existe deux méthodes pour réaliser la connexion de la puce avec le circuit : la connexion thermo sonique point par point où chaque connexion est réalisée avec un outil à travers les pistes de cuivre sur les billes métalliques des plots de la puce et la thermo-compression qui permet la connexion de toutes les entrées-sorties en même temps. L'ultime étape consiste à encapsuler les circuits.



FigureI.19: Illustration du transfert automatique sur bande

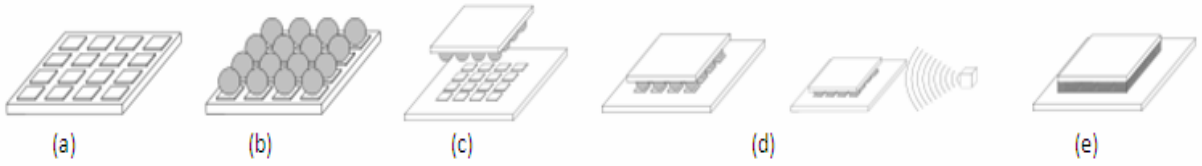
Pour des fréquences élevées, supérieures à 5GHz, il est nécessaire d'assimiler les interconnexions à des lignes de transmission. En effet, dans le domaine des ondes centimétriques, la longueur des interconnexions n'est plus négligeable devant la longueur d'onde des signaux appliqués. La modélisation des interconnexions doit donc passer par les lignes de transmission. Les interconnexions de la technologie de transfert automatique sur bande peuvent être considérées, de façon schématique, comme étant un ensemble de pistes conductrices, disposées les unes à côté des autres sur un film mince jouant le rôle de support. Lorsqu'une de ces pistes doit être étudiée, il est nécessaire de l'isoler alors dans ce cas, il faut relier à la masse toutes les autres pistes pour éviter les phénomènes de couplage.

Cette configuration particulière peut donc être assimilée à celle d'un guide d'onde coplanaire ou à un guide d'onde micro-ruban (cf. annexe B).

Les principaux avantages d'utilisation de la technologie de transfert automatique sur bandes pour des interconnexions entre la puce et boîtier sont l'encombrement minimal des circuits, la possibilité d'atteindre jusqu'à 22µm de largeur de pistes et d'isolement mais surtout une amélioration des performances électriques dues à la réduction de la longueur des interconnexions. A contrario, son principal inconvénient est que ce type de technique n'est applicable que pour des productions à petite échelle car d'une part le coût des équipements est très élevé et d'autre part, le temps de production est relativement long.

I.3.2.3 La puce retournée

La technologie utilisant la puce retournée, résulte d'un choix de construction de mise en boîtier où les interconnexions sont sous forme matricielle. La principale caractéristique de ce mode d'assemblage est qu'il permet un plus grand nombre de connexions pour une puce de taille donnée. La puce est retournée car à l'inverse du câblage par fils soudés pour lequel les surfaces propres aux soudures doivent se trouver dans le même sens, les surfaces doivent être face à face soit en sens opposé (cf. figure I.20). La soudure est réalisée par thermo-compression.



FigureI.20: Assemblage par puce retournée (a) Découpe de la puce et métallisation des plots (b) Dépôts des billes métalliques sur chaque plot (c) La puce est retournée et positionnée face au substrat d'accueil (d) Les billes métalliques sont refondues (e) La puce montée est remplie avec un adhésif

Les connexions qui effectuent la liaison électrique et mécanique sont réalisées par des billes métalliques composées d'alliage d'étain et de plomb dont les dimensions varient suivant le niveau d'application (cf. tableau1). Dans le cas de la puce retournée, les billes métalliques sont de deux types : ceux de 1er niveau qui servent à connecter deux puces et ceux du 2ème niveau qui relient une puce au substrat. Etant donné que ces interconnexions présentent les premiers niveaux de connexions dans un circuit intégré, leurs dimensions sont relativement petites comparativement aux fils soudés.

	Premier niveau (Puce retournée)	Second niveau (Puce retournée)	BGA	WLP
Diamètre (um)	50	150	250	125
Hauteur (um)	50	150	300	250
Espacement (um)	150	400	500	400

Tableau1 . Dimensions des billes métalliques selon les applications

L'intérêt d'utiliser des billes métalliques résident dans la faible longueur d'interconnexion ce qui engendre une faible impédance, de faibles valeurs de résistance et d'inductance parasites, peu de couplage et une moindre consommation. D'un point de vue de la modélisation électrique, les billes métalliques peuvent être modélisées par une résistance et une inductance en série. Partant du calcul de la résistance R en courant continu d'un conducteur de longueur l et de section S , la résistance R_{DC} d'une bille métallique uniquement est calculée dans un système sphérique par l'équation suivante :

$$R_{DC} = \frac{2\rho}{\pi.R}\cot(\theta)$$

où la variable θ représente le niveau d'écrasement de la bille métallique une fois placée entre les deux entités. Un angle θ de 0° correspond à une bille non écrasée tandis qu'un angle θ de 90° représente une bille complètement aplatie.

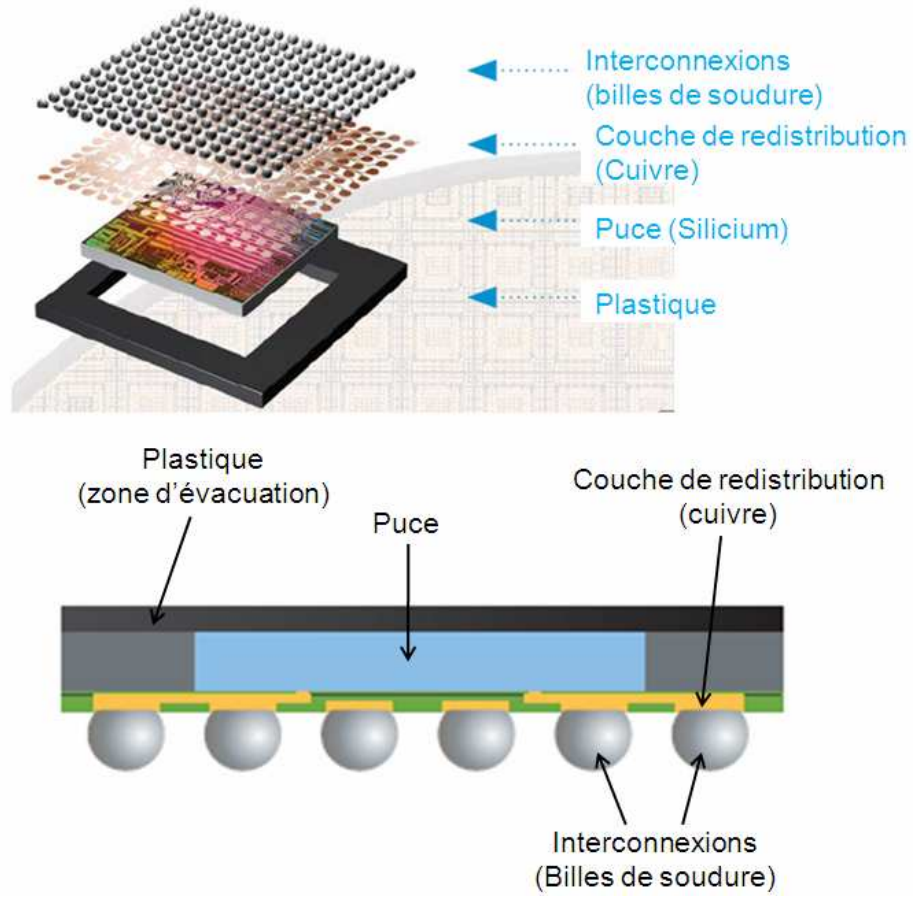
Bien sûr lorsque la fréquence augmente, il est nécessaire de prendre en compte l'effet de peau de la même manière qu'un fil soudé, la formule résultante est donnée ci-dessous :

$$R_{AC} = R_{DC}\frac{R}{4\cot\theta}\sqrt{\frac{\mu_0.\pi.freq}{\rho}\left[\ln\left|\tan\left(\frac{\pi-\theta}{2}\right)\right| - \ln\left|\tan\left(\frac{\theta}{2}\right)\right|\right]} \text{ avec } \theta \in \left]0:\frac{\pi}{2}\right[$$

Les avantages de cette technologie proviennent essentiellement du gain en performances électriques car les interconnexions sont de faibles longueurs, de la taille car toute la surface de la puce peut être utilisée contrairement à la connexion filaire où seul le périmètre est exploitable et de la robustesse car c'est la méthode d'interconnexion mécaniquement la plus robuste.

I.3.2.4 Assemblage au niveau de la tranche de silicium

L'assemblage au niveau de la tranche de silicium (e-WLB, cf. figure I.21) est une technologie où toutes les étapes d'assemblage de la puce sont réalisées sur la tranche elle-même [CASIO]. La puce est assemblée directement sur une plaque reconstituée au lieu d'utiliser le processus traditionnel de découpe des puces puis de la mise en boîtier. Cette technologie offre plusieurs avantages comme des boîtiers de petites dimensions avec des espacements d'interconnexions réduits, des performances électriques et thermiques acceptable et un nombre élevé de connexions pour adresser particulièrement les applications sans fils, le tout à faible coût.



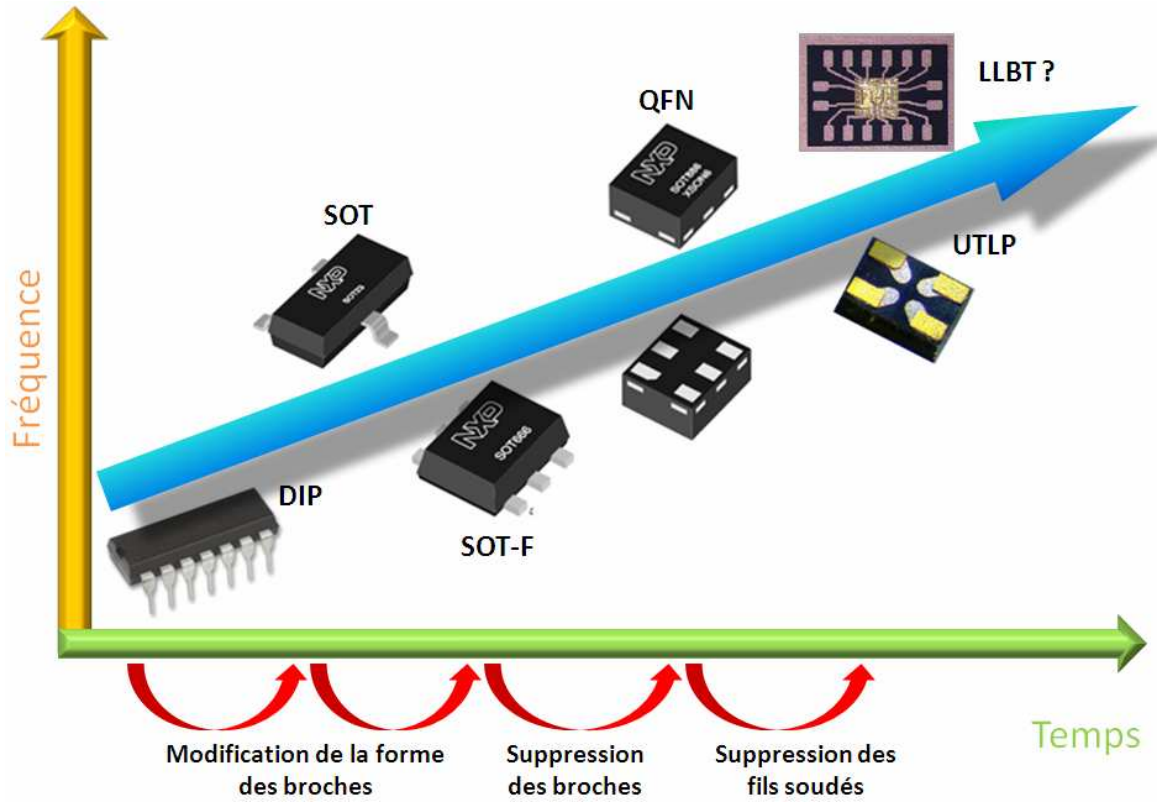
FigureI.21: Principe de l'e-WLB, déploiement extérieur "fan-out" et vue du boîtier

Il est fréquent pour les technologies d'assemblage au niveau des tranches (WLP), que les interconnexions, la plupart du temps correspondant à des billes métalliques, se trouvent au même niveau que les plots de la puce, ce qui est appelé le déploiement intérieur "Fan-in". Dans ce cas, seules les puces avec un nombre réduit d'interconnexions peuvent être assemblées. L'e-WLB, contrairement au WLP, permet donc de concevoir des circuits intégrés avec un plus grand nombre d'interconnexions. Le circuit intégré n'est pas

réalisé directement sur la plaque de silicium mais sur une plaque reconstituée. Tout d'abord, un adhésif est placé sur la surface arrière de la plaque de silicium, suivi de la découpe de cette dernière afin d'extraire toutes les puces. Ensuite, les bords et les ouvertures aux alentours des puces sont remplis avec du plastique afin de former une plaque. Après la reconstitution, les connexions électriques entre les plots des puces et les interconnexions sont réalisées en technologie de couches minces puis les billes de soudure sont créées. Grâce à cette technologie, des interconnexions additionnelles peuvent être réalisées à des distances arbitraires ce qui est nommé le déploiement extérieur "Fan-out" contrairement au déploiement intérieur. Par conséquent, cette technologie peut-être utilisée pour des applications où la surface de la puce ne serait pas suffisante pour placer le nombre nécessaire d'interconnexions à une distance donnée.

I.3.3 Les principaux types de boîtiers

Dans les systèmes de communication modernes, la tendance consiste à accroître les fréquences de fonctionnement des circuits afin de répondre à l'augmentation de la bande passante pour des transmissions de données de plus en plus rapides. A de telles fréquences, il est évident que les parasites électriques, pour la plupart des boîtiers, peuvent dégrader significativement les performances des circuits.



FigureI.22: Evolution des boîtiers en fonction de l'augmentation de la fréquence

La tendance générale des boîtiers haute fréquence (cf. figure I.22) consiste d'abord à réduire les parasites tels que les capacitances, inductances et résistances. L'assemblage a évolué de telle manière que pour une fréquence toujours croissante, les broches ont été tout d'abord modifiées et puis retirées ce qui a conduit à diminuer l'inductance série et la résistance mais également la taille des empreintes du circuit intégré. Au sein de NXP, de nombreux produits sont intégrés dans des boîtiers HVQFN appartenant à cette famille. Dans ce type de boîtier, la connexion entre la puce et le boîtier est réalisée au moyen de fils soudés. Avec l'émergence des interconnexions 3D comme les billes métalliques, de nouveaux types de boîtiers sont à prendre en considération : l'UTLP, le BGA et le LGA. La troisième technologie est basée sur le e-WLB fan-out comme je viens de le décrire dans le paragraphe précédent.

Ce chapitre nous a permis de voir les différents types de connexions de la puce avec son environnement extérieur ainsi que les paramètres électriques associées à ces interconnexions (inductance, mutuelle inductance, résistance,…). Ces dernières ont des caractéristiques électriques que l'on ne doit pas négliger car elles influent de manière plus ou moins significative sur les performances globale du circuit en fonction de la fréquence d'utilisation. Les boîtiers montés en surface et plus spécialement les boîtiers plastiques sont des solutions faible coût en ce qui concerne l'assemblage. Cependant, ces boîtiers plastiques, quelque soit leur type, QFP, QFN ou BGA (cf. annexe A) comportent des éléments parasites qu'il est nécessaire d'évaluer suivant les applications qui sont visées. Les travaux concernant les mesures de boîtier dans la littérature reposent principalement sur des simulations électromagnétiques. En conséquence, j'ai du être amené à définir et mettre en œuvre une méthode de caractérisation appliquée à un boîtier DHVQFN, utilisant des interconnexions par fils soudés, pour pouvoir mettre en évidence ses limites électriques pour des applications d'ondes centimétriques. La caractérisation à laquelle j'ai été confronté n'est pas une caractérisation standard car la configuration des terminaux du boîtier (espacement de 500µm) est différente de l'espacement des micro-pointes radiofréquence de mesure qui lui est de 125µm d'où la nécessité de définir une structure spécifique de mesure. Une réponse à ces problématiques est proposée pendant la première partie du mémoire. Le chapitre suivant présente le banc de caractérisation radiofréquence que j'ai utilisé avant de présenter la caractérisation proprement dite du boîtier DHVQFN et des résultats de mesure.

II Présentation du banc de caractérisation radiofréquence

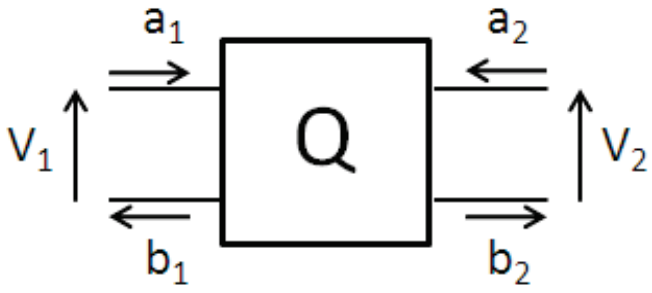
Ce chapitre traite de la caractérisation radiofréquence pour laquelle, dans un premier temps, les outils d'analyse vectorielle tels que les paramètres S et leur représentation sont décrits. La seconde partie présente les différents éléments constituant le banc de mesure du LAMIPS (Laboratoire commun NXP-CRISMAT UMR 6508 ENSICAEN UCBN) comme l'analyseur de réseau, les éléments de connectiques (câbles et micro-pointes) et les outils logiciels. J'aborderai ensuite les types d'erreurs qui affectent une mesure ainsi que les méthodes de calibrage pour éliminer ces erreurs, étape obligatoire avant toute mesure de composant. Pour conclure, j'illustrerai la validité de la méthode de calibrage par des exemples de mesures de lignes de transmission calibrées. Ces résultats de mesures de lignes seront également utilisés dans le cadre du calibrage du simulateur électromagnétique EMPro.

II.1 Outils d'analyse vectorielle

Les caractéristiques électriques des circuits sont généralement déterminées par la mesure des courants, tensions ou paramètres Z (impédance), Y (admittance), T (transfert) ou H (hybride). Les fréquences d'utilisation des composants étant de plus en plus élevées et leurs dimensions devenant de l'ordre de grandeur de la longueur d'onde, en particulier dans le cas des interconnexions, la mesure de ces paramètres devient de plus en plus difficile. La caractérisation d'un circuit se fait alors grâce aux paramètres S, paramètres qui font appel à des notions connues de gain, perte et coefficient de réflexion. Dans la majorité des cas, la mesure de l'amplitude suffit comme par exemple la mesure du gain d'un amplificateur. Par contre, dans d'autres cas, l'information sur la phase est nécessaire notamment pour passer dans le domaine temporel grâce à la transformée de Fourier inverse. Lors du calibrage, l'amplitude et la phase des quatre paramètres S doivent être connues pour la correction des erreurs. En conséquence, pour une meilleure précision de mesure et pour le calibrage, l'amplitude et la phase sont nécessaires, c'est pour cela que nous nous intéressons aux mesures vectorielles.

II.1.1 Quadripôle et paramètres S

Lors de la caractérisation, le circuit à mesurer est considéré comme un quadripôle avec en entrée le port 1 et en sortie le port 2 (cf. figure II.1).



FigureII.1: Quadripôle

Par analogie au domaine optique, nous parlons d'onde de puissance incidente entrant dans le quadripôle par le port 1, notée a_1, d'onde de puissance réfléchie, notée b_1, et d'onde de puissance transmise, notée b_2, sortant du quadripôle. Le raisonnement en est de même pour le port 2 du quadripôle avec a_2, l'onde incidente, b_2, l'onde réfléchie et b_1 l'onde transmise. Ces ondes de puissance sont reliées aux tensions et courants aux bornes du quadripôle par les formules suivantes :

$$a_i = \frac{V_i + I_i.Z_0}{2\sqrt{Z_0}} \text{ et } b_i = \frac{V_i - I_i.Z_0}{2\sqrt{Z_0}} \text{ avec } Z_0 \text{ l'impédance caractéristique.}$$

Les ondes de puissance sont définies par rapport à une impédance de référence Z_0 qui est en général égale à 50Ω. Les équations décrivant le quadripôle sont définies ci-dessous :

$$\begin{cases} b_1 = S_{11}.a_1 + S_{12}.a_2 \\ b_2 = S_{21}.a_1 + S_{22}.a_2 \end{cases}$$

ce qui ensuite définit les paramètres S par :

$$S_{11} = \left.\frac{b_1}{a_1}\right|_{a_2=0} \qquad S_{22} = \left.\frac{b_2}{a_2}\right|_{a_1=0}$$

$$S_{21} = \left.\frac{b_2}{a_1}\right|_{a_2=0} \qquad S_{12} = \left.\frac{b_1}{a_2}\right|_{a_1=0}$$

S_{11} et S_{22} représentent les coefficients de réflexion respectivement sur le port 1 et sur le port 2, S_{12} et S_{21} les coefficients de transmission entre le port 1 et le port 2. La convention indique que le premier chiffre suivant le S est le port par lequel l'énergie est reçue et le deuxième chiffre est le port d'émission de l'énergie.

La signification physique concernant l'interprétation des paramètres S est rappelée dans les deux tableaux suivants :

Valeur linéaire	Valeur (dB)	Interprétation	Modèle physique
0	$-\infty$	Il n'y a pas de réflexion, la charge est adaptée	Inductance (circuit fermé)
1	0	Toute l'amplitude du signal incident est réfléchie sans déphasage	Capacité (circuit ouvert)

Tableau2 . Interprétation physique des paramètres S_{11} et S_{22}

Valeur linéaire	Valeur (dB)	Interprétation	Modèle physique
0	$-\infty$	Il n'y a pas de transmission de signal	Capacité (circuit ouvert)
0 à 1	$-\infty$ à 0	Le signal incident est transmis et atténué, la phase varie entre $-\pi$ et $+\pi$	Ligne de transmission d'impédance Zc
1	0	Le signal incident est transmis avec un gain unité, la phase varie entre $-\pi$ et $+\pi$	Inductance (circuit fermé, sans pertes)
>+1	>0	Le signal incident est amplifié, la phase varie entre $-\pi$ et $+\pi$	Amplificateur

Tableau3 . Interprétation physique des paramètres S_{12} et S_{21}

Il est important de noter que dans le cas de dispositifs passifs (résistance, capacité, inductance, transformateur,…), les paramètres S_{12} et S_{21} ne peuvent pas être supérieurs à 1.

II.1.2 Représentation des paramètres S

Il existe plusieurs manières pour représenter les paramètres S dont trois d'entres elles sont décrites dans les paragraphes suivants.

II.1.2.1 Linéaire ou logarithmique

Le module des paramètres S peut être visualisé de façon linéaire ou logarithmique. Nous obtiendrons alors la valeur du paramètre sans unité de manière linéaire ou bien de la manière logarithmique en décibel.

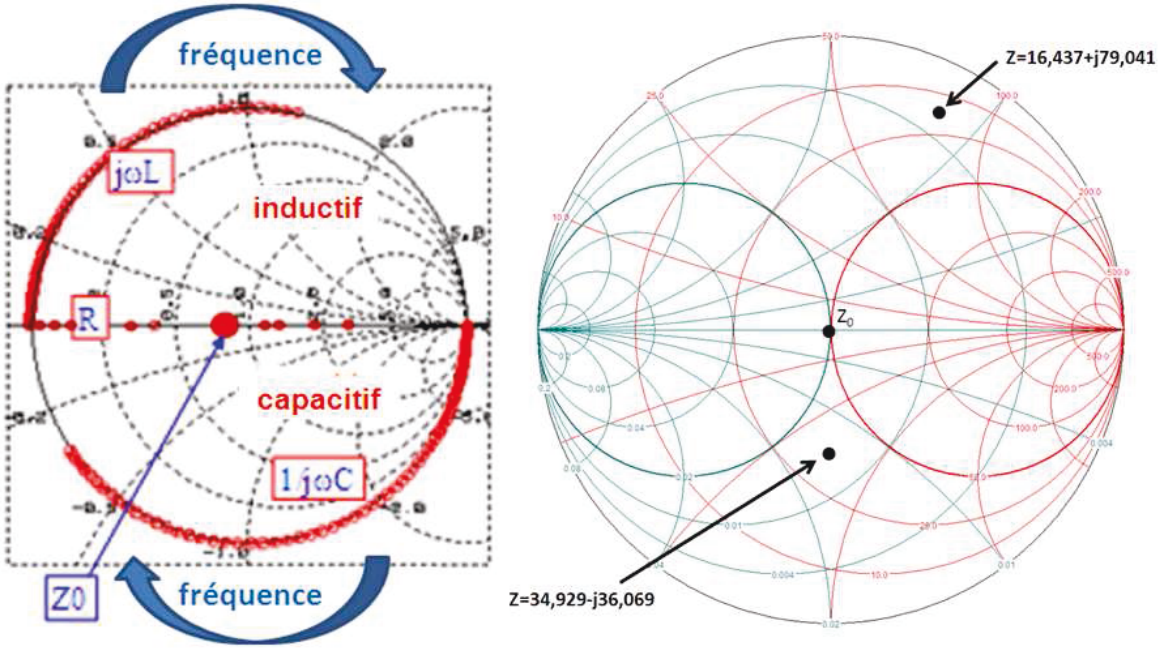
L'unité "décibel" ou dB est définie ci-dessous :

- ✓ dans le cas d'une tension : $X_{dB-V} = 20.\log(X_{Volt})$
- ✓ dans le cas d'une puissance : $X_{dB-W} = 10.\log(X_{Watts})$

On peut aussi parler de dBm qui correspond à une puissance en milliwatts soit $X_{dB-mW} = 10.\log(X_{mWatts})$. Pour les paramètres S, la valeur en dB est donnée par la relation $S_{mn}(dB) = 20.\log(S_{mn})$ avec m, n les indices représentants les ports.

II.1.2.2 Abaque de Smith

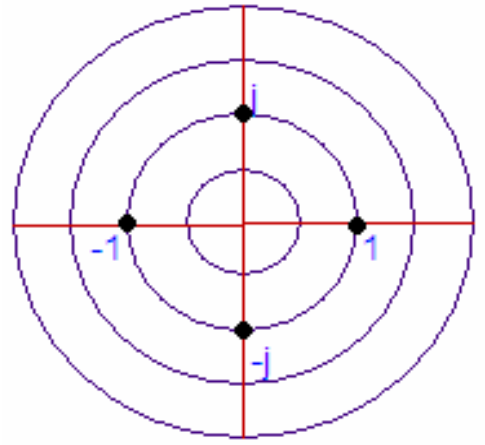
L'abaque de Smith est un outil qui permet d'effectuer graphiquement le passage, dans les deux sens, entre le coefficient de réflexion à l'extrémité d'une ligne et l'impédance de charge [AGI00]. Ces deux paramètres étant complexes, ils peuvent être représentés dans un plan complexe. Cet abaque consiste à superposer deux plans complexes, un plan cartésien représentant le coefficient de réflexion et un faisceau de courbes représentant l'impédance de charge. Afin d'avoir un abaque indépendant de la valeur de l'impédance caractéristique de la ligne, ce dernier doit être normalisé par rapport à cette impédance qui représente en général 50Ω, ce qui constitue le standard utilisé en hyperfréquence. Un exemple (cf. figure II.2) de l'abaque de Smith permet de représenter des impédances complexes normalisées de deux types, l'une capacitive et l'autre inductive avec des pertes résistives pour les deux.



FigureII.2: Abaque de Smith

II.1.2.3 Le diagramme polaire

Le diagramme polaire est utilisé pour visualiser les paramètres de transmission S_{12} et S_{21}. L'axe horizontal représente leur partie réelle et l'axe vertical leur partie imaginaire. Le centre du cercle est le point où les parties réelles et imaginaires sont nulles, ce qui signifie qu'il n'y a pas de transmission entre les deux ports. Dans le cas où un signal est transmis et amplifié, la courbe représentant S_{21} sera extérieure au cercle unité sinon, dans le cas où le signal est transmis et atténué, elle sera à l'intérieur. Si la phase est inversée, les courbes se trouveront dans la partie gauche du diagramme, cela signifiant que la partie réelle du paramètre de transmission est négative.



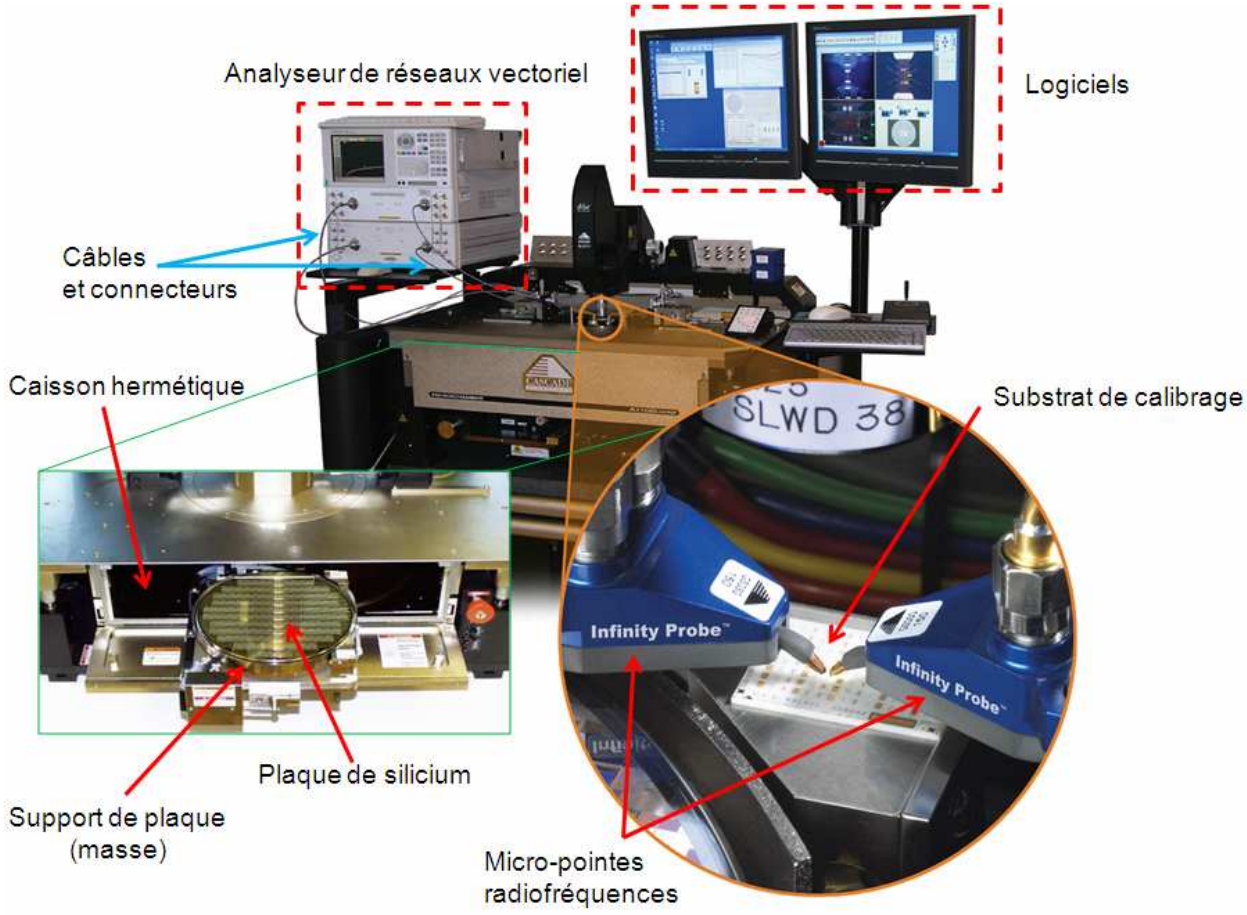
FigureII.3: Le diagramme polaire

II.2 Banc de mesure

La caractérisation de dispositifs passifs dans le domaine fréquentiel fait appel à l'analyseur de réseau vectoriel. Cet appareil a été introduit dans les années 1960 par Hewlett-Packard [HEW97] et a subi de nombreuses améliorations qui ont conduit aujourd'hui à des outils puissants et conviviaux. Cet analyseur vectoriel permet d'évaluer les paramètres S complexes d'un quadripôle. Son principe de fonctionnement repose sur la comparaison de l'onde incidente avec l'onde réfléchie ou transmise à l'accès considéré. Il existe deux grandes familles d'analyseur de réseau : les scalaires qui ne mesurent que le module des paramètres S et les vectoriels qui mesurent le module et la phase.

Les paragraphes suivants vont décrire le fonctionnement général de l'analyseur de réseau ainsi que le reste du matériel tel que la connectique, les micro-pointes et les outils logiciels utilisés pour la caractérisation sous pointes, chacun de ces éléments faisant partie de la chaîne de mesure.

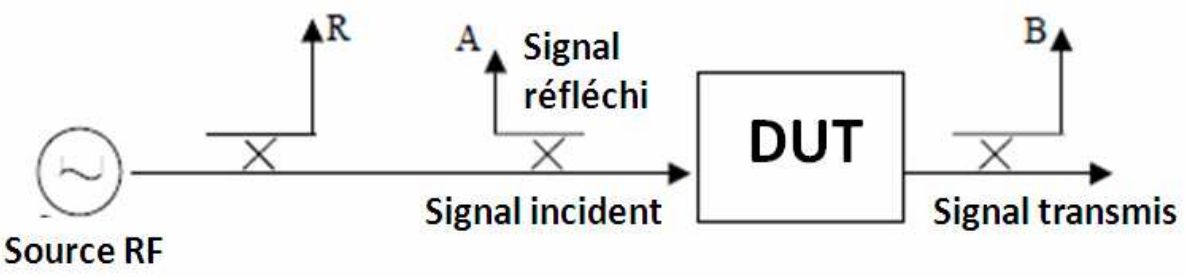
Ces différents éléments sont illustrés sur la photographie du banc de mesure de la figure II.4 où l'on peut voir l'analyseur de réseau connecté par des câbles à la station de mesure et les deux micro-pointes radiofréquence présentes au dessus du substrat de calibrage.



FigureII.4: Photographie du banc de caractérisation radiofréquence

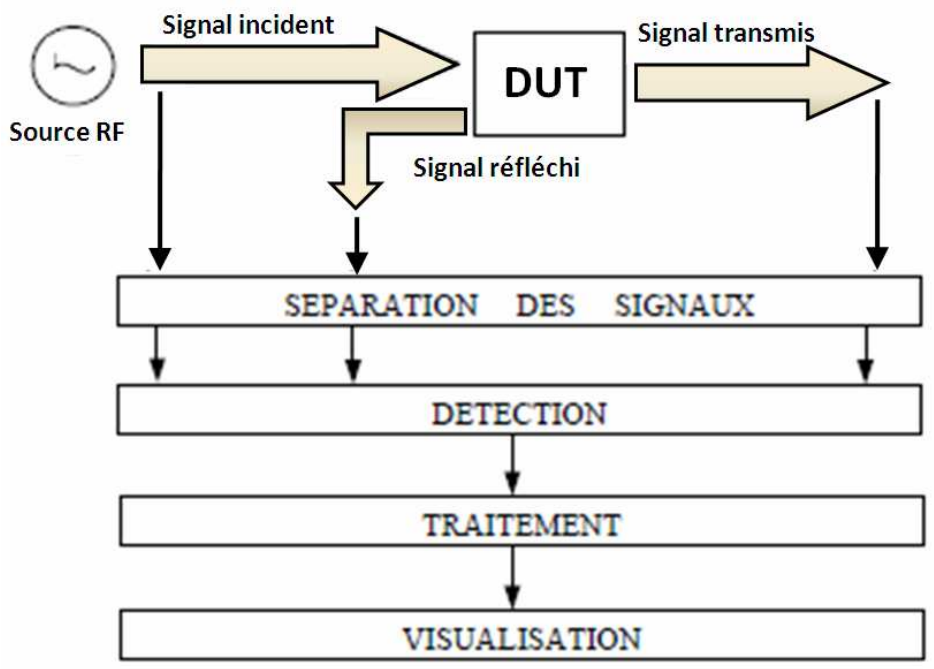
II.2.1 L'analyseur de réseau

La figure II.5 illustre un schéma simplifié du principe de l'analyseur de réseau vectoriel. Le signal émis par une source radiofréquence (Source RF) est séparé en deux généralement à l'aide d'un diviseur Wilkinson. La partie prélevée du signal incident servira de référence (R) lors du calcul des rapports des ondes de puissance. L'autre partie du signal est transmise au composant sous test à caractériser (DUT). Une partie du signal est réfléchie et l'autre partie est transmise, en supposant bien sûr que le quadripôle est sans perte. A l'aide de deux coupleurs, une portion des signaux (A et B) est dérivée.



FigureII.5: Schéma de base de l'analyseur de réseau vectoriel

L'ensemble des opérations effectuées par l'analyseur de réseau est représenté sur la figure II.6. La première étape consiste à séparer les signaux à l'aide des coupleurs puis de mesurer le module et la phase des signaux. La dernière étape permet de traiter les données mesurées (passage dans le domaine temporel, mise en échelle,…) à l'aide d'un processeur.



FigureII.6: Schéma de principe de l'analyseur de réseau

II.2.2 Connectique en place pour la mesure sous pointes

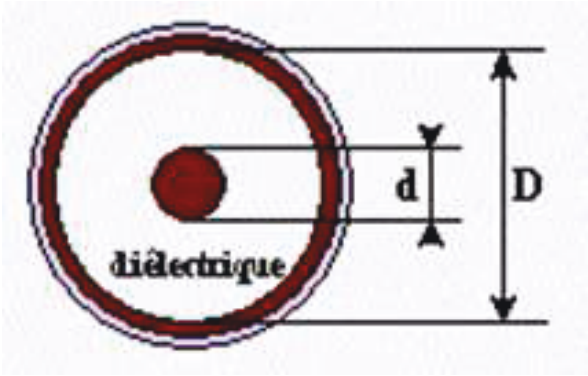
II.2.2.1 Câbles et connecteurs

Les câbles utilisés pour la radiofréquence sont presque exclusivement des câbles coaxiaux (cf. figure II.7). Ils se composent d'un conducteur de cuivre entouré par un matériel non-conducteur nommé diélectrique. Les dimensions des câbles ou des connecteurs déterminent son impédance caractéristique mais également ses limites en fréquence. Cette impédance caractéristique dépend du rapport du diamètre intérieur du

conducteur externe D par le diamètre extérieur de l'âme d. Elle est alors déterminée par la relation suivante :

$$Z_0 = \frac{1}{2\pi}\sqrt{\frac{\mu_0.\mu_r}{\varepsilon_0.\varepsilon_r}}\ln\left(\frac{D}{d}\right) \text{ exprimée en ohms } (\Omega)$$

avec μ_0 la perméabilité du vide ($4\pi.10^{-7}$ H/m), μ_r la perméabilité relative (1 pour tous les matériaux non magnétiques), ε_0 la permittivité du vide ($8{,}85.10^{-12}$ F/m) et ε_r la permittivité relative du diélectrique présent entre les deux conducteurs.



FigureII.7: Câble coaxial

Lorsque l'on travaille en haute fréquence et que la longueur du câble coaxial est grande devant la longueur d'onde, les champs électriques et magnétiques varient le long du câble. Le mode de propagation dans ce type de câble est un mode transverse électrique et transverse magnétique (TEM) où les champs se trouvent dans des plans perpendiculaires à la direction de propagation. La fréquence maximale de transmission du mode dominant (TE_{11}) dépend de différents paramètres dont le diamètre intérieur de son conducteur extérieur. La relation suivante donne la valeur de la fréquence maximale d'utilisation de la ligne du câble :

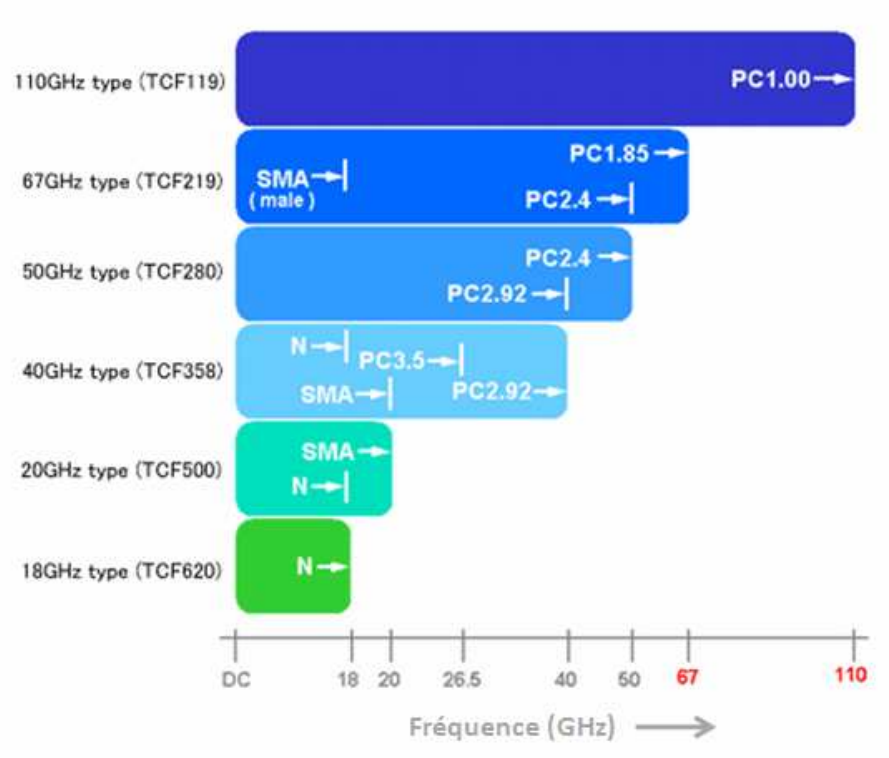
$$f_c = \frac{2c}{\pi\sqrt{\varepsilon_r}}\frac{1}{D+d} \text{ exprimée en Hertz (Hz)}$$

avec c la célérité de la lumière dans le vide (3.10^8m/s)

La capacité du câble est définie par :

$$C = \frac{2\pi.\varepsilon_0.\varepsilon_r}{\ln\left(\frac{D}{d}\right)} \text{ exprimée en Farad (F)}$$

La figure II.8 représente les différents types de connecteurs semi-rigides et leur bande de fréquence de fonctionnement.



FigureII.8: Références de connecteurs en fonction de la fréquence d'utilisation

Les câbles utilisés sur le banc de caractérisation disponible au laboratoire du LAMIPS sont des connecteurs de type PC2.4 (diamètre de 2,4 mm) pour le banc de fréquence fonctionnant à 50GHz et PC1.00 (diamètre de 1,0 mm) pour le banc de fréquence à 110GHz.

II.2.2.2 Micro-Pointes radiofréquences

Il existe de nombreux modèles de micro-pointes radiofréquences basées sur différents types de lignes de connexion (1 masse et 1 signal, 2 masses et 1 signal,…). Les sondes qui sont disponibles au sein du laboratoire du LAMIPS sont basées sur une structure coplanaire. Ces pointes comportent trois points de contacts, un contact de signal au centre et deux contacts de masse. Ce modèle de sonde est aussi nommé micro-pointes masse-signal-masse ou GSG (cf. annexe F).

Le principal fournisseur de pointes radiofréquence de NXP est CASCADE MICROTECH (cf. figure II.9). Ce fournisseur propose différents types de pointes GSG

dont les modèles « ACP » (Air Coplanar) et « Infinity » dont voici les principales caractéristiques :

✓ bande de fréquence : dépend de la liaison coaxiale (2,4 mm, 1 mm…),

✓ matériau : soit un alliage nickel non oxydable pour les « Infinity », soit du cuivre-béryllium ou tungstène pour les « ACP »,

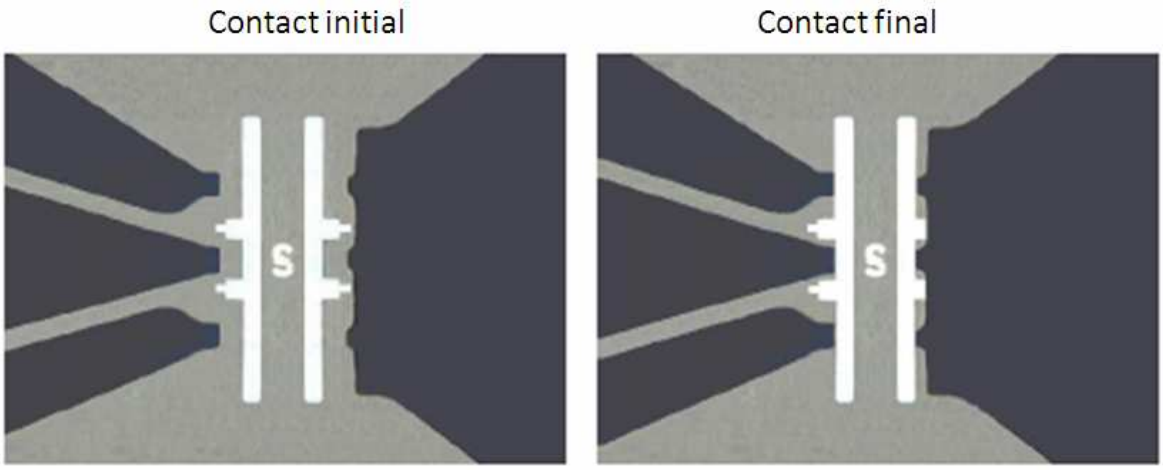
✓ écartement des pointes signal et masse : 50µm à 250µm,

✓ gamme de température de fonctionnement : -263°C à +200°C pour les « ACP » et -65°C à +125°C pour les « Infinity ».



FigureII.9: Micro-Pointes GSG fabriquées par CASCADE MICROTECH

Avant de débuter une mesure de composant, il est nécessaire de faire des réglages au niveau des pointes. Tout d'abord, le réglage de la planéité des trois points de contact doit s'effectuer sur un substrat de contact fourni par le fabricant de micro-pointes. Ce substrat est en alumine recouvert de bandes d'or. La pointe posée sur l'or doit produire la même empreinte pour les trois contacts afin de garantir un alignement horizontal correct des pointes. Cette étape permet donc un contact équivalent entre les trois pointes sur les plots de contacts du composant à caractériser (cf. annexe F). L'autre paramètre devant être réglé est la force d'appui des pointes également appelé "overtravel". Des motifs de référence sont disponibles sur un substrat de calibrage appelé ISS (cf. figure II.14). Un réglage standard correspond à un déplacement horizontal de la pointe de 25µm et un déplacement vertical de 50µm à 75µm, ceci garantissant un contact électrique correct avec les plots présents sur le composant à mesurer comme mentionné sur la figure II.10.



FigureII.10: Réglage de la force d'appui des pointes sur le substrat de calibrage

II.2.2.3 Autres équipements

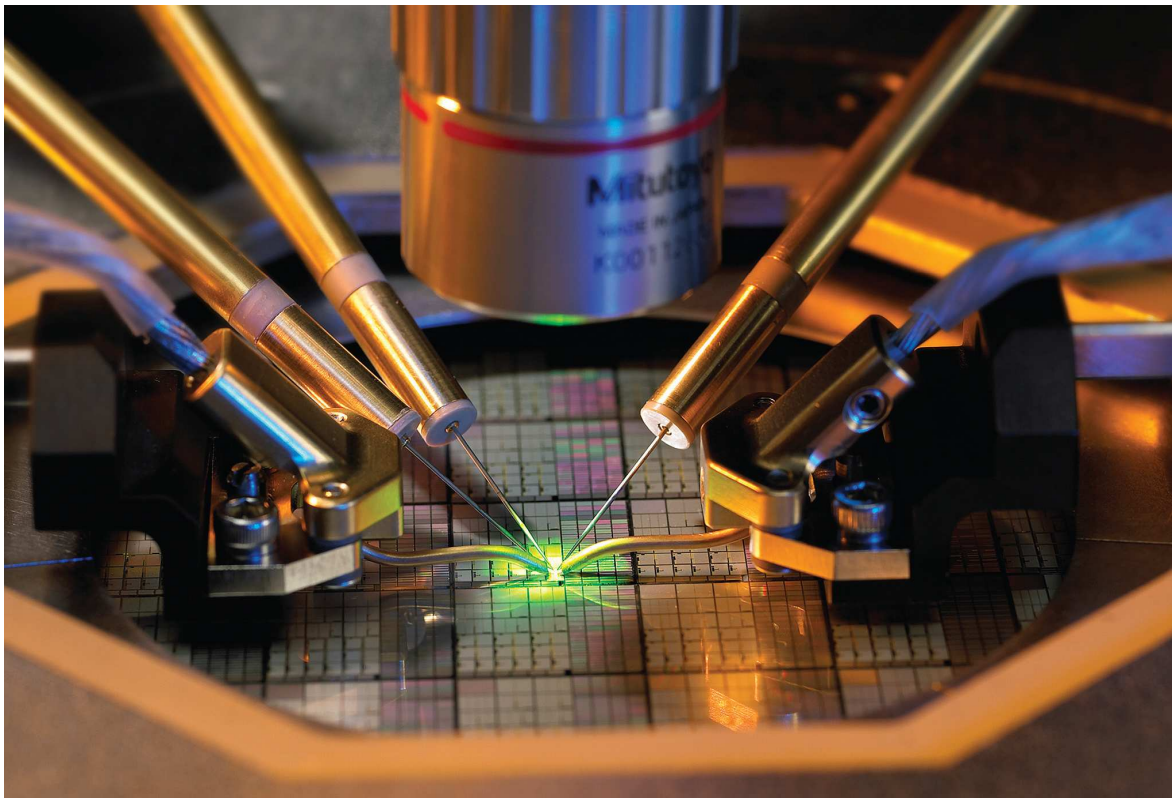
D'autres équipements sont nécessaires au bon fonctionnement du banc de caractérisation pour effectuer correctement la mesure d'un composant.

- Station sous pointe

La station sous pointe utilisée au laboratoire du LAMIPS, référencée sous le nom de CASCADE MICROTECH Summit 12651, est semi-automatique. Elle est constituée d'un support de plaque, le "chuck" de 8 pouces de diamètre, réglable en température. Le tout est enfermé dans une chambre noire et blindée contre la lumière et les ondes électromagnétiques car ces dernières peuvent perturber les mesures en haute fréquence. En outre, cette chambre atténue le bruit de 40 dB.

- Polarisation continue

Une polarisation électrique continue peut s'avérer nécessaire en particulier pour les composants actifs. Pour cela, un analyseur paramétrique est utilisé. Il permet aussi de mesurer les courants et les tensions du composant. Si ces polarisations continues ne sont pas appliquées sur les ports du quadripôle, elles peuvent être amenées jusqu'aux composants grâce à des pointes DC (cf. figure II.11).



FigureII.11: Micro-pointes de polarisations continues et radiofréquences

- Régulateur de température

Le régulateur de température est relié au support de plaque et permet de réguler en température la plaque de -65°C à +200°C. Il est à noter que les substrats de contact et de calibrage cités précédemment sont placés sur des supports différents.

- Logiciels

Plusieurs logiciels sont utilisés et permettent d'automatiser le banc de mesure :

✓ WinCal Version3.2.1 (2004) qui effectue les calculs des termes d'erreurs lors du calibrage du banc de mesure,

✓ Nucleus Version2.14 (2002) qui gère les déplacements de la station sous pointe lors du calibrage et des mesures,

✓ IC-CAP (2008) qui permet de transférer les données de mesures (fréquences, puissance,…) à l'analyseur de réseau et effectue les calculs nécessaires à l'analyse des paramètres du composant. Il permet également de faire des simulations.

II.3 Erreurs introduites lors d'une mesure haute fréquence

Comme tout instrument de mesure, l'analyseur de réseau vectoriel introduit des erreurs dues aux imperfections de l'appareil et des éléments qui l'entourent comme les câbles, les micro-pointes, etc. Le calibrage permet d'éliminer les perturbations dues à l'environnement lors de la mesure d'un circuit. Il est réalisé à partir de composants connus appelés standards (cf. figure II.14). La mesure de ces standards permet de quantifier les perturbations et ensuite de calculer les termes d'erreurs. Les paragraphes suivants décrivent les différents types d'erreurs ainsi que les méthodes de calibrage utilisées pour les éliminer.

II.3.1 Les différents types d'erreurs

La liste exhaustive des sources d'erreurs a été présentée par B.Donecker [SAG06]. Il est généralement admis que ces erreurs peuvent se classer en erreurs systématiques et erreurs aléatoires auxquelles il convient de rajouter les erreurs dues aux différentes non-linéarités présentes dans la chaîne de mesure et les erreurs dues aux dérives des outils de mesures. Lorsque l'on considère des dispositifs passifs, les erreurs dues aux non-linéarités sont généralement inexistantes. Le dernier type d'erreur qui concerne les dérives peuvent présenter un caractère systématique ou aléatoire.

Les erreurs systématiques sont dues d'une part à l'analyseur de réseau (cf. figure II.12) et d'autre part aux interconnexions (longueur des câbles, pertes dans les connecteurs, résistance de contact des micro-pointes,…). Elles sont répétitives, prédictives et sont supposées invariantes dans le temps. Elles peuvent être corrigées lorsqu'un modèle comportemental est connu et que la caractérisation des éléments de ce modèle est possible, c'est le rôle des procédures de calibrage et de correction des éléments parasites que je vais développer dans la suite du chapitre.

Les erreurs aléatoires sont dues au bruit inhérent à tout appareil de mesure, aux modifications apportées au système après calibrage (non reproductibilité des pertes des connecteurs, des résistances de contact des pointes d'une mesure à l'autre,…) et à toute modification des caractéristiques de l'un des composants internes ou externes à l'analyseur de réseau vectoriel (résistance de contact des commutateurs, variation des résistances de contact des pointes durant une même mesure,...). Elles ne sont pas prédictibles et varient dans le temps de façon aléatoire et ne peuvent donc pas être éliminées par le calibrage mais elles peuvent néanmoins être réduites en effectuant une moyenne sur un grand nombre de mesure. Par conséquent, de nombreuses précautions sont nécessaires afin de réduire l'effet

de ces erreurs (calibrage périodique ou à chaque modification du système, utilisation de niveaux de puissance suffisants pour obtenir un bon rapport signal sur bruit,…).

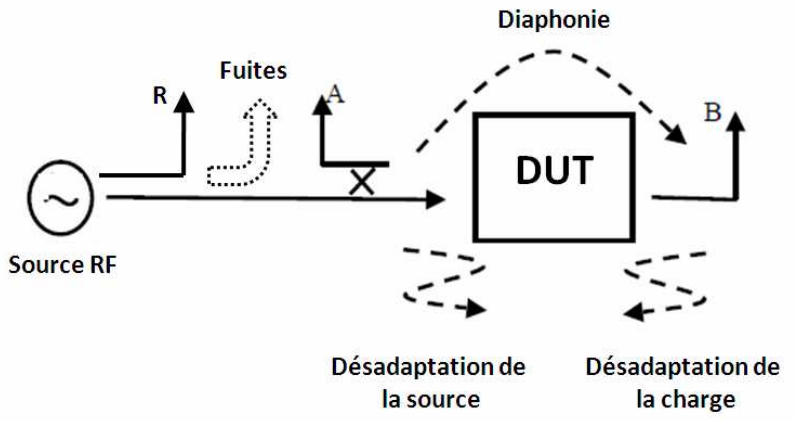
Enfin, les erreurs dues aux dérives concernent les éléments du système de mesure. Ces dérives peuvent se produire aussi bien dans l'analyseur de réseau vectoriel, et, dans ce cas, elles sont essentiellement liées aux variations de l'environnement (température ambiante ou hygrométrie), ou dans les éléments d'interconnexion (évolution des résistances de contact des pointes, évolution des caractéristiques des câbles avec la température,…). La température est donc un élément prépondérant pour la précision des mesures. Ces erreurs de dérives imposent de refaire régulièrement le calibrage du banc.

II.3.2 Les erreurs systématiques

Les erreurs systématiques liées à l'analyseur de réseau sont décrites sur la figure II.12. Ces erreurs sont au nombre de six telles que:

- ✓ le cheminement de la transmission et de la réflexion,
- ✓ l'adaptation des charges et des sources,
- ✓ la directivité,
- ✓ et l'isolation.

Ces termes liés à la transmission, combinés aux six termes similaires dans le sens de la réflexion donnent un total de douze termes d'erreur. Tout d'abord, les fuites de signal sont dues à la directivité des coupleurs et à l'isolation des ports (diaphonie). Les erreurs liées à la réflexion sont dues à une mauvaise adaptation de la source ou de la charge. Enfin, des erreurs sont dues à la réponse en fréquence des composants de l'appareil tels que les câbles, les coupleurs et les diviseurs.



FigureII.12: Erreurs de mesures systématiques

II.3.2.1 La directivité

De manière générale, un coupleur doit séparer complètement les signaux réfléchis et incidents et seulement le signal réfléchi apparaît à la sortie couplée. En pratique, une petite partie du signal incident apparaît aussi à la sortie couplée ainsi que des réflexions dues à la connexion au composant sous test (cf. figure II.12). Ces signaux supplémentaires rajoutent ainsi une incertitude au signal réfléchi par le composant. La directivité est définie comme le rapport entre la puissance couplée dans le bras secondaire quand le coupleur est en sens direct et la puissance disponible dans ce même bras quand le coupleur est en inverse.

II.3.2.2 L'isolation entre les ports

La transmission de signal entre les ports est due à une fuite d'énergie entre les canaux de référence et de test (cf. figure II.12). Cette partie du signal n'est pas envoyée vers le dispositif à caractériser. Ce phénomène peut se produire dans l'appareil ou entre les câbles. Cette fuite d'énergie limite la dynamique pour des mesures en transmission.

II.3.2.3 Désadaptation de la source et de la charge

Le signal incident se réfléchit sur le port, l'adaptateur, les câbles et des réflexions multiples apparaissent avec le coupleur. Un signal résiduel est alors retrouvé sur le signal réfléchi (cf. figure II.12). Il en est de même au port de sortie lors d'une mesure en transmission. A la sortie du composant, une partie du signal se réfléchit sur l'adaptateur, les câbles et le port et se retrouvent ainsi dans le coefficient de réflexion.

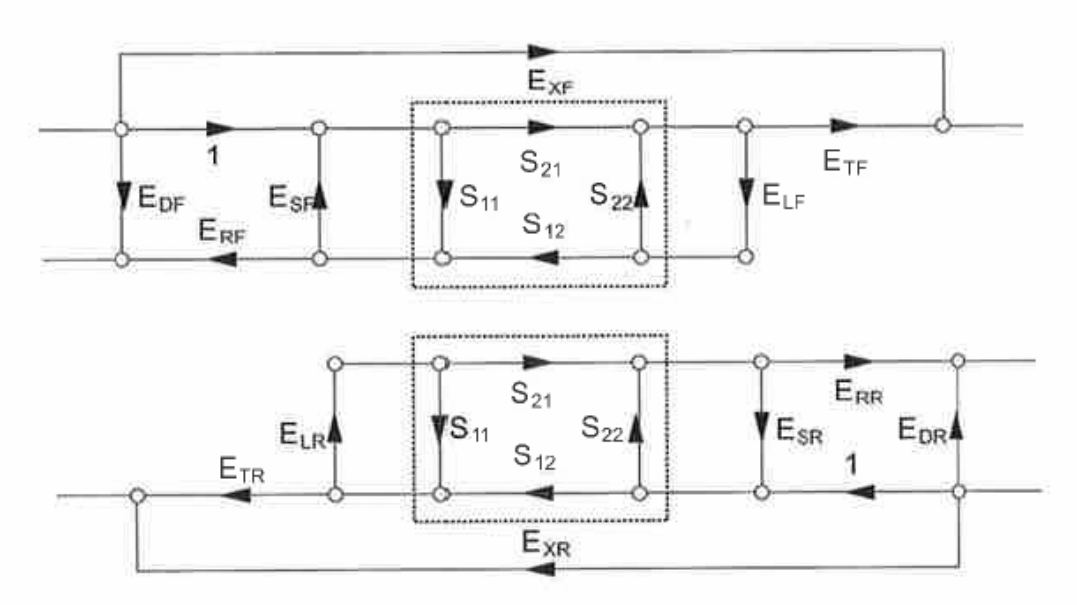
II.3.2.4 La réponse en fréquence

Tous les composants de l'analyseur de réseau vectoriel ont une réponse en fréquence. Si le signal de référence et le signal mesuré avaient des réponses en fréquence identiques, ces erreurs s'élimineraient lors du rapport des ondes de puissance mais ces signaux sont différents. Ce phénomène doit donc être pris en compte dans la réponse en fréquence entre les différents chemins du signal.

II.3.3 Modèles utilisés pour la correction des erreurs

Les erreurs systématiques sont regroupées pour former un modèle d'erreur décrit par son graphe de fluence. L'étape de calibrage consiste, après avoir choisi un modèle d'erreur, à déterminer les termes de ce modèle. De nombreux modèles sont proposés pour

corriger les mesures des quadripôles avec une approche physique qui conduit à des modèles à 8 ou 10 termes d'erreur [WAR02] et une approche analytique de modèle à 16 termes d'erreur [WAR02]. Les améliorations et simplifications de ces deux modèles conduisent, plus ou moins directement, au modèle à 12 termes d'erreur qui est le plus largement utilisé et implanté dans les analyseurs de réseaux vectoriels à 2 ports. Les termes d'erreurs sont déterminés expérimentalement puis pris en compte mathématiquement suivant ces différents modèles. Dans le cadre de ce mémoire, la caractérisation radiofréquence du boîtier DHVQFN est une mesure de type deux ports donc le modèle associé est un modèle à 12 termes d'erreurs (cf. figure II.13).



FigureII.13: Modèles d'erreurs à 12 termes

E_{DF} et E_{DR} représentent les erreurs de directivité en mode direct et mode inverse. E_{SF} et E_{SR} représentent la désadaptation de la source, c'est-à-dire les réflexions dues aux impédances d'entrées et de sorties des câbles et des connecteurs. E_{LF} et E_{LR} représentent la désadaptation de la charge, c'est-à-dire les mêmes réflexions que précédemment mais cette fois-ci au port opposé.

E_{TF} et E_{TR} représentent la transmission directe entre le signal incident et le signal transmis sans passer par le composant sous test. E_{RF} et E_{RR} représentent la transmission directe entre le signal incident et le signal réfléchi sans passer par le composant sous test. E_{XF} et E_{XR} représentent les termes d'isolation représentant la transmission entre les ports sans passer par le composant sous test.

II.4 Les différentes méthodes de calibrage

Nous venons de voir les différents types d'erreurs que l'on peut rencontrer lors d'une mesure radiofréquence, nous allons voir maintenant les méthodes pour les éliminer. Le calibrage est utilisé pour éliminer les erreurs liées au banc de mesure en enlevant les imperfections du système par la mesure des standards (cf. figure II.14). Néanmoins, les circuits à caractériser ou leur accès, comme les lignes de transmission, ont des dimensions très petites par rapport à celles des micro-pointes utilisées. Des plots sont alors utilisés pour amener le signal au circuit à mesurer. De part leur constitution, ces plots apportent aussi des éléments parasites qu'il faudra éliminer par une méthode de suppression des parasites.

Dans les paragraphes suivants sont présentés les deux types de calibrage du banc de mesure (SOLT et LRRM) et la méthode de suppression des parasites.

II.4.1 Calibrage SOLT (Short-Open-Load-Thru)

Cette méthode de calibrage considère les standards comme idéaux.

- ✓ le court-circuit ou SHORT réfléchit toute l'énergie transmise en inversant la phase,
- ✓ le circuit ouvert ou OPEN réfléchit toute l'énergie transmise sans modifier la phase,
- ✓ la charge ou LOAD absorbe toute l'énergie,
- ✓ la ligne ou THRU transmet toute l'énergie.

On peut ainsi obtenir les matrices de paramètres S décrites ci-dessous :

Court-circuit ou SHORT

$$S_{SHORT} = \begin{bmatrix} -1 & 0 \\ 0 & -1 \end{bmatrix}$$

Circuit ouvert ou OPEN

$$S_{OPEN} = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}$$

Charge ou LOAD

$$S_{LOAD} = \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix}$$

Ligne ou THRU

$$S_{THRU} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$$

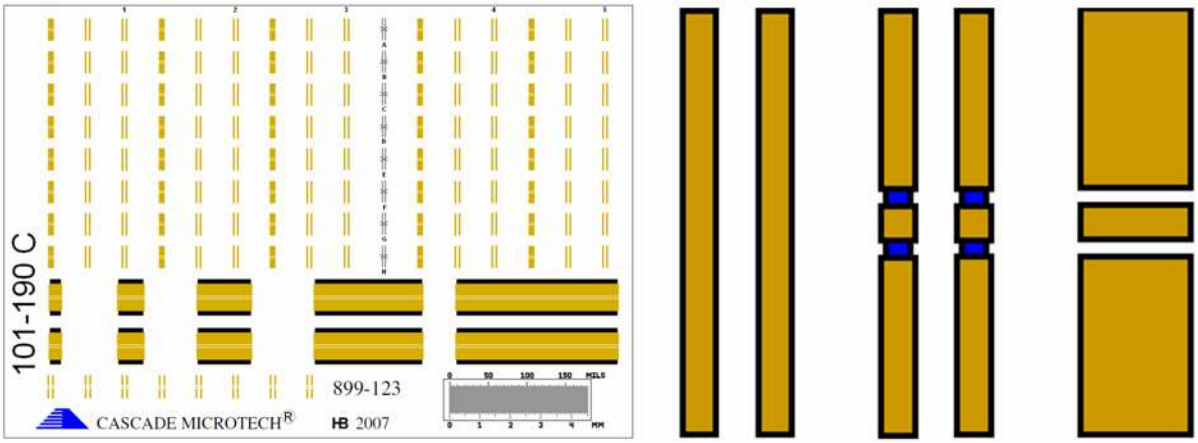
Comme nous l'avons vu lors de la présentation des éléments du banc de caractérisation radiofréquence, les standards sont réalisés sur un substrat étalon en céramique nommé ISS. Ce substrat étalon est bien entendu associé à un type de pointes

suivant leur structure et leur espacement. Dans le cadre des mesures qui ont été effectuées sur les boîtiers DHVQFN, cet espacement entre pointes est de 125µm. Les caractéristiques de ces standards sont fournies par le constructeur en même temps que les micro-pointes et le substrat de calibrage. Dans notre cas, pour les micro-pointes « Infinity » 50GHz, le substrat de calibrage associé comporte les caractéristiques suivantes pour les quatre standards :

Caractéristiques	Valeurs fournies par le fabricant CASCADE
Copen	-6.5 pF
Lshort	5.7 pH
Retard de ligne	1 ps
Rload	50 Ω

Tableau4 . Caractéristiques des standards fournis par CASCADE

L'impédance de la charge, Rload, est indiquée à 50Ω et la ligne est définie par le retard dans la transmission du signal exprimé en picoseconde. Il est à noter que la capacité décrivant le circuit ouvert est négative. Ceci est dû au fait que ce standard est mesuré avec les micro-pointes levées. La permittivité de l'air étant plus faible que celle du matériau du substrat de calibrage, en l'occurrence de la céramique, la capacité calculée entre les pointes signal et masse est négative [CASC].



FigureII.14: Substrat de calibrage et motifs "Short", "Load" et "Thru"

Ces valeurs caractéristiques sont intégrées dans le logiciel WinCal grâce à la référence du substrat de calibrage utilisé. Lors de la mesure des standards, le logiciel calcule les termes d'erreurs suivant le modèle correspondant à la méthode de calibrage souhaitée. Ensuite, ceux-ci sont envoyés dans l'analyseur de réseau qui corrige les

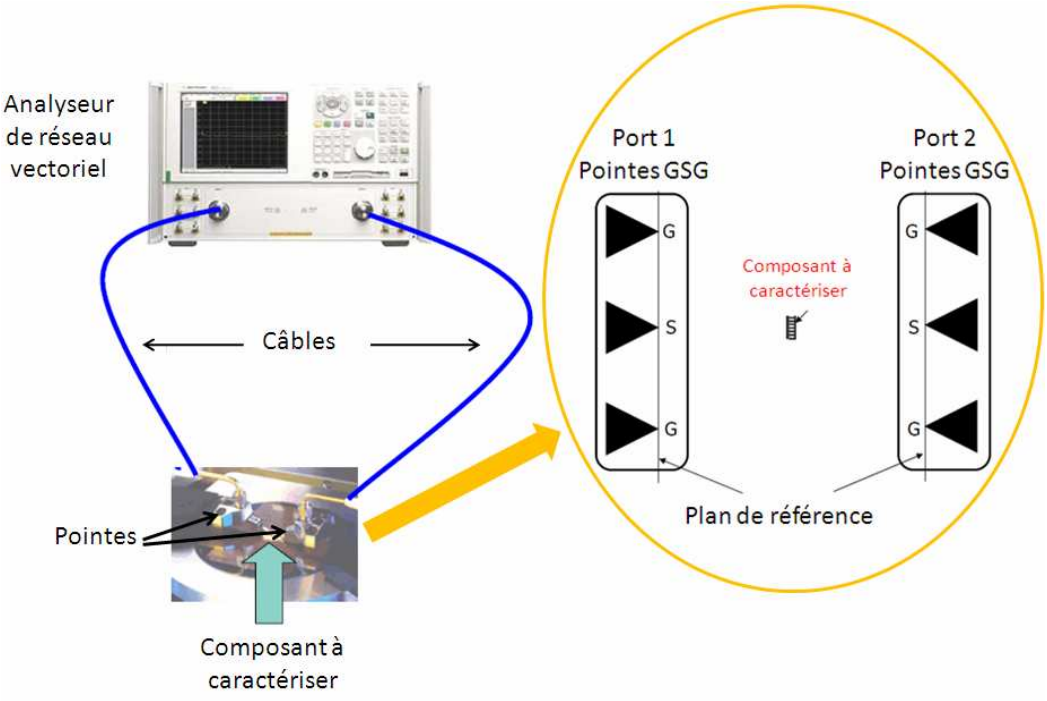
paramètres S lors de la mesure du circuit à caractériser. L'inconvénient que l'on peut voir pour cette méthode est que les standards de référence sont considérés comme parfaits. Lors de la vérification du calibrage, la mesure du circuit-ouvert ou du court-circuit va montrer une parfaite réflexion et les erreurs ne peuvent pas être identifiées. De plus, ce calibrage est très sensible à la manière de positionner les micro-pointes.

II.4.2 Calibrage LRRM (Line-Reflect-Reflect-Match)

Cette autre méthode de calibrage ne considère pas les standards comme parfaits mais comme des composants proches d'une ligne, de composants à fort coefficient de réflexion ou d'une charge adaptée. Ce type de calibrage est préconisé dans le cadre de mesure supérieure à 50GHz, en l'occurrence lors de caractérisation jusqu'à 100GHz.

II.4.3 Suppression des parasites

Une fois l'étape de calibrage du banc effectuée, le plan de référence de mesure se trouve au niveau de l'extrémité des micro-pointes (cf. figure II.15). Tous les parasites présentés par l'analyseur de réseau, les câbles et les micro-pointes sont donc intégrés dans les termes d'erreurs énoncés précédemment. Les circuits à caractériser ou les lignes de transmission ont des dimensions très petites par rapport à celles des micro-pointes utilisées par conséquent on utilise des plots GSG pour amener le signal au circuit à mesurer. Ces plots, de par leur constitution, apportent des éléments parasites qu'il faut éliminer.



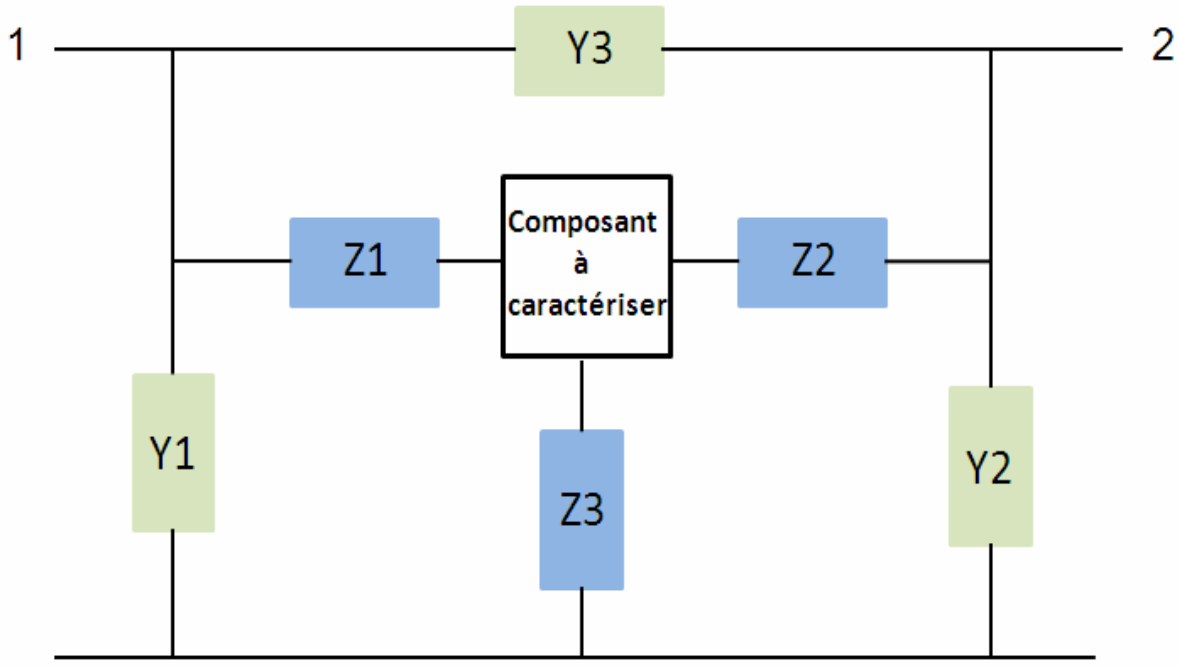
FigureII.15: Définition du plan de référence par le calibrage

Afin de ramener le plan de référence au plus près du composant à caractériser, il est nécessaire d'utiliser une autre technique de correction des parasites qui s'effectue en mesurant différents éléments réalisés directement sur le même substrat que le circuit à mesurer. Cette méthode est basée sur la représentation électrique des accès aux composants à caractériser et dépend de la complexité et de la faisabilité.

Il existe plusieurs méthodes de correction dont les plus courantes sont mentionnées ci-dessous :

- ✓ OPEN-SHORT / SHORT-OPEN,
- ✓ OPEN-SHORT-LOAD,
- ✓ OPEN-THRU.

La plus simple est une technique à deux étapes, l'OPEN-SHORT. Le circuit ouvert, OPEN, sert à éliminer les parasites parallèles tels que les capacités. Le court-circuit, SHORT, permet de déterminer les pertes séries apportées par les lignes d'interconnexion, c'est-à-dire les résistances et les inductances. Les parasites parallèles sont modélisés par les paramètres Y et forment un schéma en Π autour du composant et les parasites séries sont modélisés par les paramètres Z et représentent un schéma en T comme décrit sur la figure suivante.



FigureII.16: Schéma équivalent des éléments parasites d'accès au composant à caractériser

Les matrices décrites ci-dessous sont obtenues à partir des deux types de modèles :

$$Y_{OPEN} = \begin{pmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{pmatrix}$$

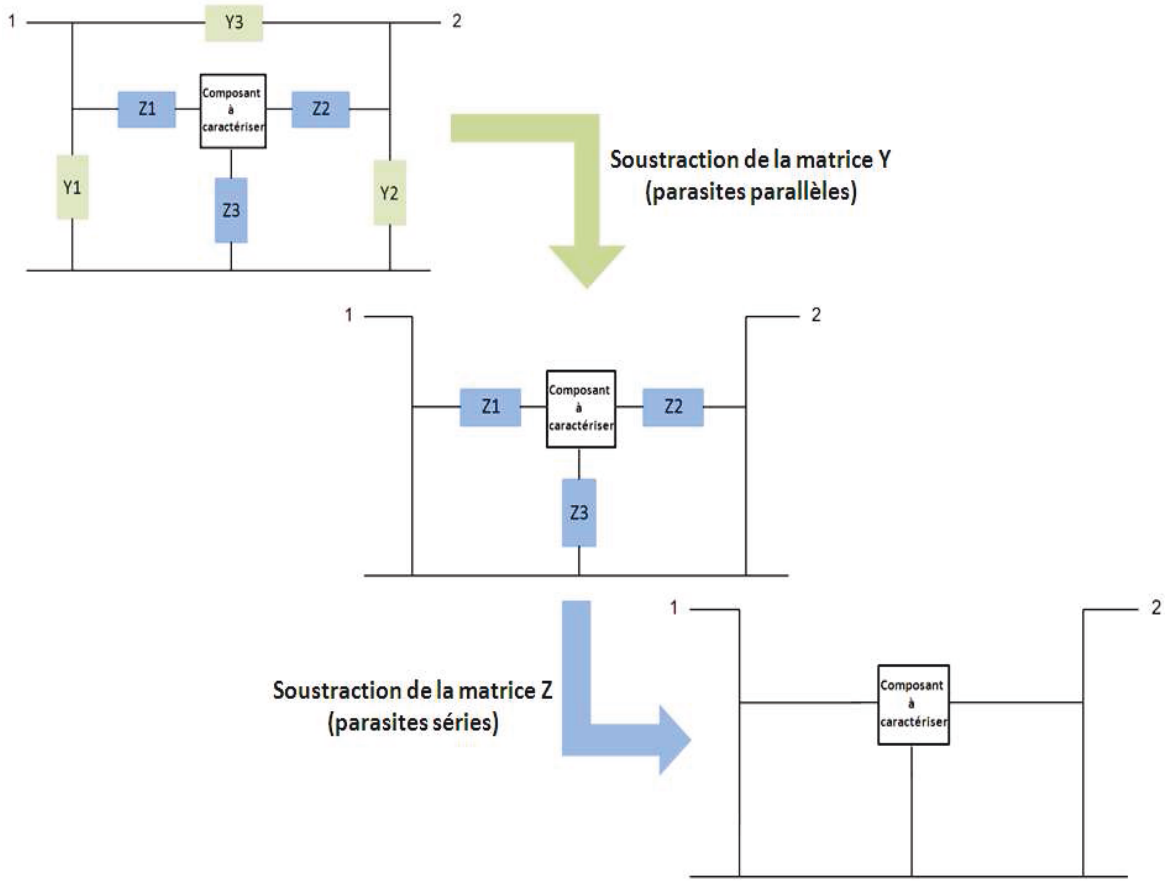
$$Z_{SHORT} = \begin{pmatrix} Z_1 + Z_3 & Z_3 \\ Z_3 & Z_2 + Z_3 \end{pmatrix}$$

Lors de la mesure du court circuit, les parasites parallèles sont aussi mesurés donc pour obtenir seulement les parasites séries, la mesure du circuit ouvert doit être soustraite de la mesure du court-circuit :

$$Z_{SERIE} = \left(Z_{SHORT}{}^{-1} - Y_{OPEN}\right)^{-1}$$

Les paramètres intrinsèques du composant à caractériser sont alors donnés par :

$$Y_{composant} = \left(\left(Y_{mesuré} - Y_{OPEN}\right)^{-1} - Z_{SERIE}\right)^{-1}$$



FigureII.17: Méthode d'extraction des paramètres intrinsèques du composant à mesurer

Ces calculs sont réalisés après la mesure de l'OPEN et du SHORT, grâce au logiciel IC-CAP. Cette correction n'est pas toujours sans difficulté car les structures qui servent à la suppression des parasites peuvent être mal dessinées et peuvent apporter plus de parasites.

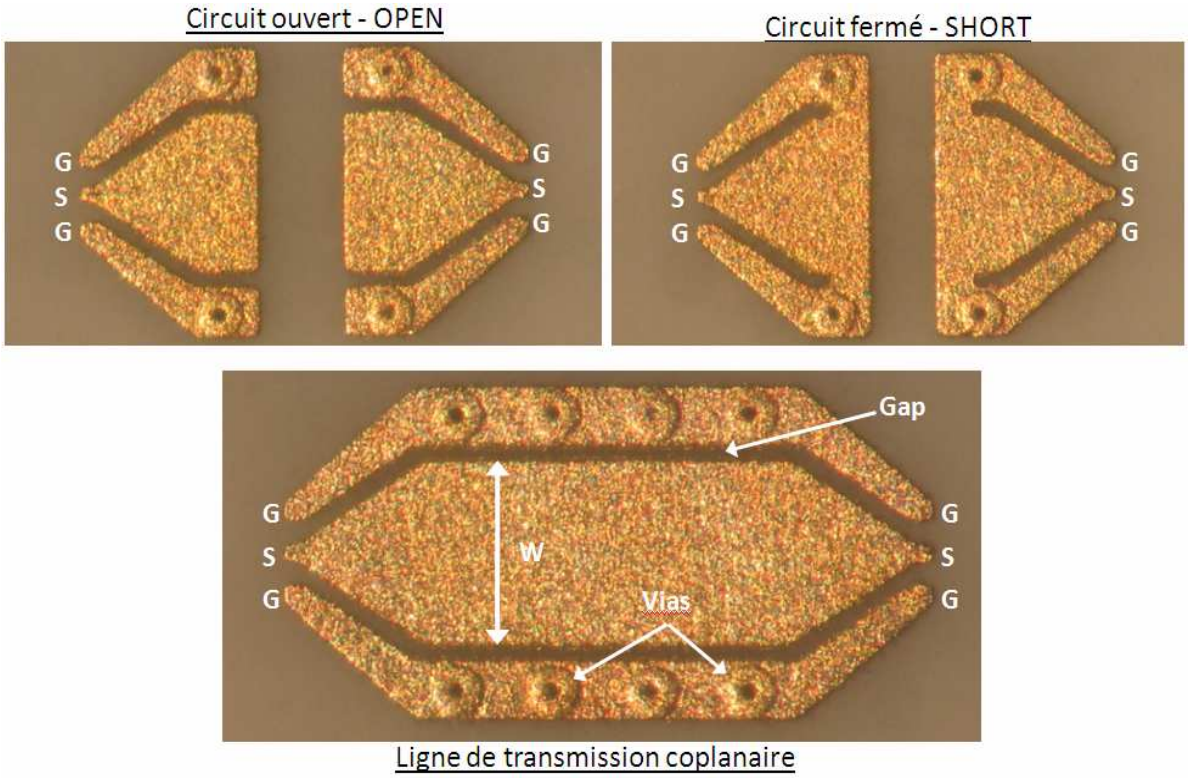
II.5 Exemple de mesure de ligne

Avant de réaliser la caractérisation du boîtier DHVQFN (chapitre III), j'ai mesuré au préalable des structures simples comme des lignes de transmission de différentes géométries (coplanaire et micro-rubans). Ces lignes de transmission ainsi que les motifs de soustraction de parasites associés sont dessinées et réalisées sur le même type de substrat que celui qui accueillera les boîtiers DHVQFN (cf. figure II.18), le but étant d'avoir exactement les mêmes conditions que ce soit au niveau des éléments physiques (substrat, métaux,…) ou au niveau des conditions de mesures (appareils de mesure, calibrage, micro-pointes,…). Cela permet de valider l'étape de fabrication du substrat de mesure mais aussi le calibrage et le fonctionnement du banc de caractérisation radiofréquence. Les résultats obtenus avec ces structures de lignes vont également nous aider à valider l'étape de calibrage du simulateur électromagnétique EMPro utilisé par la suite.

Les paramètres de la ligne de transmission coplanaire prise en exemple ont été définis dans le but de conserver une impédance caractéristique de 50Ω en fonction du substrat utilisé dans une gamme de fréquence allant de 500MHz à 30GHz, la même gamme de fréquence pour laquelle je dois caractériser le boîtier DHVQFN.

Les paramètres physiques de cette ligne sont les suivants:

- ✓ largeur de ligne (W) égale à 60µm,
- ✓ espacement entre ligne et masse (Gap) égal à 550µm,
- ✓ longueur de ligne (L) égale à 2000µm
- ✓ et diamètres des vias à 125µm.



FigureII.18: Motifs de soustraction de parasites (OPEN-SHORT) et de ligne de transmission

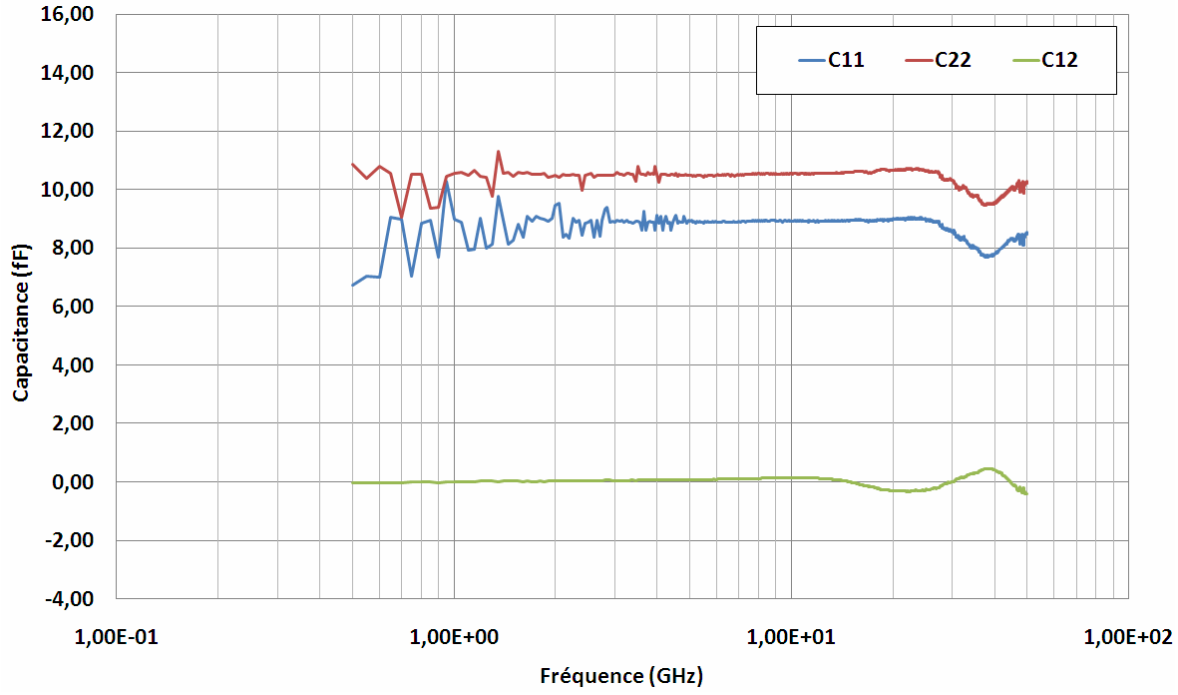
Avant de débuter la mesure des lignes de transmission, il est nécessaire de mesurer les motifs de soustraction de parasites après avoir bien entendu réalisé et vérifié le réglage des micro-pointes et le calibrage du banc de mesure. La méthode choisie est la méthode OPEN-SHORT par conséquent deux motifs sont à mesurer. Les paramètres S de ces mesures sont envoyés de l'analyseur de réseau vers le logiciel IC-CAP qui réalise par transformation la conversion en paramètres Z et Y puis l'extraction des éléments parasites capacitif et inductif (cf. figure II.17).

On peut remarquer sur les figures suivantes que :

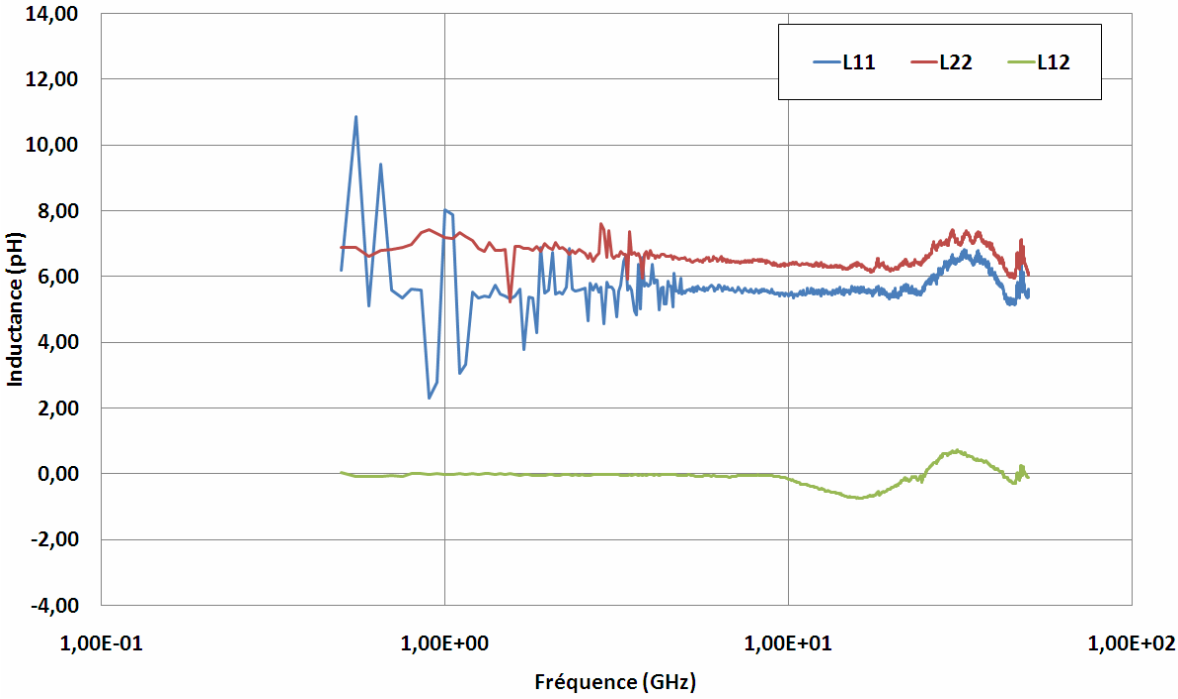
✓ les valeurs des capacités de couplage vers la masse dans le cas de l'OPEN sont de l'ordre d'une dizaine de femto farad,

✓ les inductances séries du SHORT sont quant à elle égales à 6 pico Henry.

Par ailleurs, le couplage entre les deux ports (C_{12} et L_{12}) est très faible.



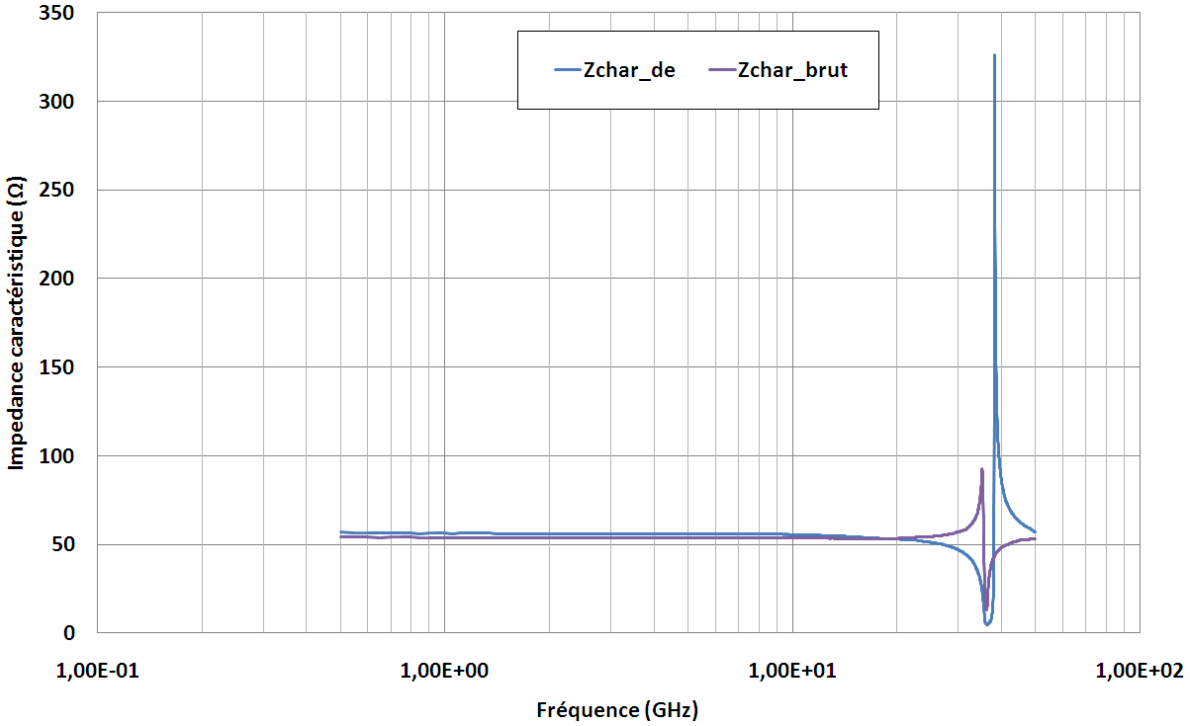
FigureII.19: Valeurs des capacités extraites des motifs de soustraction de parasites de type OPEN – C_{11} pour le port1 – C_{22} pour le port2 – C_{12} entre le port1 et le port2



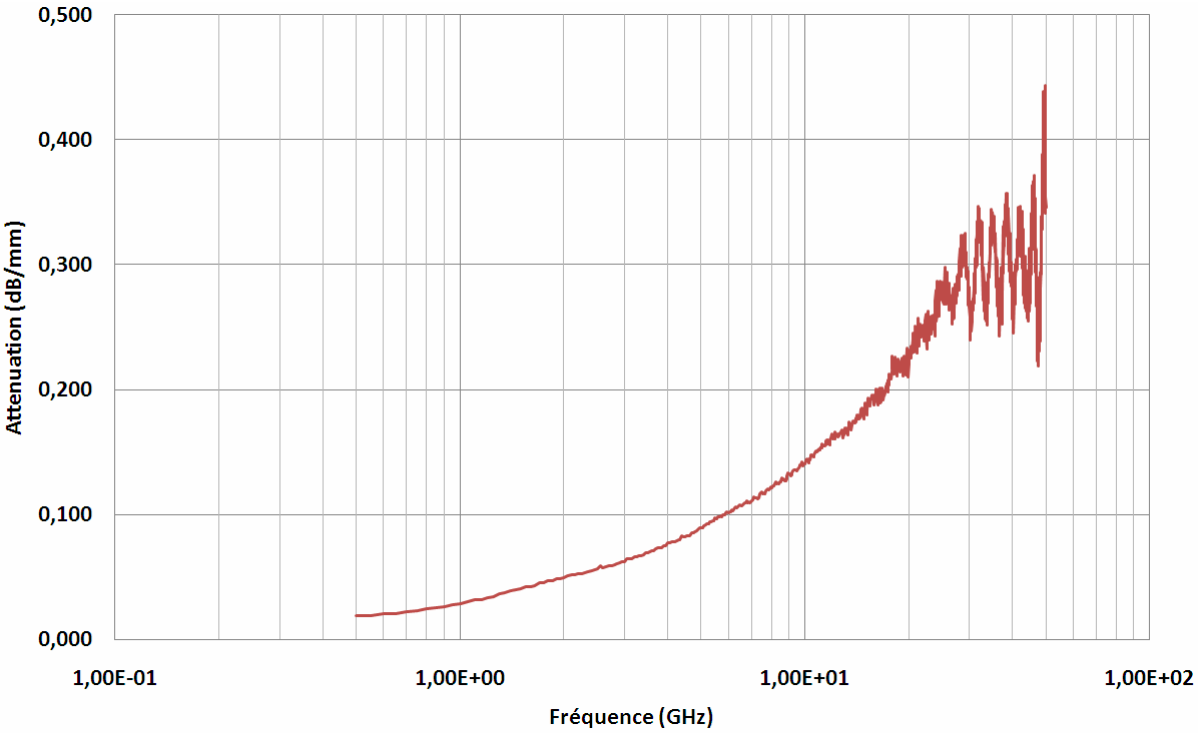
FigureII.20: Valeurs des inductances extraites des motifs de soustraction de parasites de type SHORT – L_{11} pour le port1 – L_{22} pour le port2 – L_{12} entre le port1 et le port2

On peut également noter que la valeur de l'impédance caractéristique de la ligne de transmission mesurée est conforme à notre attente soit une valeur d'environ 50Ω jusqu'à

une fréquence de 30GHz. Les valeurs d'impédance caractéristique et d'atténuation ont été extraites à l'aide des formules de l'annexe B.



FigureII.21: Valeurs de l'impédance caractéristique de la ligne de transmission – Zchar_brut : impédance caractéristique brut – Zchar_de : impédance caractéristique après soustraction des parasites



FigureII.22: Valeurs de l'atténuation de la ligne de transmission

Nous avons vu au cours de ce chapitre, les outils d'analyses vectoriels comme les paramètres S qui nous servent à interpréter les résultats de mesures lors de la caractérisation radiofréquence d'un circuit, que ce soit une ligne de transmission ou bien le boîtier DHVQFN. Nous avons également abordé les différents éléments du banc de mesure ainsi que les types d'erreurs qui viennent perturber la mesure du composant à caractériser. Les deux méthodes de calibrage et de suppression des parasites ont été aussi décrites, méthodes qui ont été illustrées et validées par l'interprétation des résultats de mesures des lignes de transmission.

En conclusion, on peut dire que les mesures réalisées lors de caractérisation radiofréquence sous micro-pointes sont relativement bien maîtrisées et qu'elles sont notamment adaptées à des dispositifs planaires avec des dimensions assez larges. En outre, dans le cadre de la caractérisation du boitier DHVQFN, nous ne sommes plus dans le cas d'une telle structure planaire étant donné que l'espacement des terminaux du boîtier est de 500µm et que les dimensions des micro-pointes sont plus petites (125µm). Il s'avère donc nécessaire de créer une structure d'accès spécifique adaptée à l'architecture du boîtier DHVQFN afin d'obtenir les résultats du comportement électrique de ce dernier dans la gamme de fréquence des ondes centimétriques.

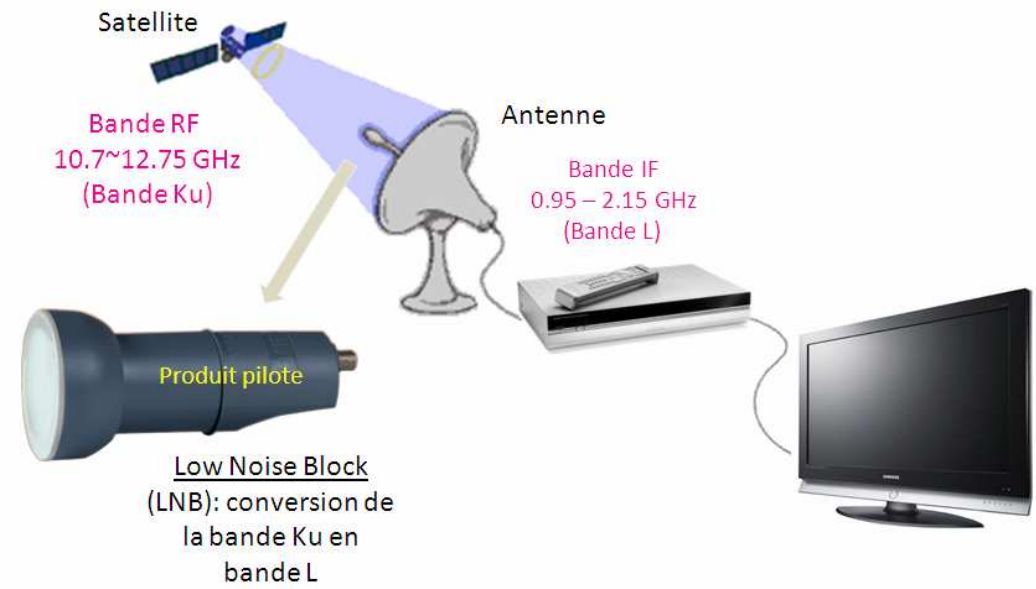
III Caractérisation électrique et modélisation électromagnétique du boîtier DHVQFN

Le développement de technique de caractérisation adressé pour les boîtiers montés en surface est motivé par le besoin de prédire leur comportement parasitique à haute fréquence. De ce fait, la capacité à caractériser de manière simple et fiable les boîtiers permet de fournir un moyen d'étudier et de modéliser de la manière la plus exacte possible leur comportement. Comme je l'ai évoqué dans les chapitres précédents, la caractérisation radiofréquence sous pointes des boîtiers n'est pas une caractérisation standard comme cela peut l'être dans le cas de mesure de lignes de transmission. Les problématiques sont principalement dues à l'accessibilité des terminaux du boîtier mais aussi à leur espacement, au choix du substrat d'accueil où seront soudés les boîtiers avec la définition de ses caractéristiques en fonction de la gamme de fréquence de caractérisation et à l'accessibilité interne des éléments du boîtier.

Ce chapitre présente la méthode de caractérisation sous pointes que j'ai appliquée au boîtier DHVQFN pour au final en mesurer les performances électriques dans le domaine des ondes centimétriques et en extraire un modèle électromagnétique et électrique. L'objectif étant également de correctement calibrer le simulateur électromagnétique afin d'utiliser ce dernier pour explorer des pistes d'amélioration sans pour autant réaliser et mesurer des véhicules de test qui peuvent se révéler coûteux. Après une première partie consacrée à la description du véhicule de test considéré pour cette étude, je présenterai la méthode de mesure qui a due être mise au point et appliquée sur un lot d'échantillons représentatifs de boîtiers DHVQFN. Enfin dans la dernière partie, j'aborderai la modélisation électromagnétique et électrique du véhicule de test en prenant soin de présenter le synoptique de simulation.

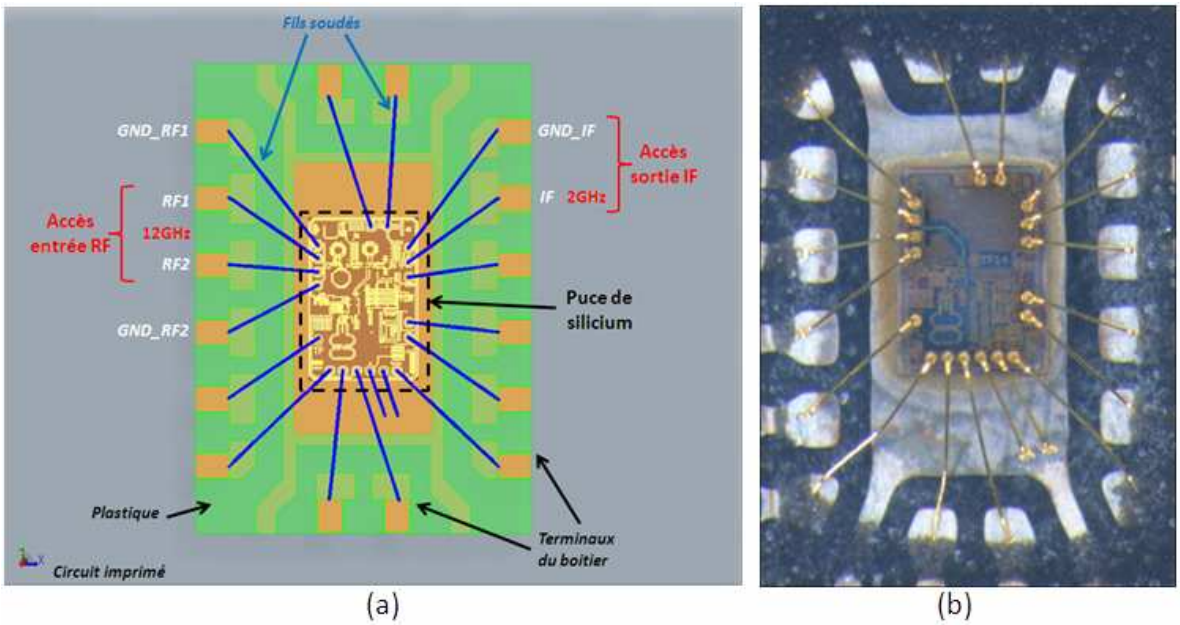
III.1 Description du pilote de test

Le produit pilote utilisé pour cette étude est un circuit embarqué dans les applications satellite. Il est basé sur une technologie BiCMOS, un procédé de fabrication propre à NXP. Cette puce est une boucle à verrouillage de phase (PLL) à faible bruit, fonctionnant dans la bande de fréquence X et peu dans la bande Ku (cf. annexe D). Au final, ce produit est destiné à l'intégration dans un oscillateur local se trouvant dans les émetteurs/récepteurs VSAT (cf. figure III.1).



FigureIII.1: Principe du système satellite

Le boîtier associé à cette puce est un boîtier DHVQFN, basé sur le principe du QFN, comportant 16 terminaux reliés à la puce par des fils d'or soudés de 20µm de diamètre dont trois d'entre eux sont parcourus par des signaux radiofréquence. Les broches RF1 et RF2 concernent les entrées radiofréquences et la broche IF concerne la sortie à la fréquence intermédiaire (FI). L'entrée RF de ce circuit fonctionne à une fréquence de 12GHz tandis que la sortie IF fonctionne à 2GHz. Un oscillateur local est implémenté à l'intérieur de la puce pour synthétiser un signal à une fréquence de 10GHz (cf. figure III.2.a).



FigureIII.2: Vue de la puce du produit pilote dans son boîtier

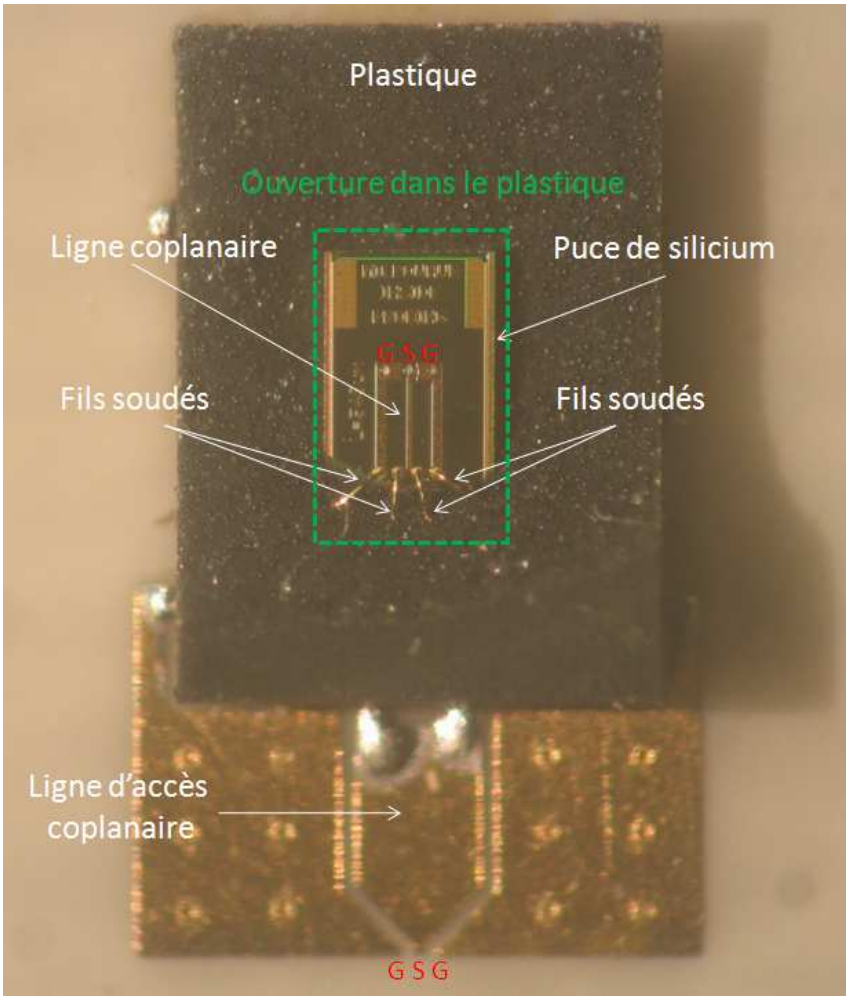
Ce type de produit destiné au marché de l'électronique grand public doit en outre présenter un coût de revient le plus faible possible. La chaîne d'entrée radiofréquence fonctionne en mode commun avec l'utilisation de deux terminaux à cause des règles de dessin imposées par les fabricants de circuit imprimé. L'accès dessiné sur le circuit imprimé à ce chemin est un guide d'onde micro-ruban. Le premier problème que l'on peut déjà entrevoir avec ce type de configuration concerne l'aspect parasite des retours de masse de cette chaîne qui sont principalement dus à la longueur des fils soudés. Le second point à prendre en compte concerne l'impédance caractéristique de ce chemin qui doit être au plus près de 50Ω afin de minimiser la désadaptation et donc les pertes induites par le boîtier DHVQFN. Il faut donc s'assurer que les terminaux du boîtier et les fils soudés ne génèrent pas de discontinuité d'impédance car les plots de la puce et l'accès sur le circuit imprimé sont adaptés à 50Ω mais on ne sait pas quelle est la valeur de l'impédance d'accès entre ces deux points.

La caractérisation radiofréquence de ce pilote de test va donc permettre dans un premier temps d'évaluer les limitations du boîtier DHVQFN en quantifiant la désadaptation et les pertes induites par ce dernier dans le domaine des ondes centimétriques (de 1 à 50 GHz). L'étape suivante consistera à corréler ces mesures avec les résultats du simulateur EMPro qui aura été au préalable calibré à l'aide d'un véhicule de test simplifié. Ce véhicule simplifié est présenté en détail dans la suite de ce manuscrit. EMPro sera ensuite utilisé pour évaluer et proposer des améliorations relatives à l'architecture du boîtier DHVQFN dans le but d'obtenir de meilleures performances électriques dans la gamme des applications recherchées.

III.2 Caractérisation radiofréquence appliquée au boîtier DHVQFN

Un des principaux problèmes de la caractérisation appliquée aux boîtiers DHVQFN est que les terminaux ne sont pas facilement accessibles sans modification significative de la structure d'origine. Dans le but d'optimiser et de simplifier la caractérisation, nous avons décidé de créer un pilote de test spécifique basée sur le produit satellite décrit auparavant. Pour cela, ce pilote sera divisé en trois parties distinctes avec une ligne coplanaire de métal gravée sur la puce de silicium qui est connectée par l'intermédiaire de quatre fils soudées aux terminaux du boîtier (cf. figure III.3), le tout encapsulé dans un boîtier DHVQFN. Cette configuration permet de reproduire le chemin d'entrée radiofréquence du produit satellite et d'évaluer les performances électrique à travers l'ensemble constitué de la ligne de la puce, des fils soudés, des terminaux du boîtier et de

la ligne d'accès sur le substrat. Cet ensemble sera évalué à l'aide de deux sondes micro-pointes GSG « Infinity » connectées à l'analyseur de réseau vectoriel.



FigureIII.3: Photographie du pilote de test utilisé pour la caractérisation

La première partie de ce pilote de test est une puce de silicium sur laquelle est gravée une ligne coplanaire en procédé BiCMOS. Cette ligne a été dessinée de manière à pouvoir accéder avec les pointes GSG à son extrémité. L'autre extrémité de cette ligne est connectée à l'aide de quatre fils soudés, deux pour le signal et deux pour chaque chemin de masse, aux terminaux du boîtier. Ces quatre fils soudés réalisés en or ont un diamètre de 20µm. Afin de réaliser ces mesures, un substrat de type RO4003C de ROGERS Corporation a été choisi comme substrat d'accueil des boîtiers DHVQFN (cf. annexe E). Comme je l'ai décrit auparavant, la caractérisation de ce type de boîtier n'est pas une caractérisation standard par conséquent il est nécessaire de reporter les terminaux sur une structure mesurable et compatible avec l'espacement des micro-pointes.

Les substrats de la série RO4000 sont des substrats organiques conçus pour offrir des performances supérieures à haute fréquence avec de faibles pertes (caractéristiques décrites dans le tableau5). D'une manière générale, l'épaisseur du substrat est également à prendre en compte car plus l'épaisseur est faible et plus la fréquence de travail est élevée. Une règle simple consiste à adopter une épaisseur de substrat dix fois inférieure à la longueur d'onde de fonctionnement dans le substrat. Dans notre cas, pour un substrat organique avec une constante diélectrique ε_r=3,38 et la définition de la longueur d'onde ci-dessous :

$$\lambda = \frac{c}{freq\sqrt{\varepsilon_{eff}}} \text{ exprimée en mètre (m)}$$

avec $\varepsilon_{eff} = (\varepsilon_r + 1)/2$, la permittivité effective et donc $h = \lambda/10$, on obtient :

- ✓ h = 1,7mm jusqu'à 12GHz,
- ✓ h = 675µm jusqu'à 30GHz,
- ✓ h= 406µm jusqu'à 50GHz.

En fonction de ces résultats, j'ai donc choisi le RO4003C avec une épaisseur de 406µm comme substrat d'accueil pour caractériser les boîtiers.

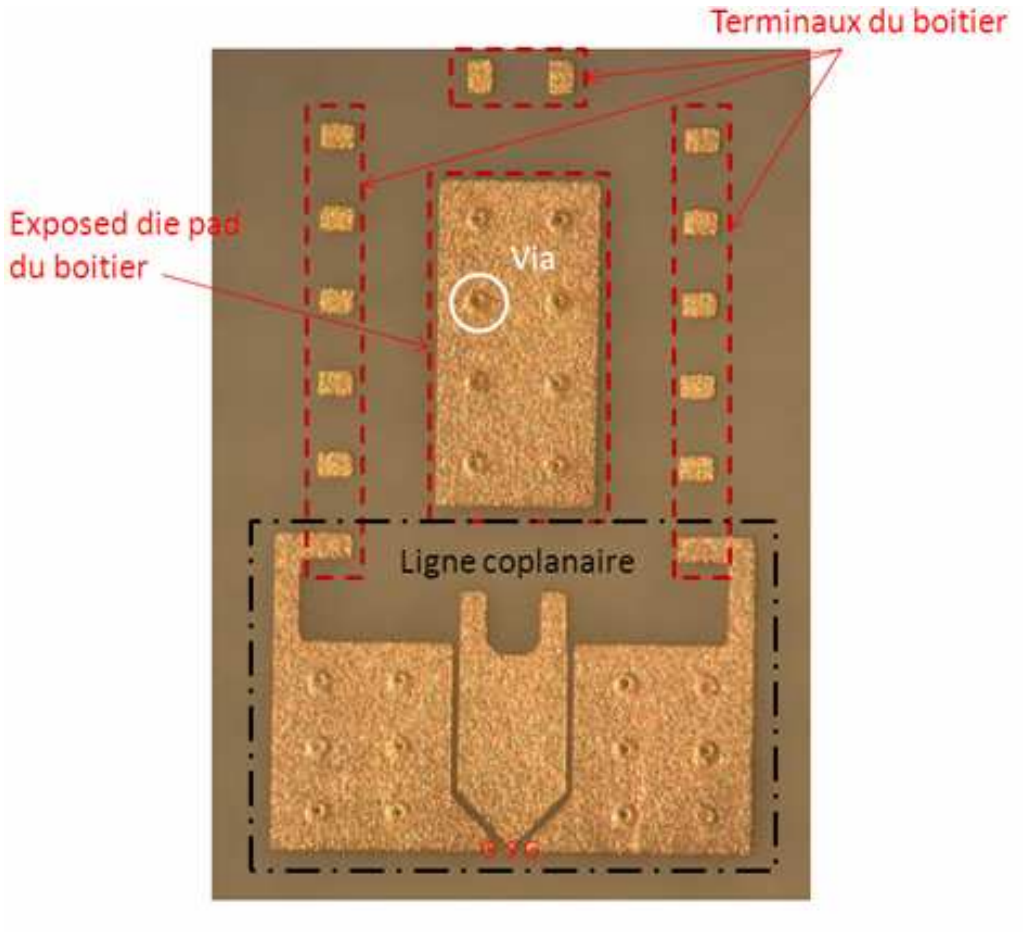
Propriétés	**Valeurs Typiques**	**Conditions**
Constante diélectrique, ε_r (spécification procédé)	3,38 ±0,05	10GHz/23°C
Constante diélectrique, ε_r (spécification design)	3,55	23°C
Facteur de dissipation, tan δ	0.0027	10GHz/23°C
	0.0021	2,5GHz/23°C
Coefficient de dilatation thermique	+40 ppm/°C (axe Z)	-50°C à 150°C
Conductivité thermique	0.71 W/m/°K	80°C

Tableau5 . Principales caractéristiques du substrat haute fréquence ROGERS RO4003C

L'étape suivante a consisté à dessiner la structure de métallisation du substrat afin que d'un côté on puisse souder les boîtiers, et de l'autre créer la liaison entre les plots qui accueilleront les micro-pointes GSG et les terminaux du boîtier. Le RO4003C comporte, à notre demande, une métallisation de cuivre de 15µm d'épaisseur sur la face avant et la face arrière. Ces deux faces sont reliées par des vias de 125µm de diamètre afin d'avoir une

parfaite connexion à la masse avec le support de plaque du banc de mesure. La ligne d'accès permettant la liaison du boîtier au substrat est une ligne coplanaire dessinée de manière à conserver une impédance de 50Ω pour ne pas désadapter la structure (cf. figure III.4).

Les dimensions de cette ligne de 50Ω ont été calculées en fonction de tous les paramètres physiques environnants tels que l'épaisseur et la conductivité du métal et les caractéristiques du substrat. Pour valider les paramètres de cette ligne comme l'impédance caractéristique, une simulation électromagnétique de la structure a été effectuée à l'aide du simulateur Momentum d'AGILENT. Ce simulateur utilise un solveur 2.5D qui analyse les champs électrique E et magnétique H en trois dimensions et considère les courants uniquement dans deux dimensions avec des courants uniformes dans la troisième. Momentum utilise la Méthode des Moments comme méthode de résolution des équations de propagation électromagnétique. Par conséquent, ce type de simulateur est le plus approprié dans le cas de structures planaires comme par exemple les lignes de transmission.



FigureIII.4: Photographie de la structure métallique d'accueil et d'accès au boîtier

Une fois les structures définies et validées, il est nécessaire d'ouvrir les boîtiers DHVQFN en préservant l'intégrité électrique et physique de la puce afin de pouvoir accéder aux plots de la ligne de la puce avec la micro-pointe de mesure. Cette technique consiste à utiliser un laser qui permet de faire l'ouverture localisée de la face avant et de finir l'ouverture par voie chimique. L'avantage de cette technique est la possibilité d'ouverture localisée du boîtier dans un temps non négligeable variant de 3 à 4 minutes en moyenne, et n'est bien sûr pas destructive pour la puce de silicium. Enfin, pour terminer, tous les boîtiers à caractériser ont été soudés sur chaque structure du substrat avant de débuter la phase de caractérisation sous pointes.

III.2.1 Méthode de mesure du boîtier DHVQFN

Ce paragraphe va décrire la méthode que j'ai suivie afin d'aboutir à des résultats de mesures du boîtier DHVQFN. Avant toute manipulation, il est nécessaire de suivre les règles de décharges électrostatique (DES ou ESD en anglais) mises en place au sein du laboratoire de mesure. Cela consiste dans un premier temps à s'équiper de chaussures protectrices et de contrôler leur conformité en utilisant un testeur ESD. Ensuite, il est obligatoire de vérifier les dates de validité en ce qui concerne l'étalonnage des appareils de mesure, étapes prises en charge par le service métrologie de NXP. Après la mise sous tension de l'analyseur de réseau, il est conseillé d'attendre au moins 30 minutes avant de débuter toute manipulation afin que tous les éléments internes à l'analyseur se stabilisent (source radiofréquence, coupleur,…). Si des mesures en température sont nécessaires, le régulateur de température doit être mis sous tension au moins 15 minutes avant toute mesure.

La première étape consiste à régler les pointes en terme d'alignement et de force d'appui sur le substrat de contact afin d'avoir des impacts uniformes. C'est une étape primordiale dans la qualité et la fiabilité des résultats du calibrage mais aussi des résultats de mesure. Afin d'évaluer la qualité des contacts, j'ai mesuré à l'aide d'un ohmmètre la résistance du motif SHORT, ce qui a donné une résistance de contact de 1,31Ω pour le port1 et 1,47Ω pour le port2. Il convient ensuite de configurer les équipements de mesure en communiquant la configuration de la mesure à partir d'IC-CAP vers les équipements comme l'analyseur de réseau (bande de fréquence de mesure, nombre de points d'acquisition, type de balayage, puissance d'entrée, référence du substrat de calibrage en

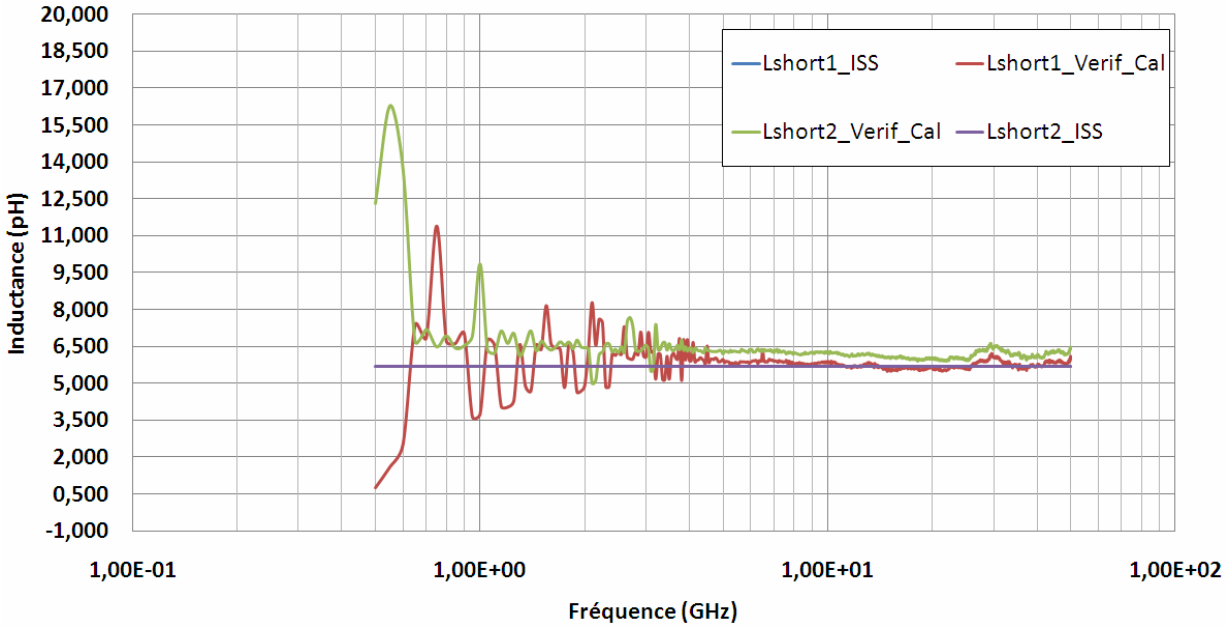
fonction des pointes choisies,…). Une fois la configuration chargée dans les appareils, débute l'étape du calibrage.

Les conditions de mesures sont données dans le tableau suivant :

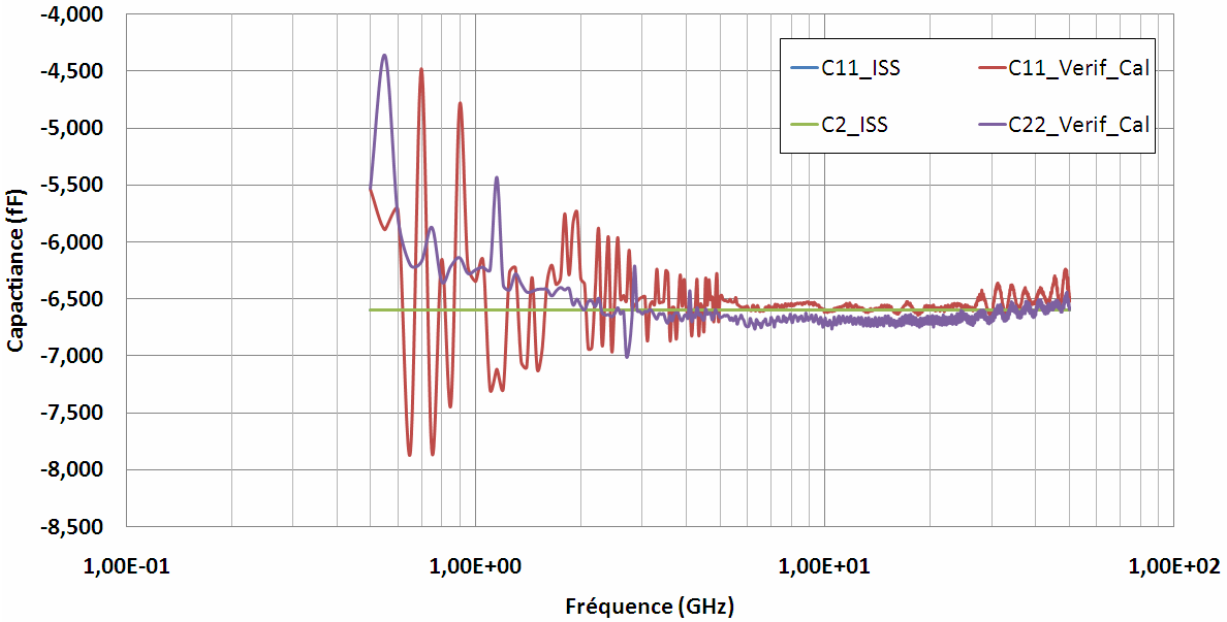
Banc de mesure NXP 50GHz
Analyseur de réseau Agilent E8364B
Calibrage SOLT
500MHz-50GHz
Balayage linéaire, 1000 points
Puissance sur le port1 = -10dBm
Puissance sur le port2 = -10dBm
Pointes GSG Cascade Infinity 50GHz
Ecart des pointes 125µm

Tableau6 . Conditions de mesure des boîtiers au laboratoire LAMIPS

Pour ce type de caractérisation, un calibrage SOLT a été effectué avec une gamme de fréquence de mesure variant de 500MHz à 50GHz. Le calibrage débute par la mesure des quatre standards de calibrage du substrat ISS (SHORT, OPEN, LOAD et THRU). Lors de la mesure de chaque standard, le logiciel Wincal calcule les termes d'erreurs et une fois les mesures terminées transfère les données dans l'analyseur de réseau ce qui permettra de corriger les paramètres S lors des mesures de boîtiers DHVQFN. Après la mesure des standards, il est nécessaire de vérifier la validité du calibrage. Pour cela, ces standards sont mesurés une nouvelle fois et les résultats de mesures sont comparés aux valeurs caractéristiques données par le fournisseur comme illustrés dans les quatre figures suivantes.

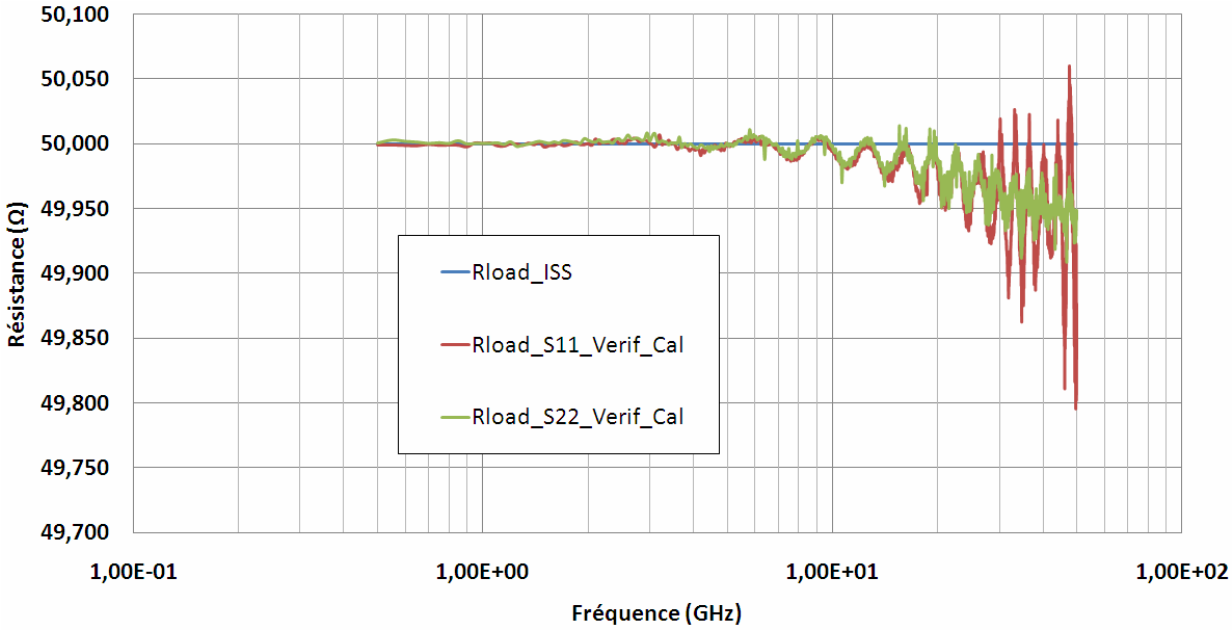


FigureIII.5: Mesure après un calibrage SOLT du SHORT

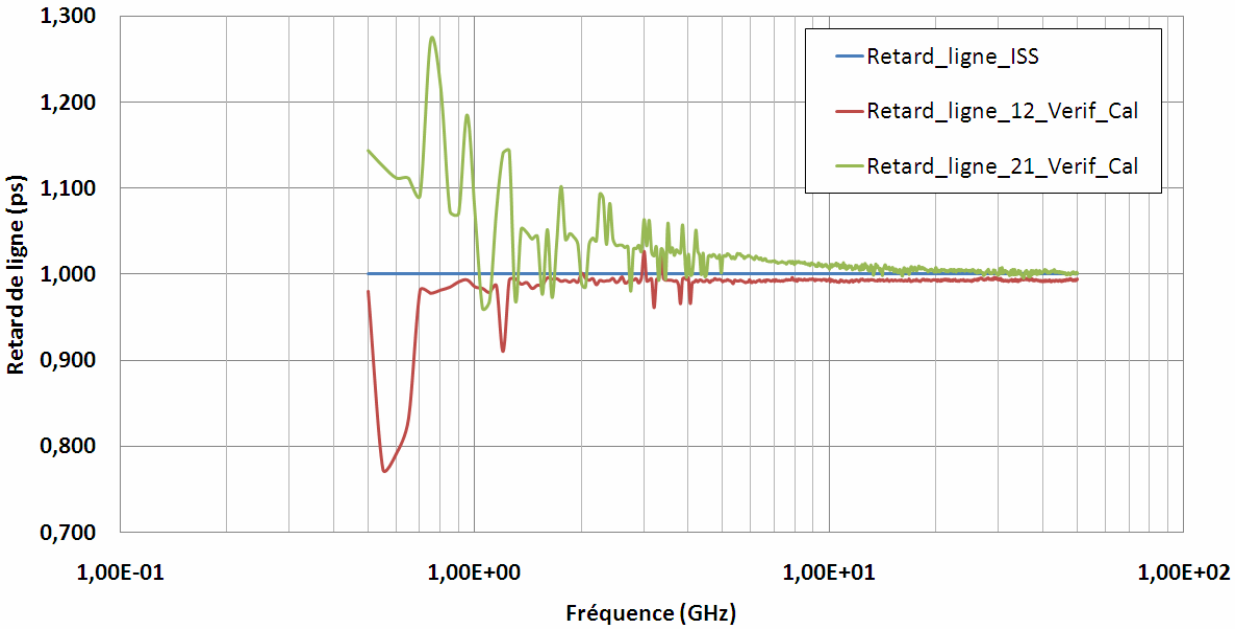


FigureIII.6: Mesure après un calibrage SOLT de l'OPEN

Les résultats de mesure des quatre standards après le calibrage SOLT montrent clairement que ce calibrage est très satisfaisant ce qui permet d'avoir une correction des paramètres S optimale et également d'avoir un plan de référence à l'extrémité des pointes de mesure [AGI08].



FigureIII.7: Mesure après un calibrage SOLT du LOAD



FigureIII.8: Mesure après un calibrage SOLT du THRU

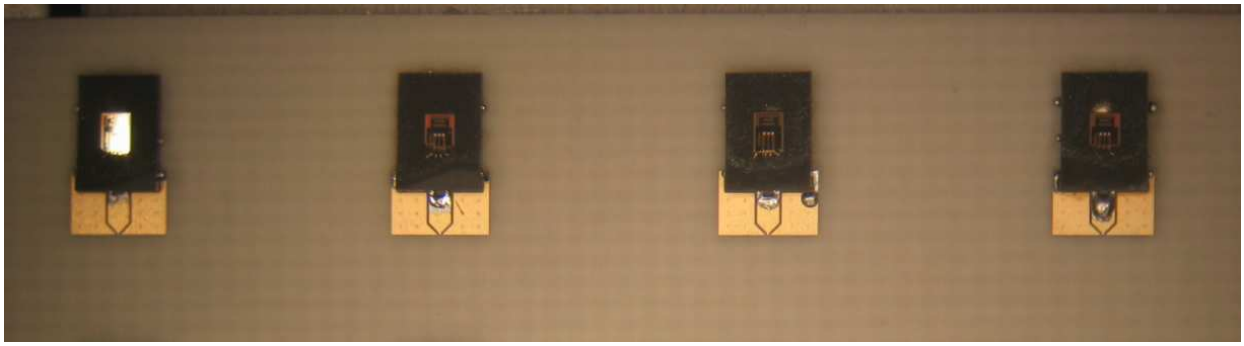
Il n'existe par réellement de critères sur la validité de ces valeurs. Pour la charge LOAD, la tolérance est fixée à ±0,4%, ce qui représente ±0,2Ω. Pour les trois autres standards, on ne s'offusque pas d'avoir des valeurs aberrantes en dessous de 1GHz, par contre, la valeur mesurée doit tendre vers la valeur théorique au fur et à mesure que la fréquence augmente, comme nous pouvons le voir sur les figures III.5 à III.8. Le tableau

ci-dessous montre les valeurs caractéristiques de référence des standards ainsi que leurs valeurs mesurées sur les deux ports après le calibrage SOLT.

Caractéristiques	Valeurs données par le constructeur	Valeurs minimum mesurées (Port 1)	Valeurs minimum mesurées (Port 2)	Valeurs maximum mesurées (Port 1)	Valeurs maximum mesurées (Port 2)
Copen	-6.5 pF	-6.70pF	-6.76pF	-6.24pF	-6.44pF
Lshort	5.7 pH	5.49pH	5.89pH	6.37pH	6.62pH
Retard de ligne	1 ps	0.99ps	0.99ps	1.00ps	1.02ps
Rload	50 Ω	49.80Ω	49.91Ω	50.06Ω	50.01Ω

Tableau7 . Valeurs des standards ISS mesurées après calibrage SOLT (supérieures à 1GHz)

Une fois le calibrage du banc de mesure validé, ce dernier est prêt à mesurer les boîtiers DHVQFN. Le substrat d'accueil RO4003C comportant les quatre boîtiers à mesurer (cf. figure III.9) est alors placé sur le support de plaque de la station sous pointe et maintenu grâce à un système d'aspiration (cf. figure II.4). Cette étape permet d'avoir une parfaite connexion du plan de masse de la face arrière du substrat de mesure et du support de plaque qui est lui-même relié à la masse globale du système.

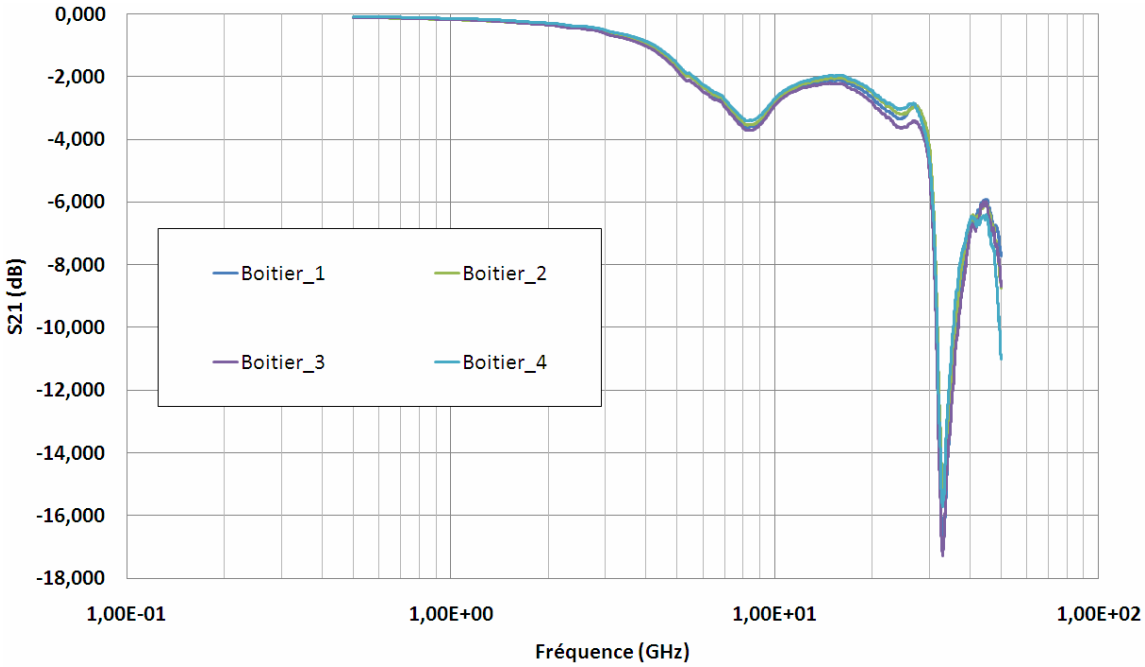


FigureIII.9: Photographie du substrat RO4003C comportant les quatre boîtiers DHVQFN

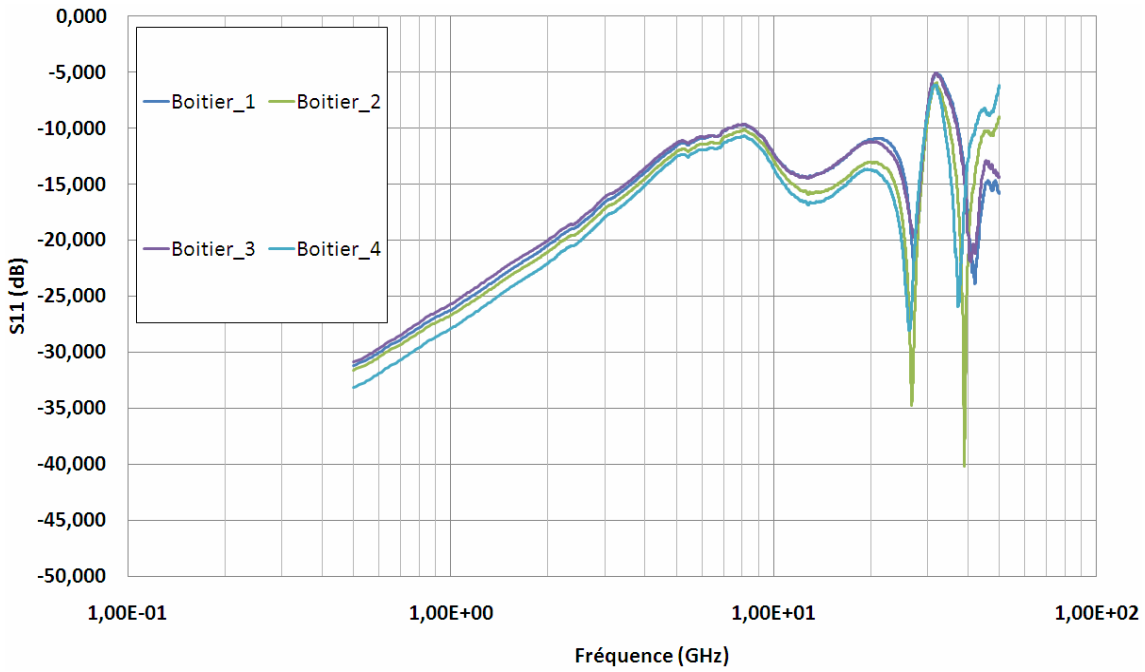
III.2.2 Résultats de mesure

Quatre boîtiers identiques (cf. figure ci-dessus) ont été mesurés directement après l'étape de vérification du calibrage SOLT. Une suppression des parasites des plots de connexion n'a pas été effectuée car il s'avère impossible de reproduire les éléments de la ligne gravée sur la puce de silicium sur le substrat d'accueil étant donné que les technologies de fabrication sont différentes. Par conséquent, le plan de référence est situé

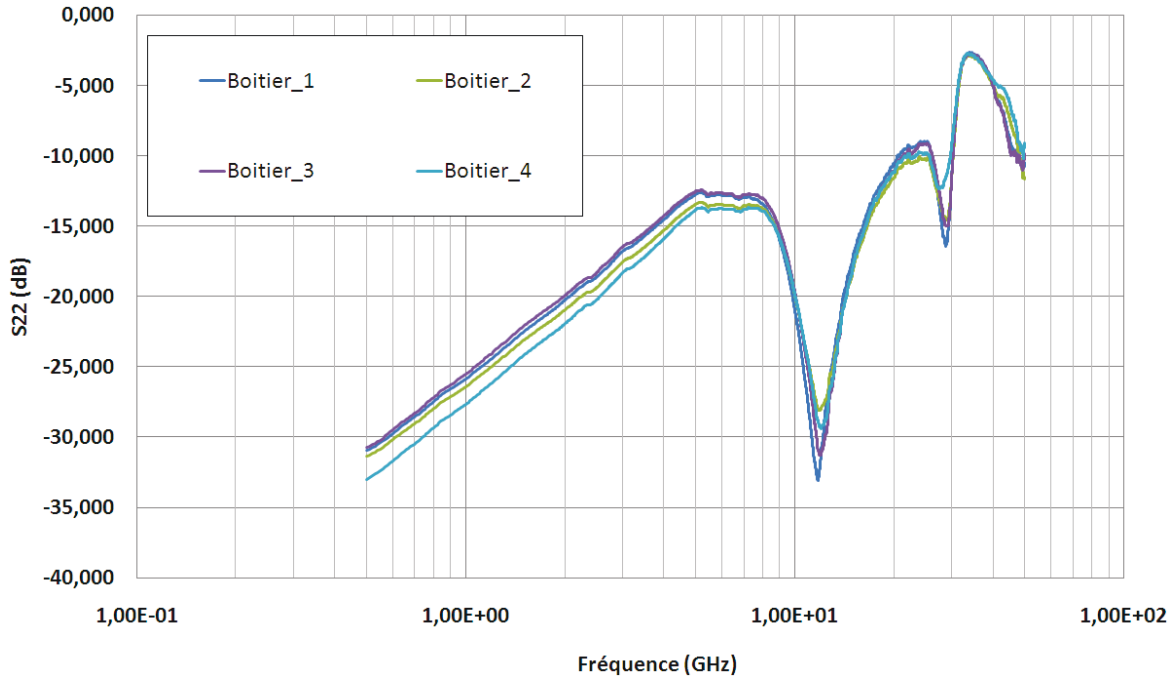
au niveau de l'extrémité des micro-pointes, ce qui ne va pas altérer nos résultats étant donné que nous recherchons à évaluer la transmission à travers l'ensemble de la chaîne d'une part et reproduire la même configuration à l'aide du simulateur électromagnétique d'autre part. Les variations expérimentales des paramètres de dispersion et de réflexion en fonction de la fréquence sont présentées sur les 3 figures suivantes.



FigureIII.10: Variations expérimentales du paramètre de transmission S21 (pertes d'insertion) en fonction de la fréquence



FigureIII.11: Variations expérimentales du paramètre de transmission S11 (réflexion) en fonction de la fréquence



FigureIII.12: Variations expérimentales du paramètre de transmission S22 (réflexion) en fonction de la fréquence

Tout d'abord, les résultats en transmission S_{21} montrent clairement une bonne reproductibilité des mesures entre les quatre véhicules de test avec des écarts inférieurs à 1dB jusqu'à 30GHz et 2.5dB jusqu'à 50GHz. On peut également observer que la 1ère résonance se situe au niveau de 8,2GHz. Une ligne de transmission dont la longueur électrique L est un multiple impair d'un quart d'onde réagit comme un circuit série à la résonance [WAD91], ce qui correspond à une longueur d'onde égale à quatre fois la longueur de la chaine de transmission mesurée. En effet, la longueur d'onde de la structure correspondant à 3,5mm nous donne en utilisant l'équation ci-dessous, une fréquence de 8,38GHz.

$$\lambda_g = 4L = \frac{c}{f\sqrt{\varepsilon_{eff}}}$$

avec L la longueur physique de la ligne de transmission (m), λ_g la longueur d'onde guidée (m), c la vitesse de la lumière (m/s), f la fréquence de résonnance (Hz) et ε_{eff} la permittivité effective. Donc, la longueur de la chaine vaut $\lambda_g / 4$ à la fréquence de 8,2GHz.

Les résultats de paramètres S en termes de réflexion montrent également une bonne reproductibilité de mesures avec un écart inférieur à 5dB jusqu'à 30GHz, ce qui est acceptable étant donné que nous sommes dans des niveaux de puissance faible de l'ordre

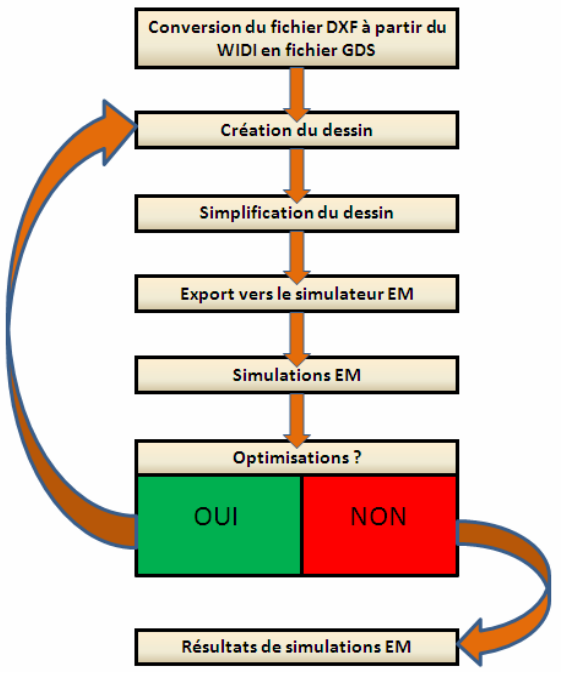
de -30dB. Les pertes en transmission et en réflexion de la chaîne complète sont respectivement -1.5dB et -12dB à 5GHz, ce qui montrent clairement que ce type de boîtier est approprié pour des applications de quelques gigahertz compte tenu bien sûr de la longueur de la chaîne de mesure. A contrario, au-delà de ces fréquences, typiquement pour les bandes Ku, K et Ka, les pertes d'insertion augmentent très vite condamnant une approche QFN. Des pistes d'amélioration et/ou une nouvelle architecture de boîtiers doivent alors être considérées. Cette étude fera l'objet du prochain chapitre de ce mémoire.

III.3 Modélisation électromagnétique et électrique du boîtier DHVQFN

J'ai évalué les performances électrique des boîtiers DHVQFN par la caractérisation radiofréquence du pilote de test que je viens de décrire. L'étape suivante consiste à corréler ces mesures avec les résultats du simulateur EMPro dans le but de reproduire de la manière la plus fiable possible les résultats de mesure. Pour cela, il est tout d'abord nécessaire de calibrer le simulateur. Ce paragraphe va décrire la méthode que j'ai utilisée pour le calibrage d'EMPro et ensuite explique comment j'ai obtenu un modèle électrique complet du boîtier DHVQFN à l'aide d'une méthode d'extraction des éléments parasites.

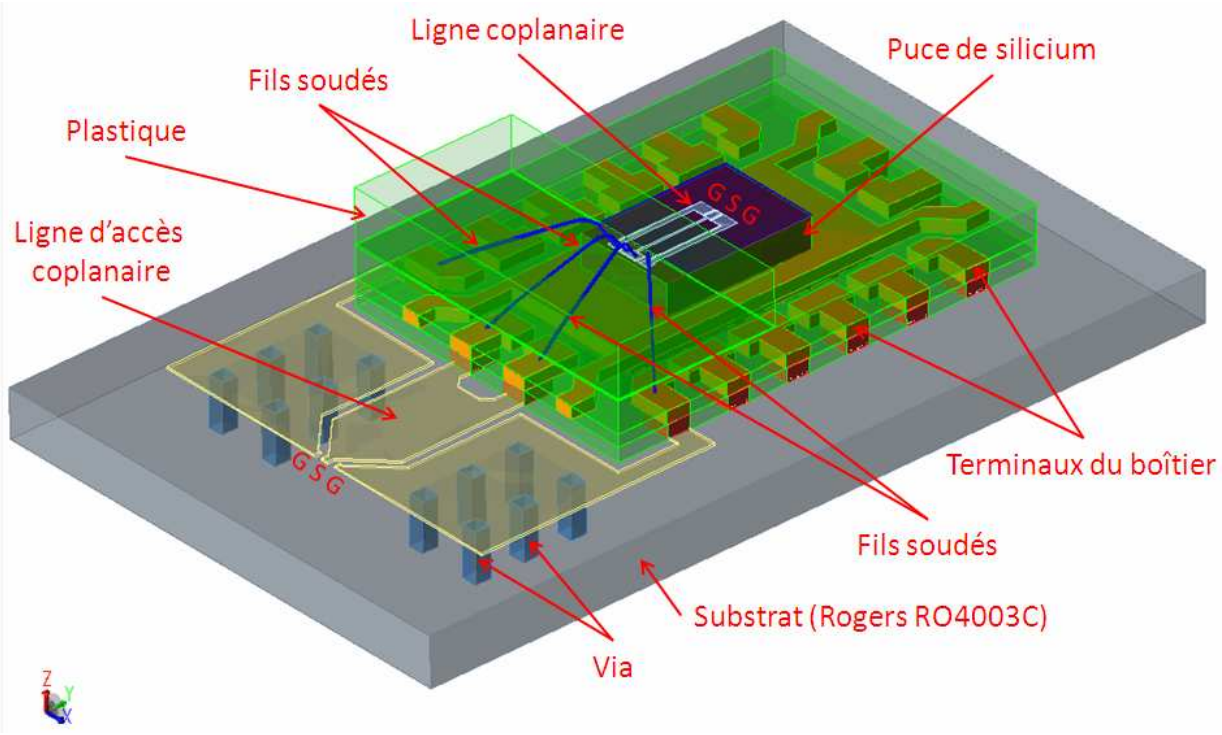
III.3.1 Modélisation électromagnétique

Le calibrage électromagnétique du simulateur 3D EMPro d'AGILENT permet de prendre en compte correctement les variations de paramètres S des mesures obtenues lors de la caractérisation sous pointes des boîtiers DHVQFN.



FigureIII.13: Synoptique de la méthodologie de simulation électromagnétique

Le modèle électromagnétique 3D doit estimer les performances électriques du boîtier de la manière la plus précise possible [KEL04]. Afin d'optimiser les ressources mémoire et les temps de calculs des simulateurs, il est nécessaire de les calibrer. Deux étapes sont généralement nécessaires : la simplification géométrique des structures considérées et l'ajustement des paramètres de procédé (pour le simulateur) et/ou le placement des excitations. La méthodologie appliquée pour modéliser le boîtier DHVQFN est détaillée par le synoptique décrit par la figure III.13. Cette méthode est divisée en sept parties qui sont décrites en annexe C. Les trois premières étapes consistent à convertir, simplifier et exporter les données d'assemblage du boîtier au format du simulateur EMPro. Ensuite, il est nécessaire de définir la géométrie des fils soudés et de créer le substrat. Une fois ces sept étapes effectuées, le modèle électromagnétique généré est visualisé à l'aide du mode de visualisation 3D du simulateur qui permet de vérifier que les tous les paramètres physiques sont correctement paramétrés (cf. figure III.14).

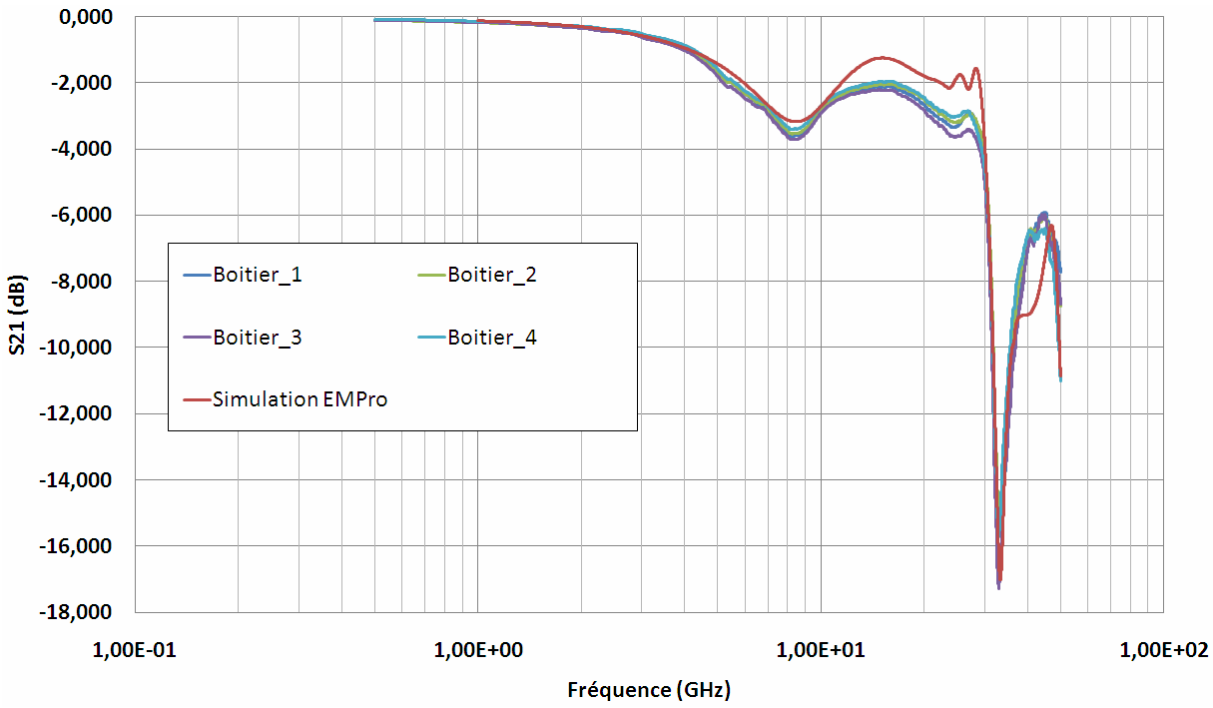


FigureIII.14: Représentation 3D de la structure de test

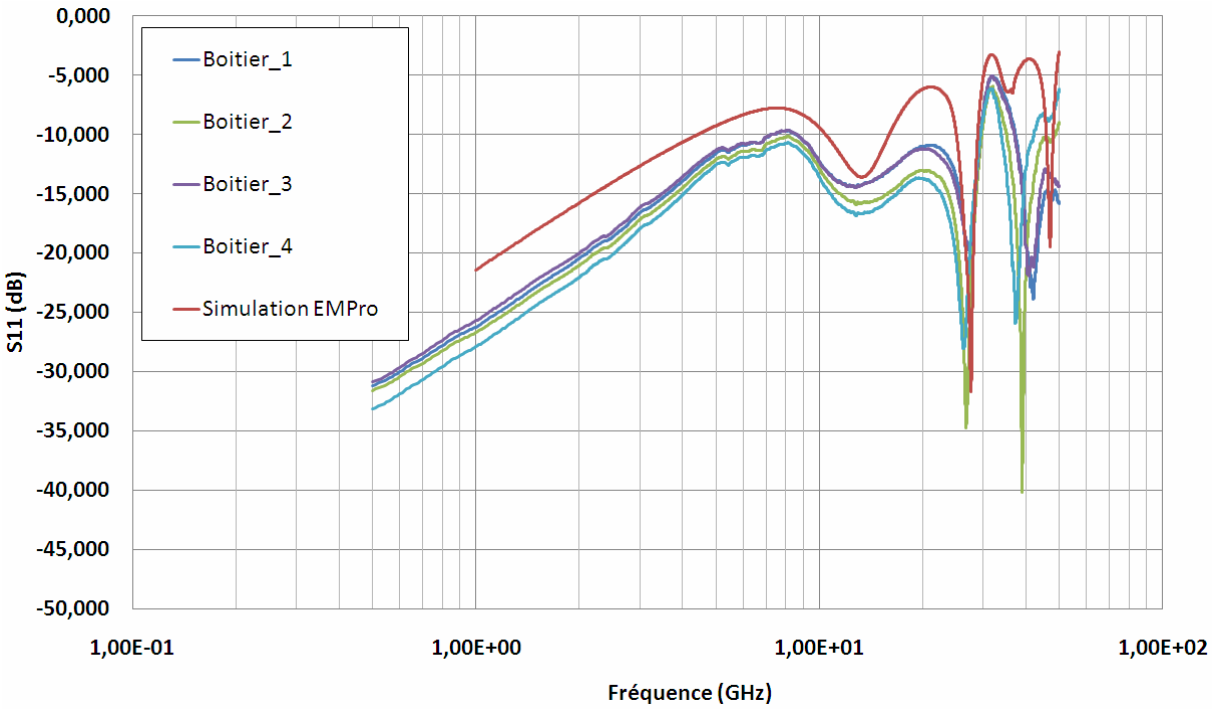
En ce qui concerne la définition des ports d'excitation du simulateur, j'ai utilisé des ports de type coplanaires aussi bien sur la ligne de la puce de silicium que sur la ligne d'accès du substrat. La masse de référence quand à elle est définie sur la face arrière du substrat (nommé le PEC "Perfect Electrical Conductor") afin d'avoir la même configuration entre la caractérisation radiofréquence par rapport au support du plaque et la

simulation électromagnétique. Le plan de fréquence choisi est un plan de fréquence adaptatif allant de 300MHz à 50GHz incluant deux fréquences de maillage, une à 50GHz et l'autre à 20GHz dans le but d'avoir un maillage optimum sur une large bande de fréquence. EMPro est un simulateur qui utilise un solveur 3D permettant l'analyse des champs électrique E et magnétique H ainsi que des courants en trois dimensions. Il prend également en charge les fils soudés. EMPro utilise la Méthode des Elément Finis comme méthode de résolution des équations de propagation électromagnétique.

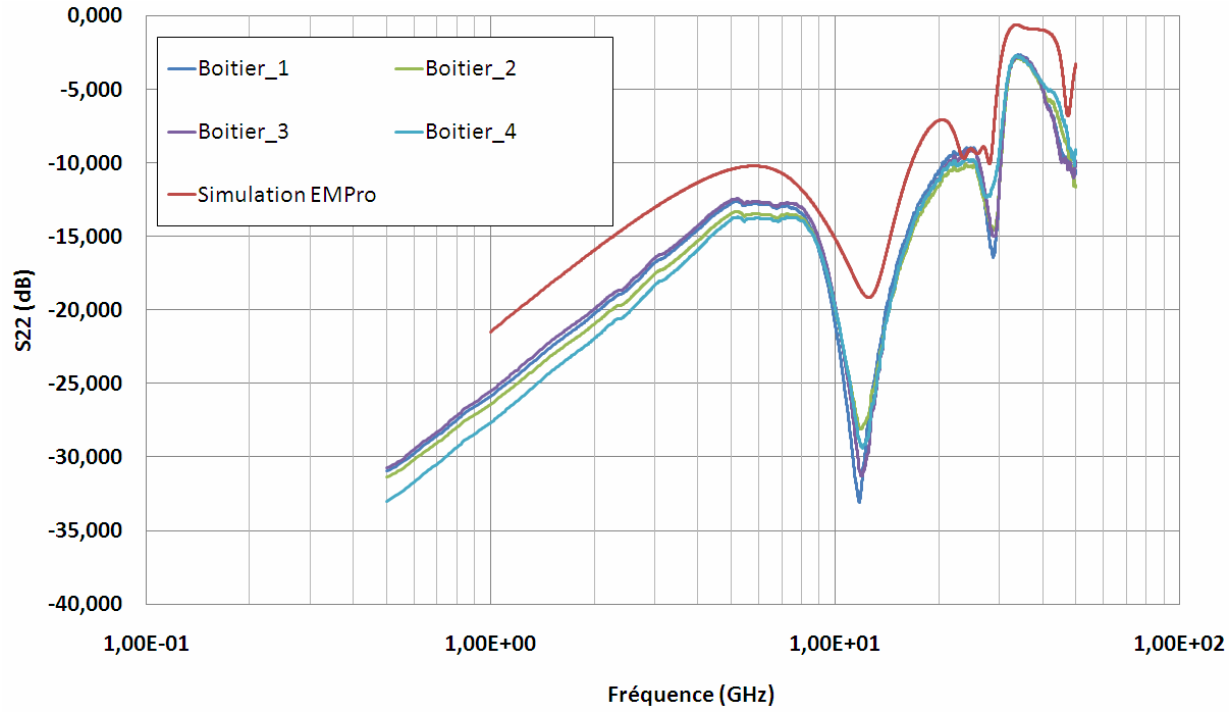
Les paramètres S de réflexion et de transmission obtenus par simulation sont tracés sur les trois figures suivantes en comparaison des résultats de mesures des boîtiers. Nous pouvons remarquer que les données simulées corrèlent correctement avec les données mesurées avec une bonne précision jusqu'à une trentaine de gigahertz. On peut noter un écart de moins de 1dB en transmission et moins de 5dB en réflexion. De plus, nous pouvons également observer que les résonances se situent aux mêmes valeurs de fréquences.



FigureIII.15: Variations expérimentales et simulées du paramètre de transmission S_{21} en fonction de la fréquence



FigureIII.16: Variations expérimentales et simulées du paramètre de transmission S_{11} en fonction de la fréquence



FigureIII.17: Variations expérimentales et simulées du paramètre de transmission S_{22} en fonction de la fréquence

Les résultats de corrélation entre les valeurs mesurées et les valeurs simulées montrent clairement que la méthode utilisée pour modéliser le boîtier DHVQFN mais

également l'utilisation et le calibrage du simulateur électromagnétique EMPro nous permettent d'analyser de manière précise le comportement électrique de ce type de boîtier. Le simulateur est donc calibré et peut-être utilisé pour explorer de nouvelles architectures de boîtiers/connexions sans pour autant être obligé de les réaliser physiquement.

III.3.2 Modélisation électrique

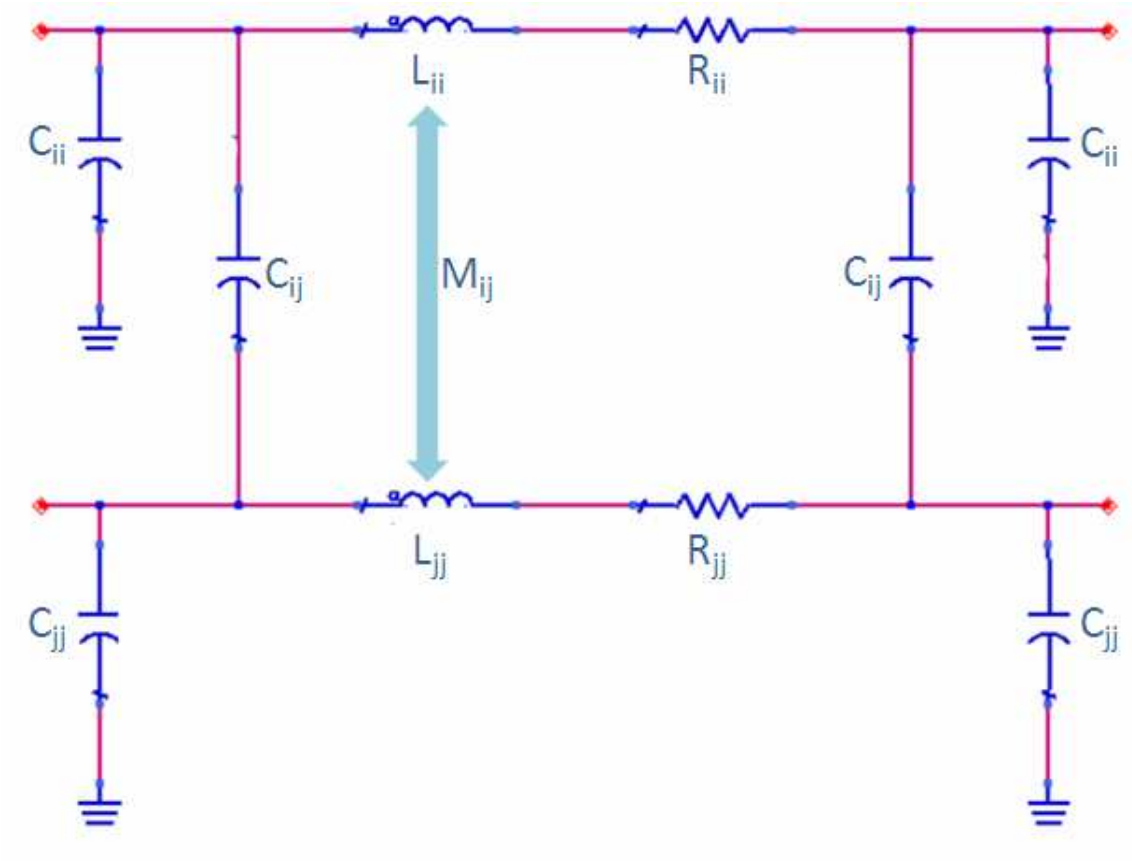
Nous avons vu que concernant les boîtiers des problèmes électriques venaient se greffer, ce qui dégrade les performances dynamiques des circuits encapsulés dans ces boîtiers. Afin de prévoir et d'essayer de préserver ces performances, il apparait indispensable d'élaborer des modèles électriques fiables de boîtiers, prenant en compte les effets électromagnétiques des interconnexions, le but final étant d'obtenir une simulation réaliste de la puce dans son boîtier. D'un point de vue électromagnétique, un boîtier à N terminaux peut être considéré comme un dispositif à N-Ports.

III.3.2.1 Extraction des parasites (matrice de couplage)

Les interconnexions du boîtier peuvent être modélisées par différents modèles de circuits équivalents. On peut considérer un seul élément localisé connecté à une ligne de transmission définie par une impédance caractéristique et une constante de propagation [SAG06] qui correspond à une section de l'interconnexion. On peut également considérer un modèle distribué défini avec des paramètres par unité de longueur. Le choix du type de modèle dépend de la longueur électrique de l'interconnexion. Une interconnexion de boîtier est considérée courte si la longueur électrique de l'interconnexion est physiquement plus petite qu'un dixième de la longueur d'onde à la fréquence choisie sinon à contrario, elle est considérée longue et doit être modélisée avec des éléments distribués. Par conséquent, une interconnexion peut être modélisée en utilisant un circuit à éléments localisés s'il est montré qu'elle est électriquement courte alors qu'un modèle distribué peut être utilisé pour une interconnexion longue.

Pour étudier les composants individuels de l'interconnexion du boîtier DHVQFN (fils soudés, terminaux, plots métalliques), un modèle distribué qui prend en compte chaque discontinuité d'impédance le long du chemin de propagation est requis. En fonction de la complexité du modèle utilisé, la modélisation électrique requiert le calcul des éléments capacitifs, inductifs, résistifs et des couplages mutuels pour leur utilisation dans un circuit équivalent.

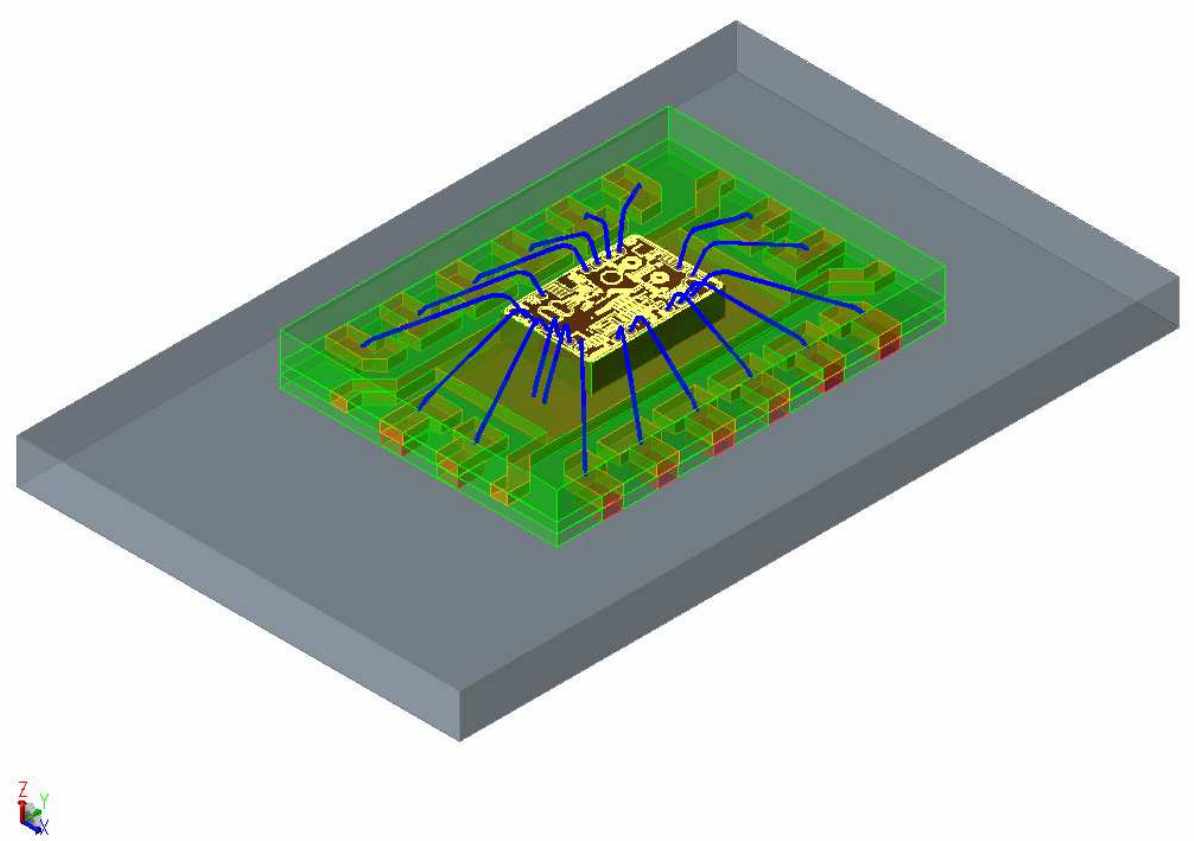
D'une façon générale, les coefficients L_{ii} représentent l'inductance propre d'une interconnexion "i". Les coefficients L_{ij} représentent l'inductance mutuelle entre les interconnexions "i" et "j". Les paramètres L_{ii} et L_{ij} servent à définir les coefficients de couplage inductif et la valeur de la mutuelle. Les coefficients R_{ii} représentent la résistance propre de l'interconnexion "i". Les coefficients C_{ii} représentent la capacité propre de l'interconnexion "i" vis-à-vis de la référence de masse. Les coefficients C_{ij} représentent la capacité mutuelle résultant du couplage entre les interconnexions "i" et "j" [KIM01].



FigureIII.18: Cellule élémentaire équivalente (circuit en Π) du modèle électrique du boîtier

J'ai utilisé le simulateur électromagnétique EMPro pour effectuer l'extraction des éléments parasites de toutes les interconnexions du boîtier DHVQFN. Cela a permis de ne pas créer de pilotes de test supplémentaires mais aussi de ne pas faire de mesures par couples de signaux, ce qui n'était pas envisageable car trop coûteux et trop long. Dans un premier temps, j'ai crée un modèle électromagnétique du boîtier DHVQFN en intégrant toutes les interconnexions (cf. figure III.19) et en utilisant la même méthode que celle de la modélisation électromagnétique du pilote de test simplifié. Ce modèle a été ensuite utilisé

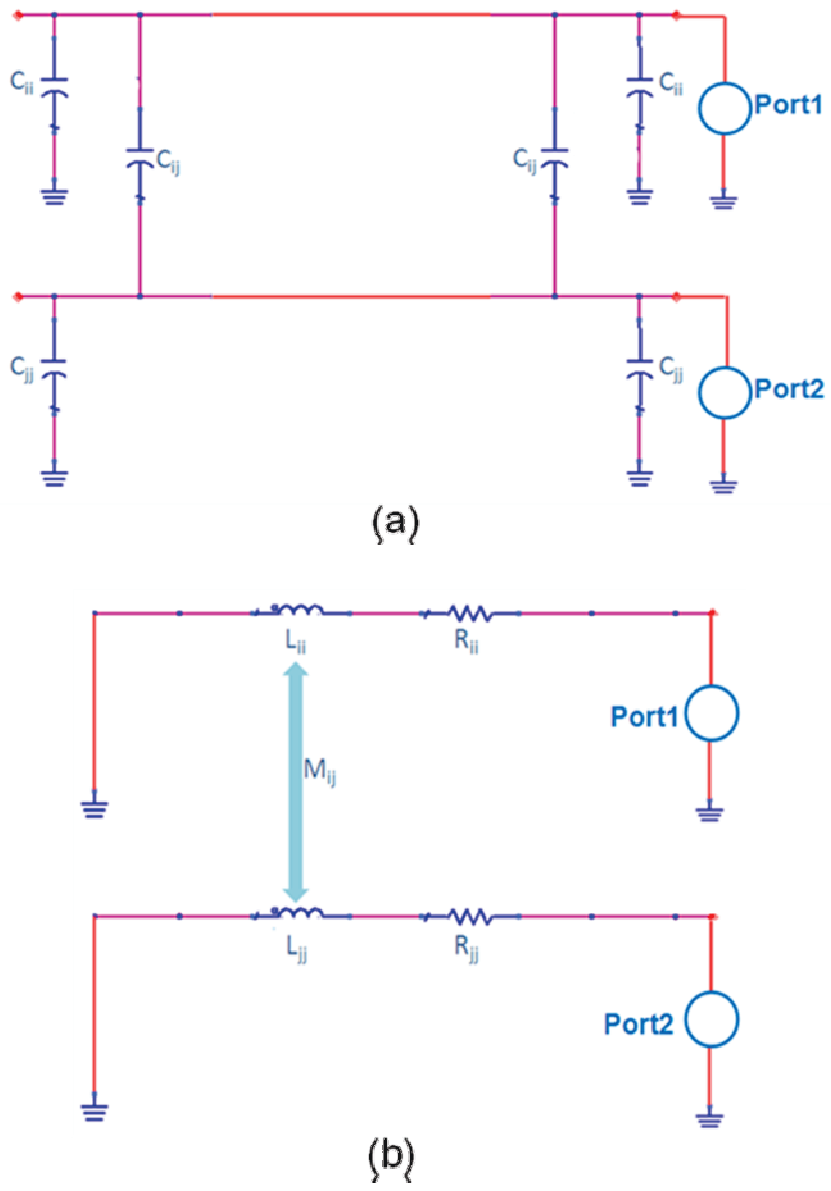
pour extraire les éléments parasites du boîtier en réalisant une simulation électromagnétique avec 29 ports d'excitation, chacun connecté aux plots de la puce et aux terminaux du boîtier. Cette simulation utilise les mêmes données de configuration que la simulation électromagnétique du pilote de test (fichier technologie, substrat, maillage, fréquences).



FigureIII.19: Représentation 3D du boîtier DHVQFN

Les résultats de cette simulation à 29 ports sont extraits et simulé à nouveau mais cette fois-ci au niveau schéma (cf. figure III.21) avec uniquement deux ports d'excitation. Ces deux ports sont déplacés sur chaque interconnexion où l'on souhaite extraire les éléments parasites. On obtient donc à partir des résultats des paramètres S de la simulation suivi d'une transformation en Z et en Y, les valeurs des éléments parasites.

Afin d'extraire les valeurs de capacité, les ports d'excitation (Port1 ou Port2) sont placés à l'extrémité de l'interconnexion souhaitée tandis que l'autre extrémité est laissée en circuit ouvert (cf. figure III.20.a). Pour l'extraction des éléments séries (inductance et résistance électrique), on conserve le port placé à l'extrémité de l'interconnexion mais cette fois-ci on relie l'autre extrémité à la masse (cf. figure III.20.b), montage dit «single-ended ».



FigureIII.20: Exemple de la méthode d'extraction des éléments parasites de deux interconnexions

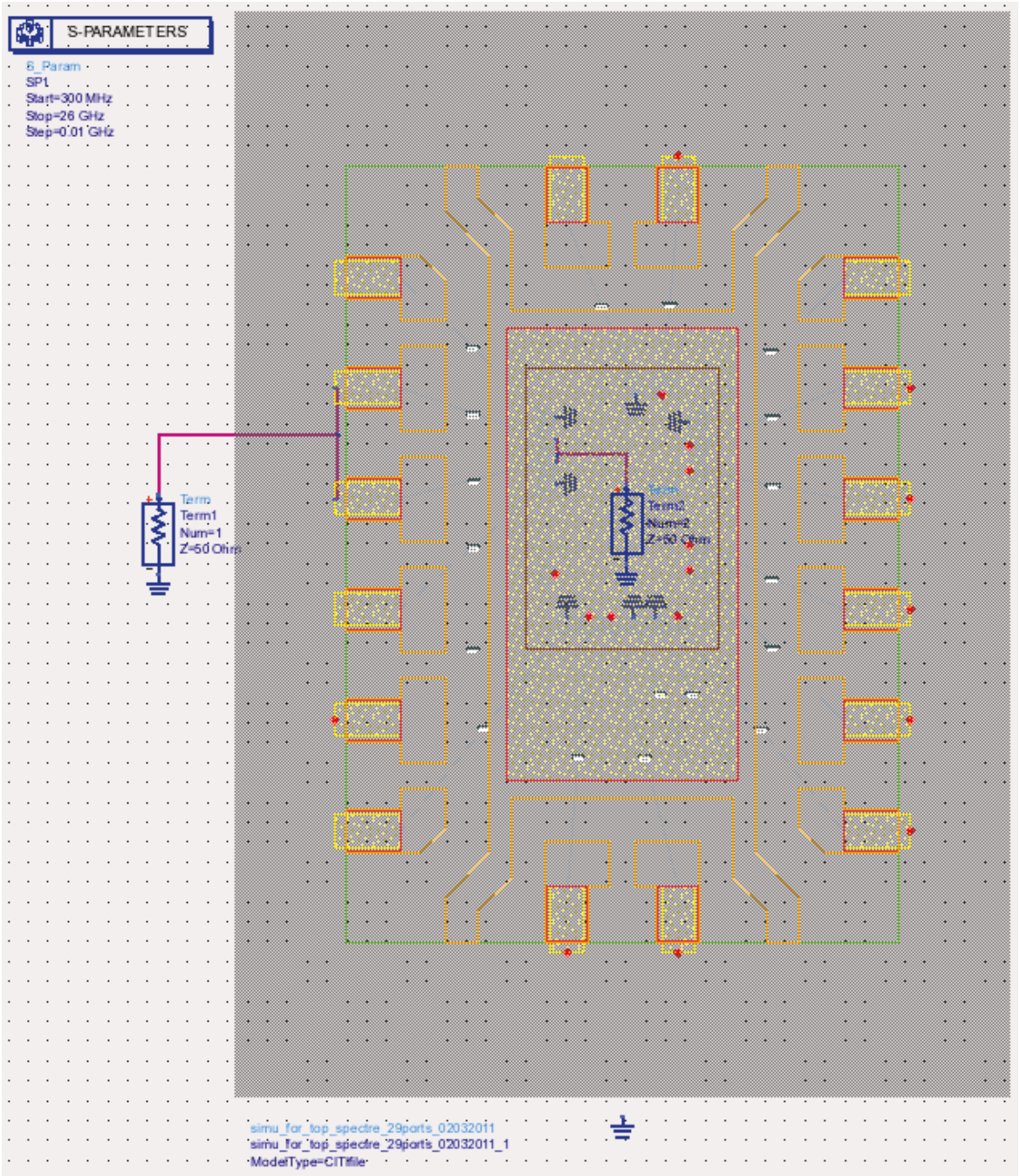
Les capacités sont obtenues à partir des formules suivantes :

$$C_{11} = \frac{imag(Y_{11} + Y_{12})}{2\pi.freq},\ C_{22} = \frac{imag(Y_{22} + Y_{21})}{2\pi.freq} \text{ et } C_{12} = -\frac{imag(Y_{12} + Y_{21})}{4\pi.freq}$$

Les inductances propres, inductances mutuelles, coefficient de couplage inductif et les résistances sont obtenues à partir des formules suivantes :

$$L_{11} = \frac{imag(Z_{11})}{2\pi.freq}, L_{22} = \frac{imag(Z_{22})}{2\pi.freq}, M_{12} = \frac{abs(Z_{12})}{2\pi.freq}, k = \frac{M_{12}}{\sqrt{L_{11}L_{22}}}$$

$$\text{et } R_{11} = \frac{real(Z_{11})}{2\pi.freq}, R_{22} = \frac{real(Z_{22})}{2\pi.freq}$$



FigureIII.21: Schéma du boîtier DHVQFN utilisé pour l'extraction parasite des interconnexions

Le tableau suivant résume les inductances propres, résistances et couplages inductifs ainsi obtenus au niveau de chaque nom de terminal du boîtier DHVQFN correspondant à chaque interconnexion. Les valeurs ont été extraites à une fréquence de 1GHz.

	IF	SDA	Xop	Xon	Test_out	Vcc_Vco	Vtune	Scl	RF2	RF1	5V0
IF	913 / 549	187	46	26	14	8	6	4,8	6,7	7,9	51
SDA	0,208	894 / 524	106	51	23	12,3	8,7	5,8	7	6,8	25
Xop	0,051	0,118	903 / 549	224	74	29	18	9,4	4,8	4,6	9
Xon	0,027	0,054	0,232	1035 / 667	188	52	30	12,5	5,4	4,7	6,7
Test_out	0,013	0,023	0,071	0,169	1200 / 804	107	54	16	4,5	4	4,7
Vcc_Vco	0,008	0,012	0,028	0,046	0,089	1223 / 837	270	46	7,5	5,8	3,6
Vtune	0,006	0,008	0,018	0,027	0,045	0,221	1225 / 800	79	10	7,5	3,4
Scl	0,005	0,006	0,010	0,012	0,014	0,041	0,070	1057 / 647	45	24	4,8
RF2	0,008	0,008	0,005	0,006	0,004	0,007	0,010	0,046	880 / 532	194	19
RF1	0,009	0,008	0,005	0,005	0,004	0,006	0,007	0,025	0,218	900 / 560	11
5V0	0,056	0,027	0,010	0,007	0,004	0,003	0,003	0,005	0,021	0,013	922 / 562

Tableau8 . Inductances/Résistances propres et couplage inductifs du boîtier DHVQFN – Gris : valeurs d'Inductance (pH)/Résistance (mΩ) – Bleu : valeurs d'Inductance mutuelle (pH) – Vert : valeurs du coefficient de couplage

Les inductances et les résistances des interconnexions de masse ont été également extraites en suivant la même méthode. On retrouve dans le tableau ci-dessous les valeurs extraites à deux fréquences, 1 et 10GHz, ce qui permet d'illustrer l'impact de la fréquence au travers de l'effet de peau sur les valeurs de résistance électrique.

	GND_IF		GND_RF		GND_RFLNA		GND_XO		GND_DIV		GND_VCO	
	L	R	L	R	L	R	L	R	L	R	L	R
Fréquence d'extraction (1GHz)	1064	638	1043	646	963	566	774	494	767	479	1252	781
Fréquence d'extraction (10GHz)	1149	1180	1126	1188	1019	995	800	832	790	802	1409	1575

Tableau9 . Inductances/Résistances propres du boîtier DHVQFN (valeurs d'inductance en pH et résistance en mΩ)

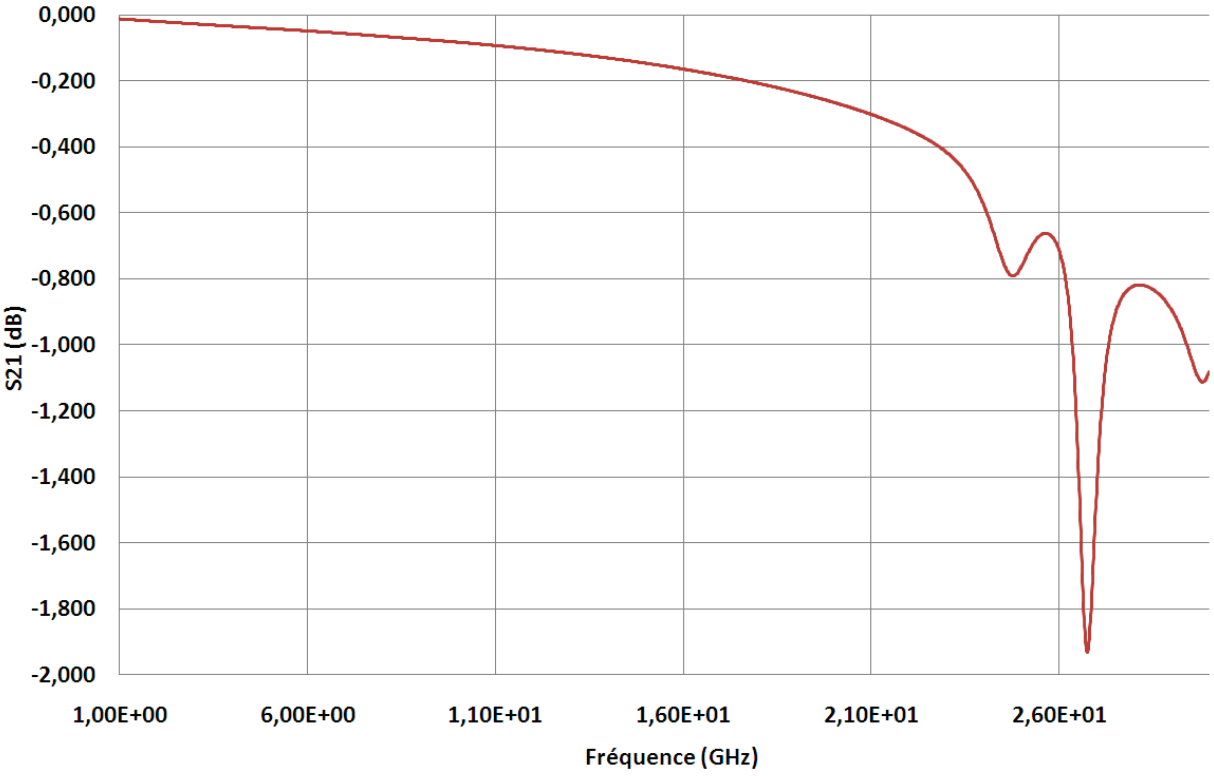
On peut clairement remarquer que les valeurs d'inductances des interconnexions de retour de masse sont élevées (de l'ordre de 1nH). Ceci est principalement dû à la longueur des interconnexions et aussi à la stratégie en place au niveau de l'architecture du boîtier DHVQFN. Il est certain que si l'on souhaite utiliser des applications à haute fréquence, ces valeurs sont trop importantes car il ne faudrait pas que cela dépasse 200pH pour une application fonctionnant à 12GHz, 80pH à 30GHz et 50pH à 50GHz, valeurs estimées par le calcul de l'impédance d'un fil ($Z = R + jLw$) avec $w = 2\pi.freq$.

D'un autre côté, les valeurs de capacités extraites sont décrites dans le tableau suivant, ces valeurs étant extraites à une fréquence de 1GHz.

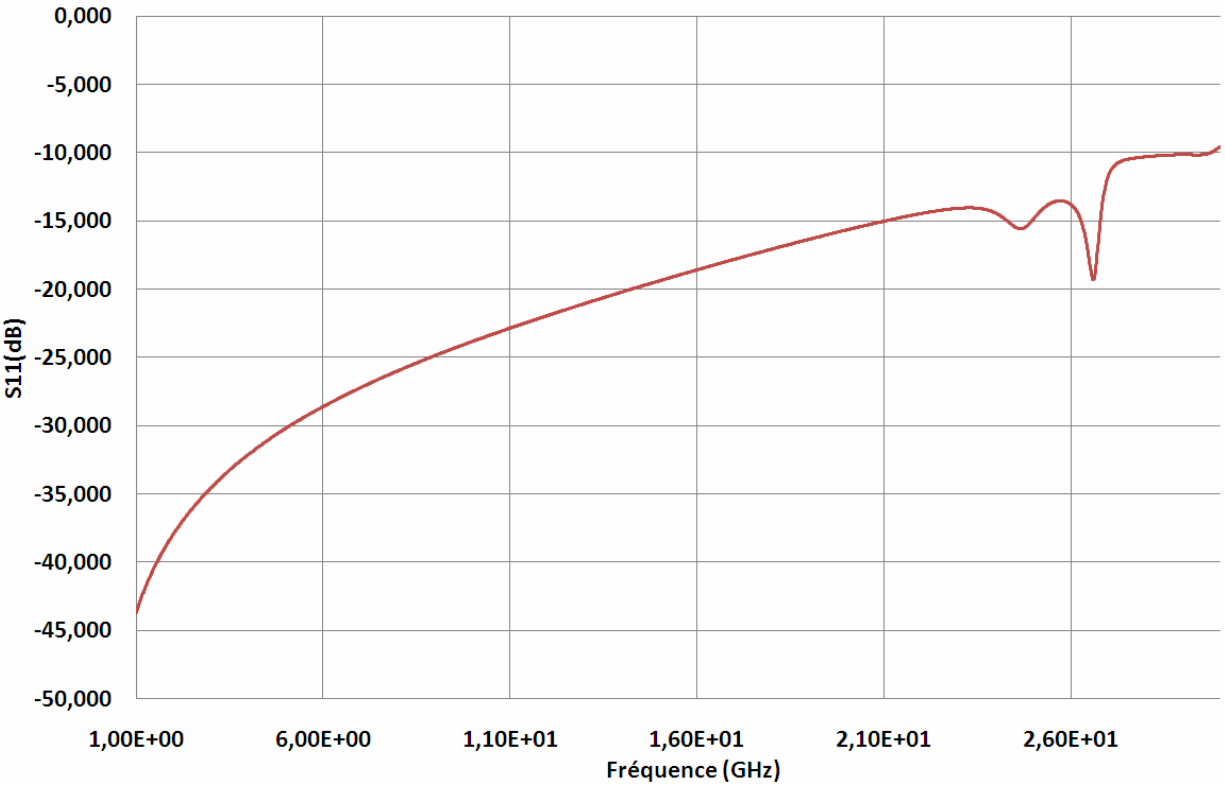
	IF	SDA	Xop	Xon	Test_out	Vcc_Vco	Vtune	Scl	RF2	RF1	5V0
IF	121	42	12	5,6	2,5	0,5	0,4	0,3	0,4	0,4	3
SDA		110	32	14	6	1	0,7	0,5	0,5	0,5	1,9
Xop			104	49	16	2,1	1,4	0,6	0,5	0,4	0,9
Xon				113	45	3,8	2,3	0,7	0,4	0,3	0,5
Test_out					122	6	3,5	0,7	0,3	0,2	0,3
Vcc_Vco						140	47	2,5	0,4	0,3	0,1
Vtune							134	4	0,5	0,4	0,1
Scl								112	3,3	1,7	0,2
RF2									122	41	0,6
RF1										123	0,8
5V0											111

Tableau10 . Capacités propres et couplage capacitifs du boîtier DHVQFN – Gris : valeurs de Capacité (fF) – Bleu : valeurs de couplage capacitif (fF)

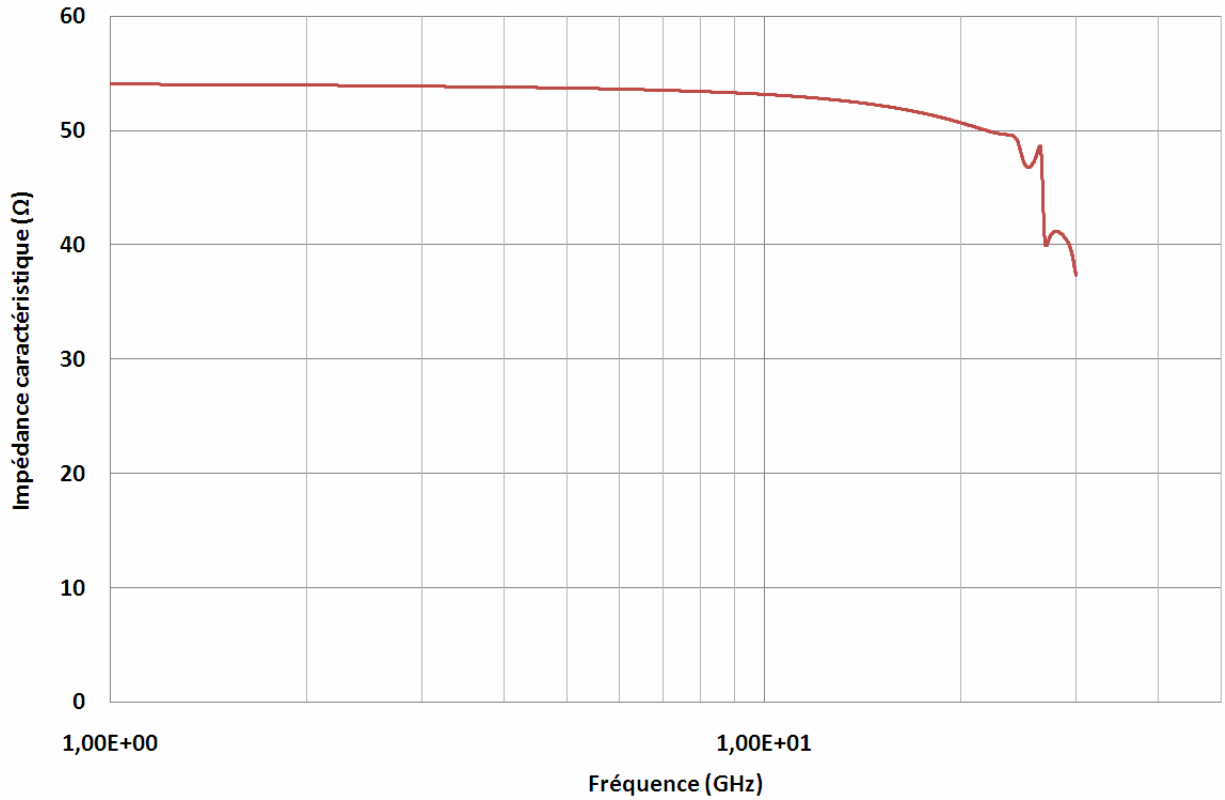
Les paramètres S de transmission et de réflexion ainsi que l'impédance caractéristique de l'interconnexion de l'entrée RF ont été également extraits. On peut remarquer que ce chemin est adapté en terme d'impédance (environ 50Ω jusqu'à 25GHz) avec une perte d'insertion inférieure à 1dB à une fréquence de 25GHz. On peut également remarquer que $\lambda_g / 4$ se situe à une fréquence de 24GHz.



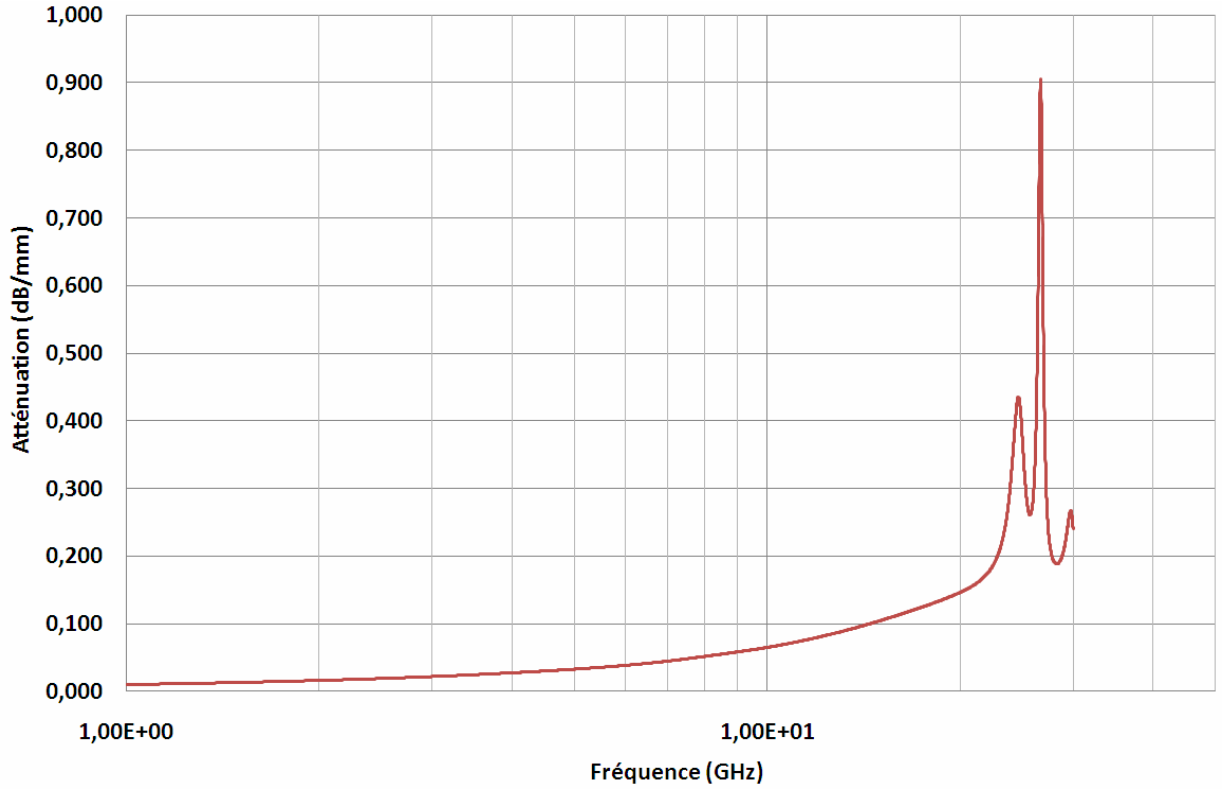
FigureIII.22: Transmission S_{21} du chemin RF du boîtier DHVQFN en fonction de la fréquence



FigureIII.23: Réflexion S_{11} du chemin RF du boîtier DHVQFN en fonction de la fréquence



FigureIII.24: Impédance caractéristique Z_c du chemin RF du boîtier DHVQFN en fonction de la fréquence



FigureIII.25: Atténuation du chemin RF du boîtier DHVQFN en fonction de la fréquence

L'impédance caractéristique Z_c ainsi que l'atténuation α ont été extraites à partir des formules décrites dans l'annexe B.

III.3.2.2 Simulation du modèle électrique

Une fois tous les éléments parasites des interconnexions du boîtier DHVQFN extraits de la manière décrite précédemment, j'ai généré un modèle électrique RLCk basé sur la cellule élémentaire de la figure III.18 étendu bien sûr à l'ensemble du boîtier. Ce modèle a ensuite été validé par une comparaison des performances électriques propres au circuit satellite comme décrit dans le chapitre IV.3.1.

En conclusion, nous pouvons remarquer que la méthode de caractérisation radiofréquence qui a été définie et mise en œuvre sur les boîtiers DHVQFN nous a permis de pouvoir évaluer leurs performances électriques dans le domaine des ondes centimétriques. Les résultats de mesure nous permettent d'énoncer que ce type de boîtier, avec son architecture actuelle, n'est pas le candidat idéal pour les applications visées, ce qui est principalement du aux fils soudés et à la répartition des masses. Cela est également confirmé avec la méthode de modélisation électrique et d'extraction des parasites des

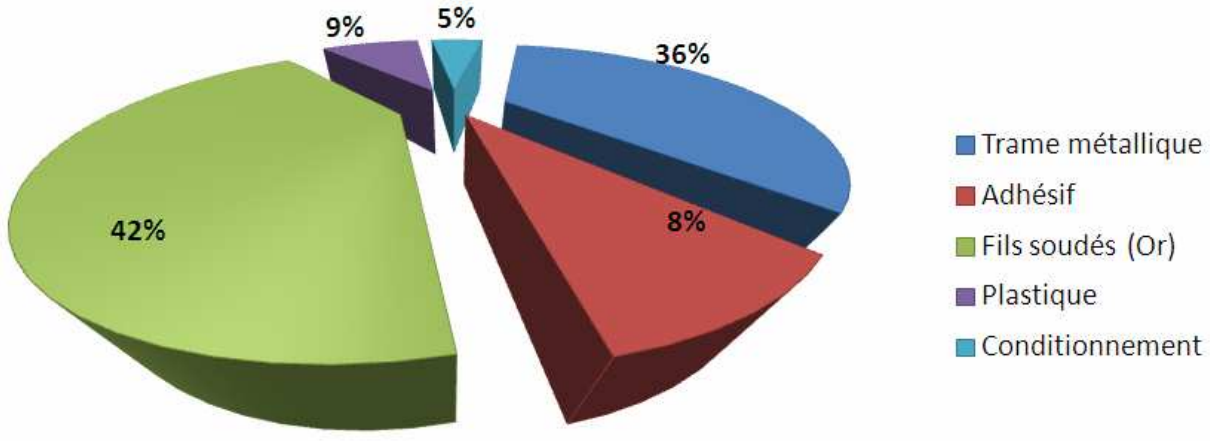
interconnexions du boîtier DHVQFN mise en œuvre dans le paragraphe précédent. En effet, de fortes valeurs (L, C, R) ont été déduites des simulations limitant clairement l'utilisation de cette architecture de boîtier associée à une stratégie de répartition des masses classique pour les hautes fréquences (typiquement supérieures à 15GHz).

En outre, la méthode de modélisation électromagnétique que j'ai mise en œuvre pour calibrer le simulateur électromagnétique EMPro montre à travers les résultats obtenus que nous pouvons avoir confiance dans les résultats de simulation électromagnétique. Nous allons donc pouvoir utiliser EMPro pour explorer et proposer des pistes d'amélioration relatives à l'architecture du boîtier DHVQFN. Le simulateur EMPro se révèle en effet être un outil très utile et fiable afin d'analyser les performances électriques des boîtiers en général sans pour autant créer des pilotes de test.

IV Evaluations et propositions d'amélioration du boîtier DHVQFN

A la vue des différents résultats obtenus, il s'avère que pour s'orienter vers des applications en haute fréquence et des circuits intégrés monolithiques hyperfréquences, la stratégie de répartition des masses doit être adressée avec précaution et de manière judicieuse. Le boîtier, et plus précisément dans notre cas, les fils soudés et les terminaux jouent un rôle prépondérant dans cette stratégie. Pour ce type d'applications visées, plus l'inductance série vers la masse sera faible, meilleures seront les performances. Ainsi les interconnexions de retours de masse doivent être précisément identifiées et minimisées. De la même manière, une réduction des couplages parasites (C) et magnétiques (k) doit être envisagée pour élargir la fréquence d'utilisation de ces types de boîtiers. Nous avons vu que le boîtier DHVQFN est approprié pour les applications existantes mais qu'il nécessite des améliorations pour être compatible avec des applications en ondes centimétriques jusqu'à la bande de fréquence Ku (cf. annexe D). Au delà on ne peut plus envisager de solutions filaires, avec la stratégie de câblage actuellement en place, et de nouvelles alternatives doivent être considérées.

Le coût de fabrication d'un boîtier DHVQFN dépend de plusieurs paramètres. Les fils soudés en or représentent à eux seul 42% du coût total du boîtier. La trame métallique est quant à elle le deuxième plus grand contributeur du prix de revient du boîtier.



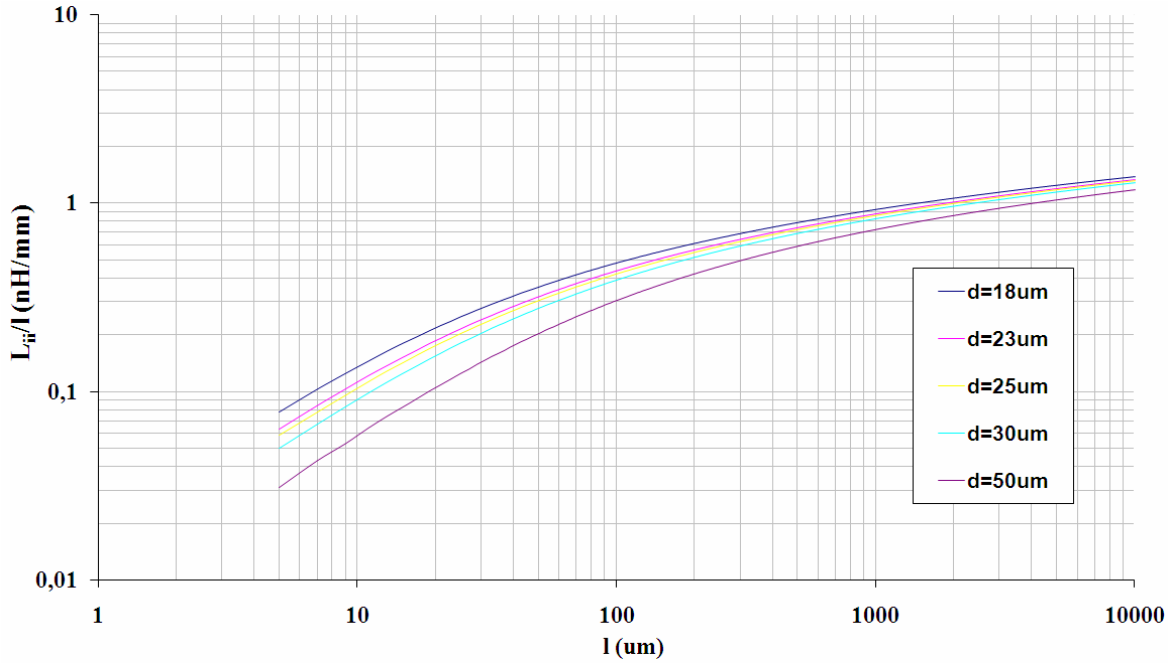
FigureIV.1: Répartition du coût matériel du boîtier DHVQFN

Comme nous l'avons vu dans le chapitre précédent, la modélisation électromagnétique du boîtier ainsi que le calibrage du simulateur EMPro permettent

d'obtenir des résultats électriques dans lesquels nous pouvons avoir une réelle confiance. Ce chapitre va traiter dans un premier temps de l'étude et de la validation de différentes manières de diminuer les éléments parasites en utilisant comme outil de validation le simulateur EMPro. Ensuite, une nouvelle approche de boîtier basée sur une technologie de puce retournée sera décrite. Pour valider ces différentes approches, une évaluation des performances électriques du produit satellite utilisé comme pilote sera présentée en utilisant les différentes configurations de boîtier.

IV.1 Proposition d'amélioration du boîtier DHVQFN

Pour réduire les éléments parasites du boîtier DHVQFN, je me suis orienté vers deux axes qui sont tout d'abord l'aspect inductif/résistif et ensuite l'aspect capacitif. La figure ci-dessous illustre la variation théorique de l'inductance propre par unité de longueur en fonction de la longueur d'un fil soudé pour différents diamètres. Les résultats de ce graphique sont dérivés de la formule de Ruehli [RUE72].



FigureIV.2: Variations théoriques de l'inductance propre par unité de longueur en fonction de la longueur d'un fil soudé

Le paragraphe suivant résume les différentes approches que j'ai évaluées pour dans un premier temps réduire les inductances/résistances de masse et ensuite réduire les capacités parasites du boîtier DHVQFN.

IV.1.1 Les fils soudés

Pour que des applications fonctionnent à des fréquences élevées, il est nécessaire de prendre soin de l'implémentation des masses. Dans le cas du boîtier DHVQFN, les éléments parasites de types inductifs et résistifs sont majoritairement dus aux interconnexions réalisées par les fils soudés et de manière mineure par les terminaux du boîtier étant donné que leurs dimensions sont plus faibles. Nous avons vu qu'une interconnexion réalisé par un fil soudé était caractérisée par son inductance propre et sa résistance. Dans le but de réduire ces valeurs, j'ai étudié plusieurs scénarios de configuration basés principalement sur la technologie filaire. Pour chaque configuration, j'ai crée un modèle de boîtier que j'ai simulé à l'aide d'EMPro pour ensuite en extraire les éléments parasites. En analysant la formule de calcul de la résistance d'un fil soudé, $R_{DC} = \frac{l}{\sigma.\pi.r^2}$, on entrevoit tout de suite quels sont les paramètres à prendre en compte si on souhaite réduire ces éléments parasites. Basé sur cette formule, on peut dire que l'on peut réduire la résistance par :

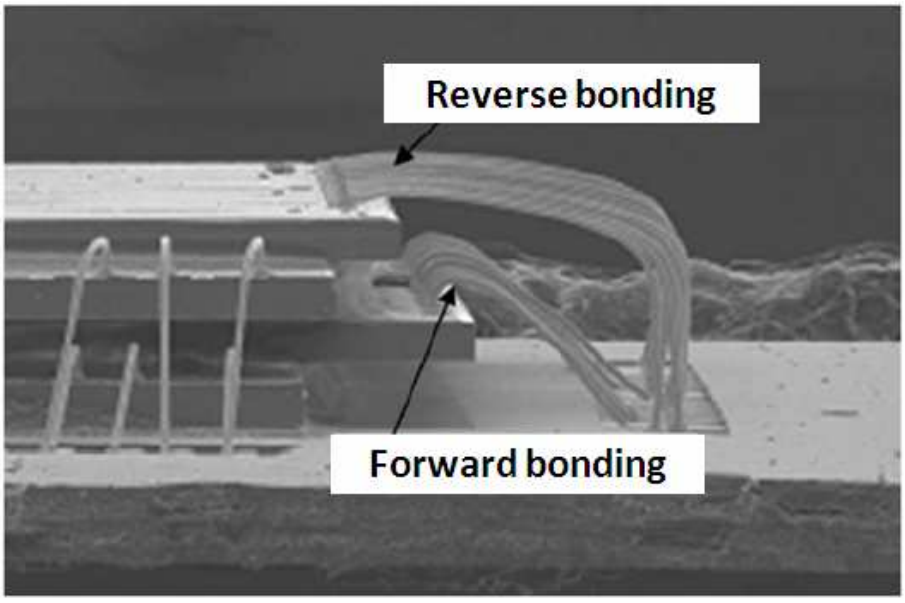
- ✓ la diminution de la longueur des fils soudés,
- ✓ l'augmentation de la section des fils soudés,
- ✓ l'utilisation d'un matériau plus conducteur comme par exemple le cuivre,
- ✓ la mise en parallèle de plusieurs fils pour un seul et même signal.

Cette dernière ne sera pas développée dans ce mémoire. En effet, même si elle serait efficace, elle impliquerait une hausse du prix de revient du système prohibitif due à :

- ✓ une surface de silicium agrandie pour la puce,
- ✓ un nombre important de fils de soudure en or alors que ceux-ci pénalisent déjà fortement la compétitivité de l'application sur le marché.

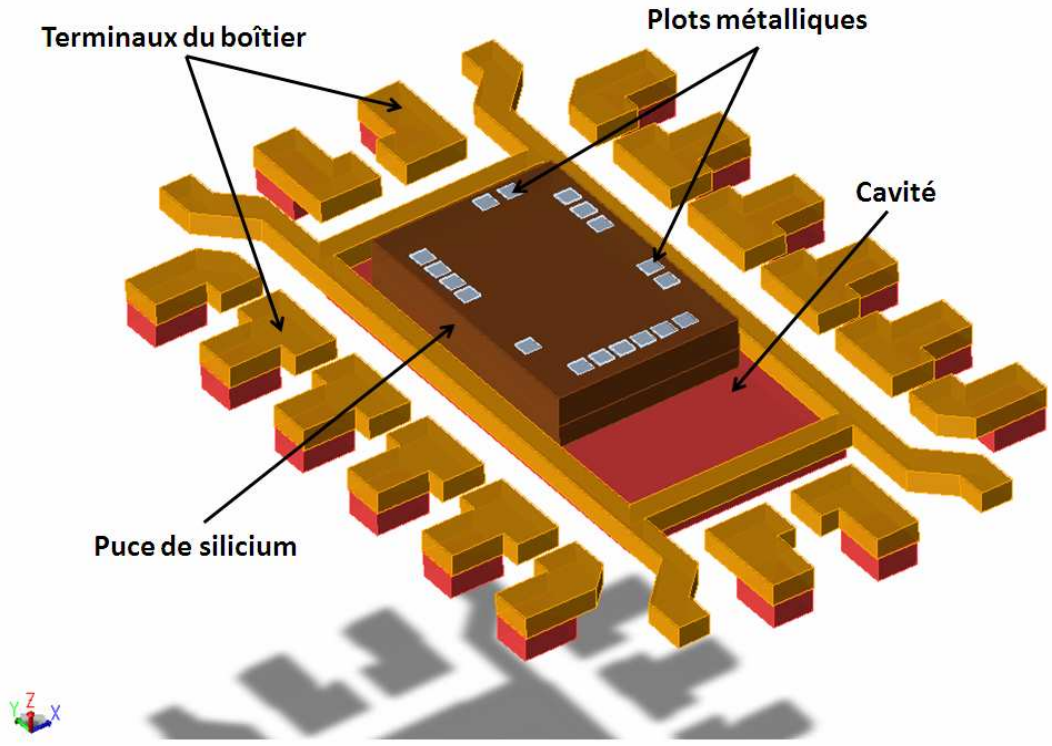
IV.1.1.1 Paramètre de longueur

Une première façon de concevoir une interconnexion à faible inductance est de la réaliser la plus courte possible en minimisant la longueur *l*. Cela peut être réalisé tout d'abord en modifiant le profil des fils soudés ce qui réduit sa longueur. Une technique de fabrication nommée le "reverse bonding" permet d'obtenir une boucle du fil avec une hauteur de profil plus faible [BRU04].



FigureIV.3: Profils des fils soudés

La réduction de la longueur d'interconnexion peut être également achevée par la création d'une cavité réalisée dans la trame métallique, au niveau du plan central, à l'endroit où la puce est collée (cf. figure IV.4). Cette cavité permet d'avoir une puce située physiquement plus basse dans le boîtier conduisant à une réduction de la longueur des fils soudés d'environ 7%.



FigureIV.4: Vue de dessus du boîtier comportant une cavité creusée dans la trame métallique

IV.1.1.2 Propriétés intrinsèques des matériaux utilisés pour l'assemblage

Une autre solution pourrait être envisagée en remplaçant l'or utilisé pour la fabrication des fils par du cuivre. L'utilisation du cuivre a un impact sur le coût mais également sur la performance électrique avec une conductivité plus élevée ($\sigma_{cu} = 5{,}96.10^7\, S/m$ et $\sigma_{or} = 4{,}52.10^7\, S/m$), ce qui représente une diminution de la résistance série de l'ordre de 32% par rapport à l'or. Par contre, il peut y avoir des inconvénients comme le brasage des fils de cuivre sur les plots de la puce qui sont en aluminium. Il va de soi que la propagation des signaux à travers les interconnexions ne doit présenter aucune discontinuité électrique sous peine de dégradation mécanique. En effet, la qualité des interconnexions dépend du mode de connexion et en particulier de la soudure.

Le tableau 11 résume les performances obtenues suivant les différents types de configurations évaluées. Les valeurs mentionnées dans ce tableau représentent la variation de chaque élément parasite vis-à-vis de la solution initiale qui correspond au boîtier DHVQFN.

Scenarios	Inductance (%)	Capacitance (%)	Résistance (%)
Fils soudés avec la technique de "reverse bonding"	-12	0	-11
Cavité dans la trame métallique (distance de 100 µm)	-5	0	-3
Diamètres de fils soudés fixés à 30 µm	-10	6	-25
Diamètres de fils soudés fixés à 40 µm	-16	5	-38
Diamètres de fils soudés fixés à 50 µm	-21	8	-47
Fils soudés mis en parallèle	-16	0	-37
Fils soudés en cuivre	0	0	-9

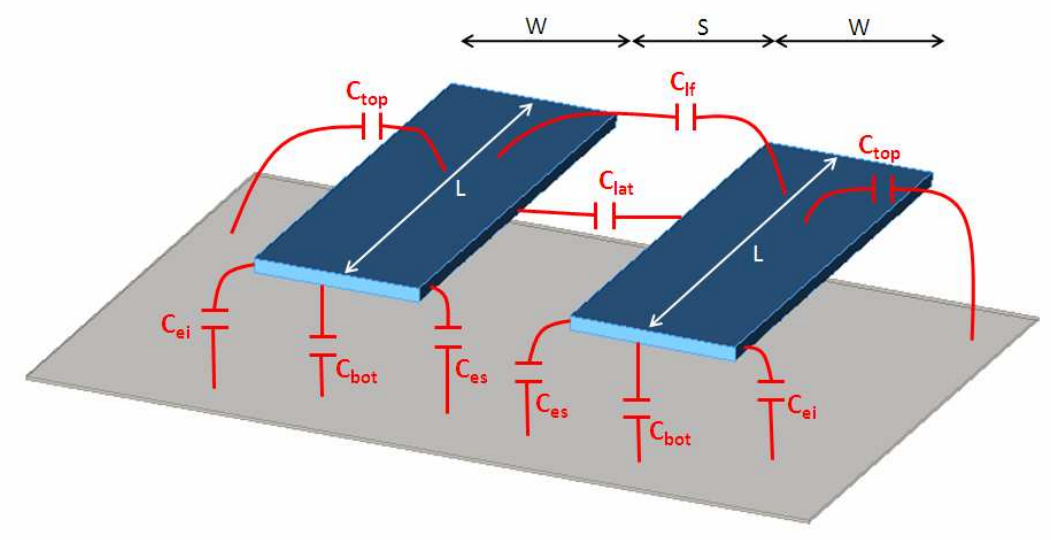
Tableau11 . Impact des différents scénarios sur la variation des éléments parasites (essentiellement inductifs et résistifs)

Suivant la configuration testée, on remarque que pour atteindre des valeurs parasites d'inductance compatibles avec des applications en ondes centimétriques, il faut nécessairement multiplier le nombre de fils, augmenter leurs diamètres ou bien modifier leur profil. Par contre, ces types de configurations impliquent un coût supplémentaire au niveau de la fabrication du boîtier donc du produit au final. A titre d'exemple, les cotations concernant les fils d'or sont de l'ordre de 206€/km pour un diamètre de 20µm et 310€/km pour un diamètre de 25µm. De plus, on peut remarquer que les valeurs parasites de capacités augmentent avec l'augmentation de la section du fil.

IV.1.2 Les terminaux du boîtier

Pour les applications d'ondes centimétriques, les parasites capacitifs doivent également être minimisés. Dans un premier temps, j'ai évalué les valeurs des capacités parasites créées par les terminaux du boîtier. Dans le but de calculer les capacités parasites d'un terminal du boîtier par rapport à la masse globale du circuit imprimé et également les capacités de couplages entre deux terminaux, une simulation en deux dimensions à l'aide d'un simulateur développé au sein de NXP a été effectuée. Cette extraction permet de pouvoir évaluer quelles sont les capacités qui ont la plus grande contribution sur la capacité totale.

Les capacités des terminaux sont représentées suivant le modèle suivant.



FigureIV.5: Schéma de contribution des capacités des terminaux – W : largeur du conducteur, S : espace entre les conducteurs, L : longueur du conducteur

Les capacités sont divisées en deux parties avec celle propre au conducteur et celle due aux couplages entre les conducteurs. Le premier type de capacité est composé de trois éléments :

✓ C_{bot} : capacité due au chevauchement de deux conducteurs situés à des niveaux différents qui s'exprime par $C_{bot} = W.L.C_{bot_simulé}$. Cette valeur de capacité est inversement proportionnelle à l'épaisseur du diélectrique séparant les deux conducteurs.

✓ C_{ei} et C_{es} : capacités des bords du conducteur par rapport au conducteur inférieur en considérant un espace infini (sans conducteur proche) ou soit en considérant un espace fini (avec un conducteur proche) qui s'exprime par

$C_{ei} = \left(C_{edge_simulé} + W.C_{top_simulé}\right)L$ et $C_{es} = \dfrac{1}{\sqrt{\dfrac{1}{C_{ei}^{\,2}} + \dfrac{4}{\left(C_{bot}.S\right)^2}}}$. Lorsque S augmente, la valeur de la capacité C_{es} tend vers la valeur de C_{ei}. Les capacités C_{ei} et C_{es} sont généralement appelées des capacités "fringe".

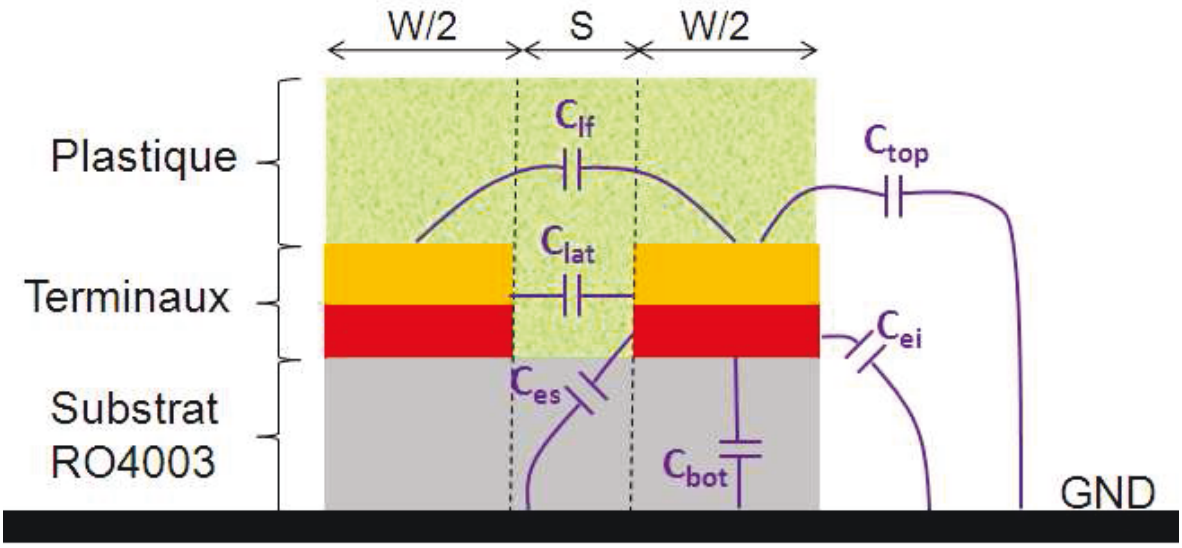
✓ C_{top} : capacité supérieure du conducteur par rapport au conducteur inférieur sachant que cette contribution n'est valide que pour les conducteurs larges (>10µm).

Le second type de capacité est composé de seulement deux éléments :

✓ C_{lat} : capacité entre deux conducteurs du même plan exprimée par $C_{lat} = \dfrac{C_{ls_simulé}.L}{S}$. Cette valeur de capacité est inversement proportionnelle à la distance séparant les deux conducteurs sur un même plan.

✓ C_{lf} : capacité entre la surface de deux conducteurs du même plan exprimée par $C_{lf} = \dfrac{W}{W + \dfrac{S}{2}} \exp^{\left(-\frac{S}{S_{ref_simulé}}\right)} C_{fr_simulé}.L$

Le modèle de la figure IV.6 a été implémenté dans le simulateur en considérant deux types de géométries pour les terminaux, un plan de masse se situant à 400µm correspondant à l'épaisseur du substrat ROGERS RO4003C et également une brique de plastique pour la partie supérieure des terminaux.



FigureIV.6: Schéma d'implantation utilisé pour extraire les contributions des capacités des terminaux du boîtier DHVQFN

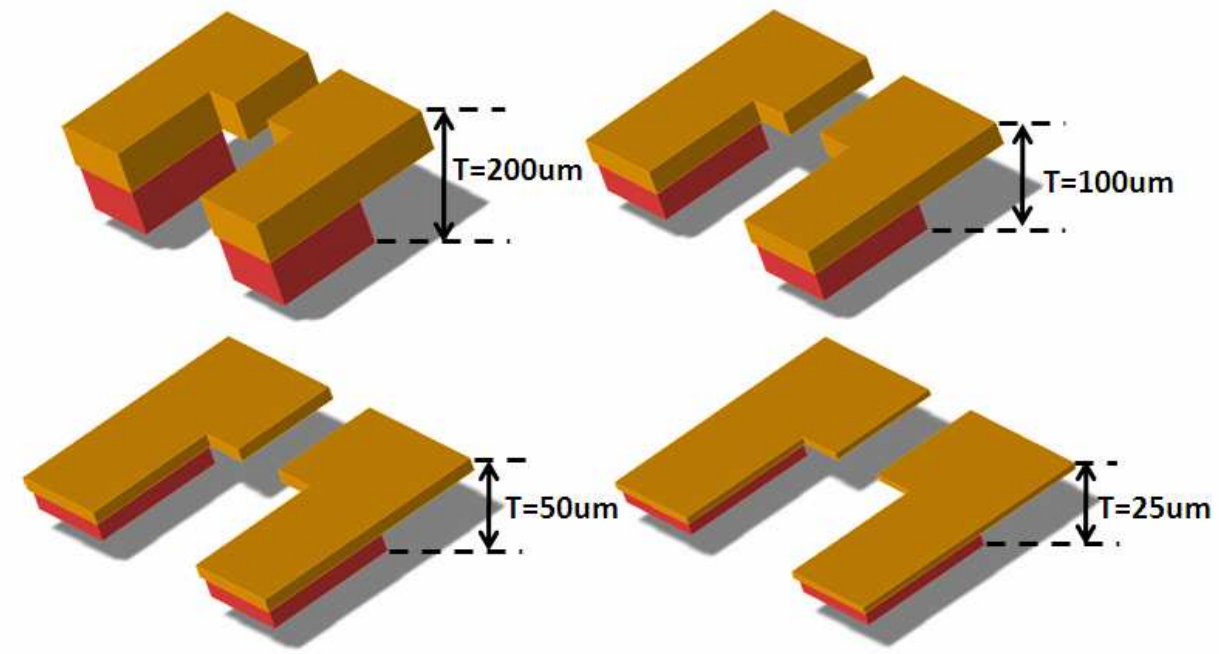
Une fois la structure correctement modélisée dans le simulateur 2D, ce dernier calcule pour différentes dimensions de conducteurs (largeur et espace entre conducteur) les valeurs de capacités par unité de longueur. Une méthode d'analyse numérique permet ensuite de déduire les valeurs normalisées des contributions capacitives définies ci-dessus. Ces valeurs sont ensuite utilisées pour calculer les capacités parasites associées à chaque terminal du boîtier (en prenant en compte la forme spécifique de chacun d'entre eux). Le tableau suivant présente différents exemples de calcul effectués sur des terminaux de boîtier DHVQFN.

Géométrie_1	Géométrie_2
	
Capacitances calculées	**Capacitances calculées**
Cbot = 7,98 fF	Cbot = 9,32 fF
Cei = 32,58 fF	Cei = 35,70 fF
Ces = 18,71 fF	Ces = 18,71 fF
Clat = 16,13 fF	Clat = 16,13 fF
Clf = 13,43 fF	Clf = 13,76 fF
Dimensions des terminaux	**Dimensions des terminaux**
W1 = 290 um	W1 = 380 um
L1 = 200 um	L1 = 200 um
S1 = 120 um	S1 = 120 um
W2 = 200 um	W2 = 200 um
L2 = 250 um	L2 = 250 um
S2 = 300 um	S2 = 300 um
Capacitances (terminal par rapport à la masse)	**Capacitances (terminal par rapport à la masse)**
C = 59,28 fF	C = 63,73 fF
Capacitances entre les terminaux	**Capacitances entre les terminaux**
C = 29,56 fF	C = 29,89 fF

FigureIV.7: Valeurs des capacités des terminaux du boîtier (deux types de géométries)

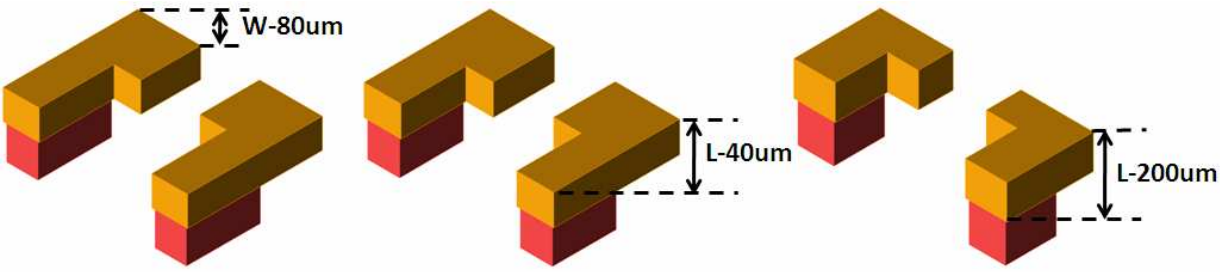
On peut remarquer que la capacité entre un terminal et le plan de masse est de l'ordre de 60fF dont 85% de la valeur est due aux capacités des bords (C_{ei} et C_{es}). La capacité entre deux terminaux quand à elle est d'environ 30fF. Il convient de noter que la réduction de ces capacités peut être réalisée dans un premier temps en réduisant l'épaisseur des terminaux (200µm au total actuellement), ce qui tendra à réduire les capacités des

bords et la capacité entre les terminaux. Une autre possibilité consiste à augmenter l'épaisseur de substrat dans le but de diminuer la capacité C_{bot} mais cela ne concerne pas l'amélioration du boîtier mais plutôt le choix du circuit imprimé, ce qui est en général de la charge du client final. En conséquence, les paramètres restants relatifs à la géométrie des terminaux (largeur, longueur et espacement) sont les autres pistes d'améliorations (cf. figures IV.8 et IV.9).



FigureIV.8: Variations des paramètres d'épaisseur (T) des terminaux

Ces modifications vont évidemment modifier la forme de l'empreinte du terminal.



FigureIV.9: Variations des paramètres de largeur (W) et de longueur (L) des terminaux

J'ai étudié à travers les résultats de simulation, différentes configurations ainsi que leur impact sur les valeurs des capacités parasites. Les différents résultats obtenus figurent dans le tableau suivant.

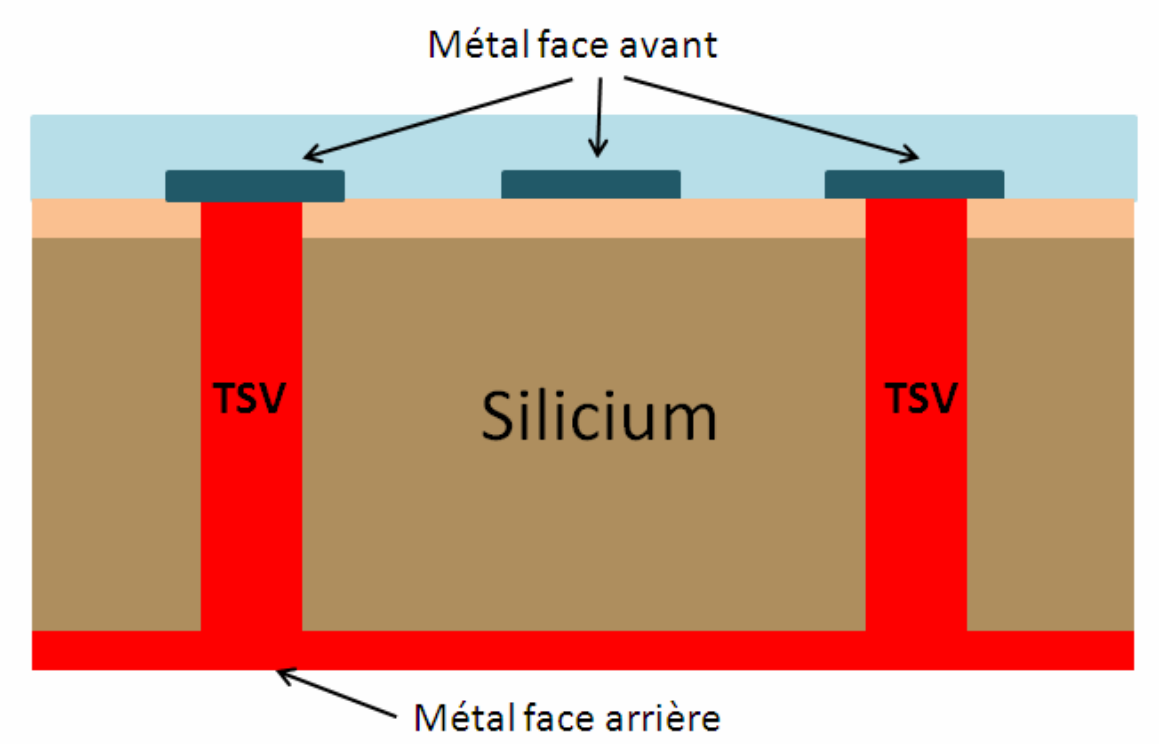
Scénarios	Inductance (%)	Capacitance (%)	Résistance (%)
Epaisseur (T) des terminaux réduite à 100um	-6	-10	-2
Epaisseur (T) des terminaux réduite à 50um	-8	-14	-3
Epaisseur (T) des terminaux réduite à 25um	-9	-16	-4
Largeur (W) des terminaux réduite de 80um	0	-7	0
Largeur (W) des terminaux réduite de 80um et longueur (L) des terminaux réduite de 40um	0	-8	0
Largeur (W) des terminaux réduite de 80um et longueur (L) des terminaux réduite de 200um	0	-19	-1

Tableau12 . Impact des différents scénarios sur la variation des éléments parasites (essentiellement capacitifs)

Une réduction de l'épaisseur des terminaux de 50% permet de réduire la capacité entre les terminaux de 30% et la capacité par rapport à la masse de 10%. Bien entendu, ces pistes d'amélioration ne peuvent être effectives que si le procédé de fabrication des boîtiers le permet que ce soit en termes de dimensions ou en termes de faisabilité.

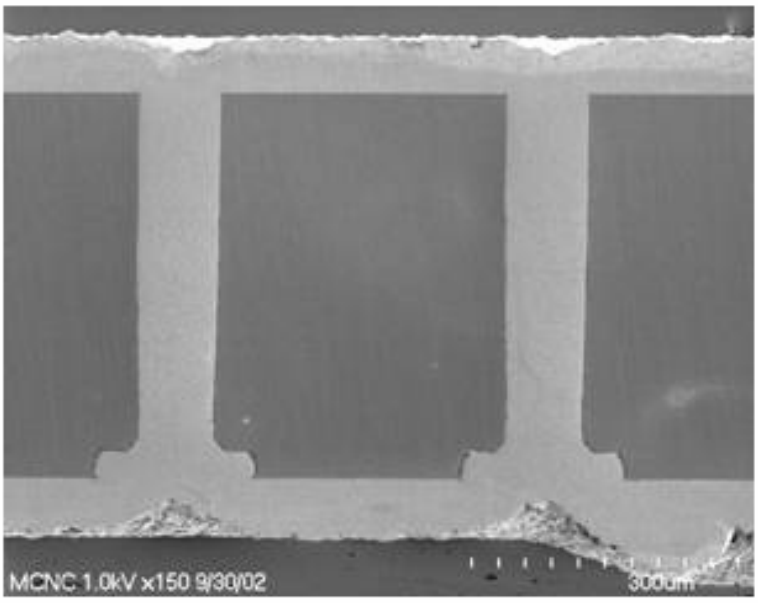
IV.1.3 Les vias traversants

L'émergence récente d'un nouveau mode de connexion vertical à travers le substrat, le TSV (Trough Silicon Via), m'a naturellement amené à considérer ce genre d'architecture pour améliorer la stratégie de répartition des masses.



FigureIV.10: Vue schématique de deux vias traversants

Un via traversant est défini comme un trou creusé sur toute la hauteur du substrat puis rempli complètement ou partiellement de métal, le plus souvent de cuivre qui à une très faible résistivité et un coût moindre que l'argent. De plus, des métallisations en face avant et arrière sont réalisées pour connecter les deux faces du silicium par l'intermédiaire de ce via traversant (cf. figure IV.10). Le signal est donc véhiculé à travers le silicium par l'intermédiaire du via traversant de sorte que la face avant et la face arrière du silicium soit en contact. Géométriquement, un via traversant est caractérisé par son rapport d'aspect qui est le rapport de sa hauteur sur son diamètre (cf. figure IV.11). La valeur de ce rapport d'aspect peut varier entre 1 et 25 et définit le niveau de densité de l'interconnexion. Tout type de signal passant à travers une interconnexion subit une atténuation qui se traduit par une diminution de sa tension. Cette atténuation est également fonction des pertes par effet Joule dans le conducteur mais aussi de la longueur du conducteur et de son environnement comme le diélectrique qui l'entoure et le rayonnement. Par conséquent, une interconnexion courte permet donc de réduire l'atténuation du signal et son inductance propre. Dans notre cas, un rapport d'aspect de l'ordre de 4 a été considéré avec une hauteur de silicium de 240µm et un diamètre de via de l'ordre de 60µm. Une simulation du boîtier suivi d'une extraction des éléments parasites effectuée à l'aide du simulateur EMPro a permis d'obtenir une inductance de masse de l'ordre de 65pH pour un seul via en connectant chaque plot de masse de la puce à la métallisation face arrière, elle-même connectée au boîtier.

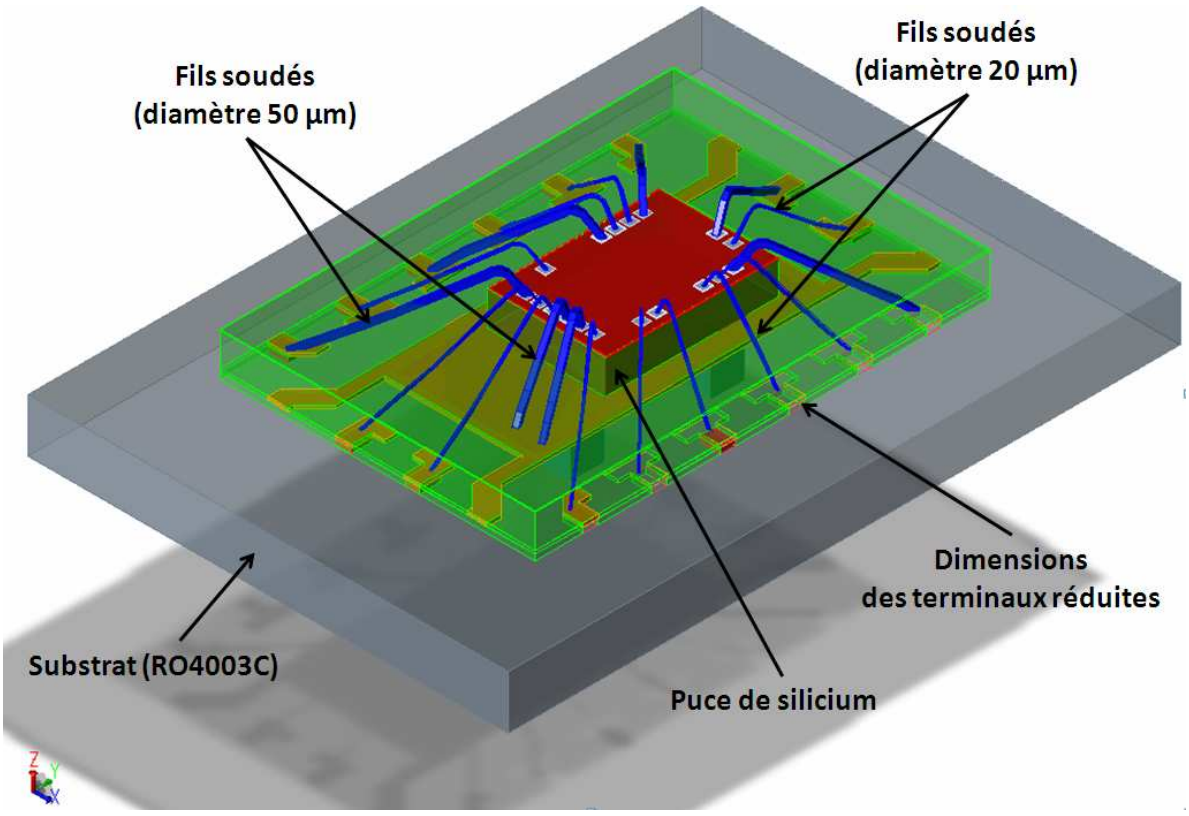


FigureIV.11: Vue au microscope à balayage de deux vias traversants (rapport d'aspect de 5)

En termes de réduction des éléments parasites, cela représente 94% au niveau inductif et 30% au niveau résistif. Cette technique ne modifie pas l'architecture du boîtier mais plutôt le procédé de fabrication du circuit intégré car cela nécessite des étapes de fabrication supplémentaires, ce qui engendre également un coût de production supplémentaire non négligeable. Le fabricant japonais TOSHIBA est le seul à proposer [TOSH] ce type de technologie en production de masse pour des capteurs d'image CMOS.

IV.1.4 Proposition d'architecture de boîtier

Nous avons vu qu'en conservant l'architecture du boîtier DHVQFN telle qu'elle est actuellement avec des connexions par l'intermédiaire de fils soudés et de terminaux, il est possible d'améliorer les performances électriques de différentes manières. Par conséquent, il est possible d'appliquer ces améliorations à la structure du boîtier existant. Deux types de nouvelles architectures ont été créés et validées comme représentés sur les deux figures suivantes.

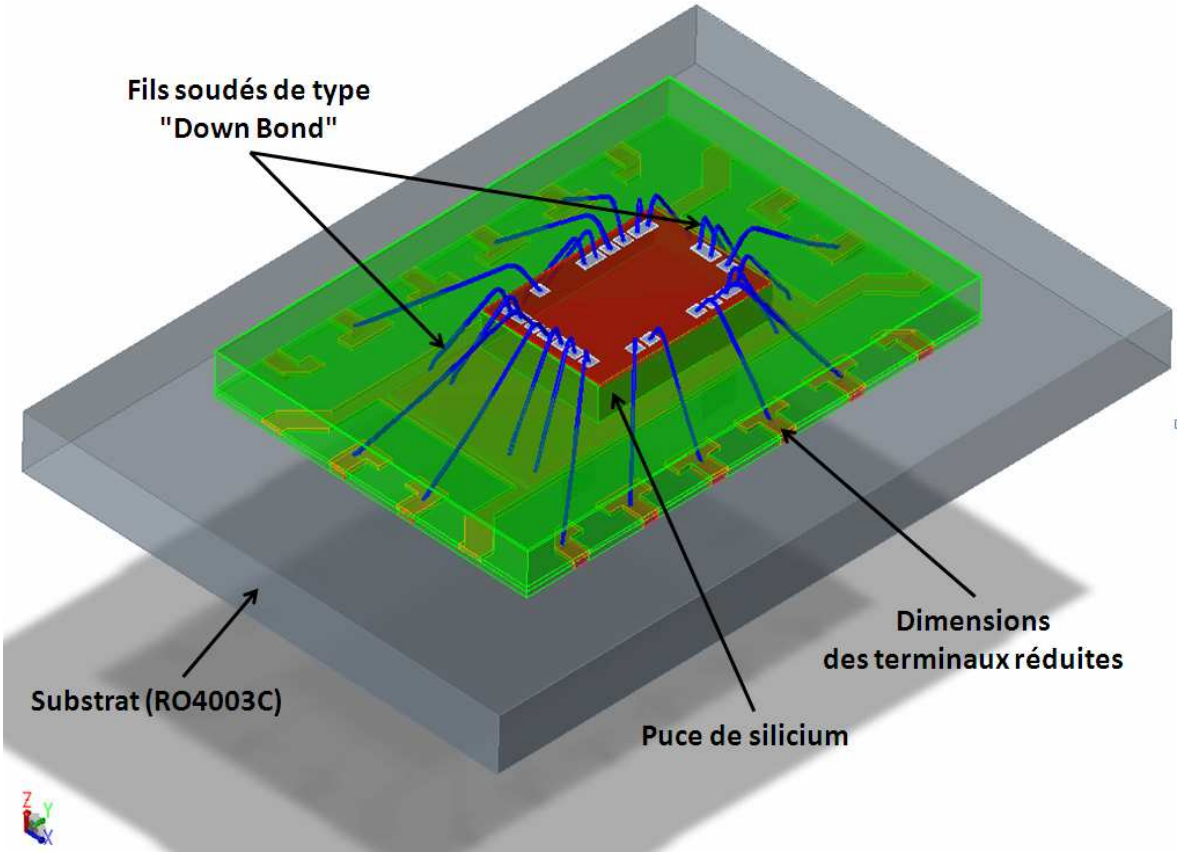


FigureIV.12: Vue 3D d'une configuration de boîtier amélioré (proposition 1)

Ce premier type de boîtier (cf. figure IV.12) comporte une architecture différente par rapport au boîtier DHVQFN car il est doté de fils soudés d'un diamètre de 50µm uniquement sur les connexions de masse, le reste des fils soudés conservant le diamètre

initial de 20µm. De plus, l'épaisseur des terminaux est réduite à 50µm, leur longueur est diminuée de 100µm et leur largeur de 80µm. Cette configuration de boîtier a été simulée sous EMPro puis intégrée dans l'environnement de simulation du produit satellite (chapitre IV.3) afin de valider les performances électriques.

Le second type de boîtier (cf. figure IV.13) comporte une architecture où cette fois-ci les fils soudés de connexions de masse de type "down bond", ce qui signifie que les plots de la puce sont reliés directement au plan de masse central du boîtier, sont placés en parallèle. L'épaisseur des terminaux quand à elle est similaire à la première configuration de boîtier décrit précédemment (50µm), une longueur réduite de 100µm et une largeur diminuée de 80µm. De la même manière que pour le boîtier précédent, un fichier de simulation paramètres S issu d'une simulation électromagnétique a été intégré dans l'environnement du produit satellite.



FigureIV.13: Vue 3D d'une configuration de boîtier amélioré (proposition 2)

Les résultats des performances électriques de ces deux types de boîtier sont décrits dans les figures IV.26 et IV.27 ainsi qu'un complément de résultats sur les figures allant de IV.28 à IV.33. Il est bien sûr évident que ces propositions doivent faire l'objet d'une étude

supplémentaire au niveau de la faisabilité concernant la fabrication et les spécifications minimales des matériaux.

Ces configurations ne sont que des propositions dans le but d'évaluer leurs influences sur les paramètres électriques du produit.

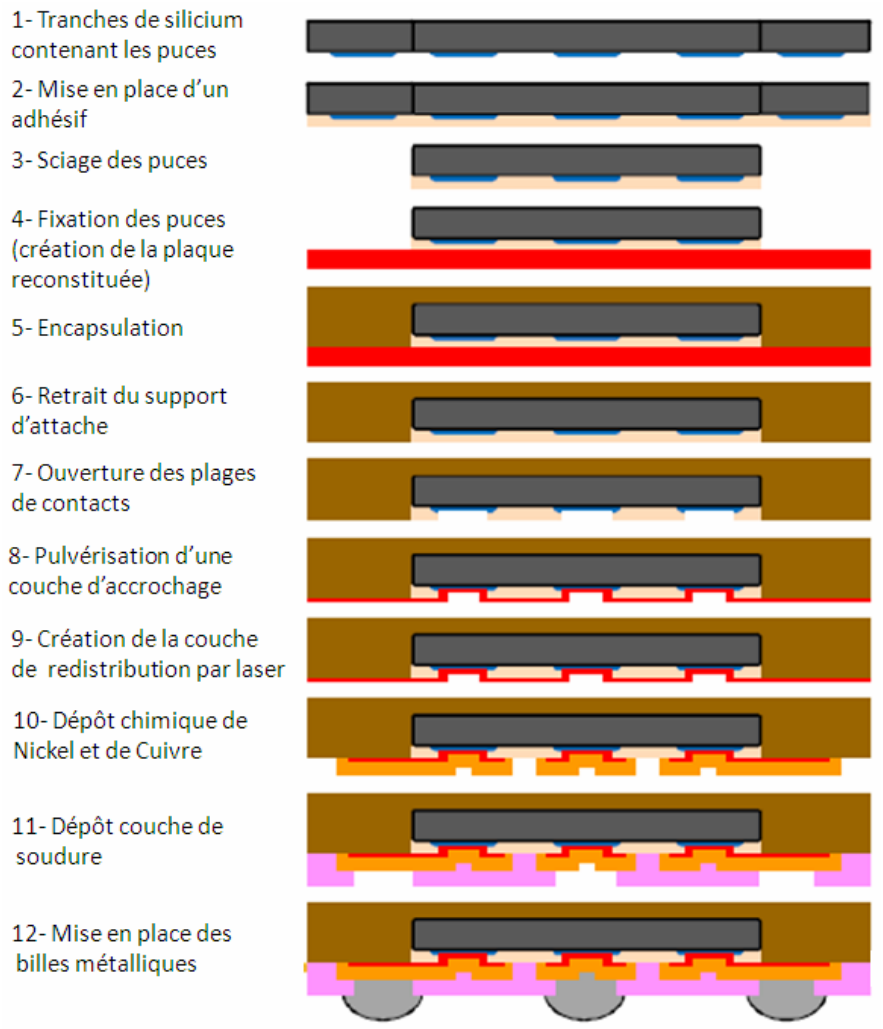
IV.2 Approche puce retournée, le boîtier LLBT

Parmi les nombreux boîtiers référencés au sein de NXP, seuls deux d'entre eux font appel à une technologie avancée de puce retournée, l'UTLP dont le statut est qualifié et le LLBT qui est à l'étude pour le moment. Dans le domaine des applications en haute fréquence, le boîtier utilisant la technologie de la puce retournée, le « Flip Chip », est clairement le meilleur candidat pour obtenir des performances électriques acceptables car il présente des éléments parasites beaucoup plus faibles que les autres technologies du fait de la réduction de la longueur des interconnexions. Le boîtier de type UTLP ne convient pas aux applications qui sont recherchées (satellite, téléphonie,…) car le pas entre les plots de la puce est trop élevé (de l'ordre de 200 à 250µm) et le nombre de terminaux est limité pour le moment à six. Par conséquent, l'approche LLBT a été prise en compte pour évaluer les performances électriques de ce type de boîtier.

Les paragraphes suivants décrivent son procédé de fabrication, la méthodologie qui a été appliquée pour dessiner le boîtier et les performances électriques matérialisées par les éléments parasites en utilisant toujours comme pilote le produit satellite. Pour terminer, une comparaison des résultats électriques des différents types de boîtiers va permettre de montrer que ce type de boîtier pourrait en termes de performances et aussi de coût devenir le boîtier standard pour des applications en ondes centimétriques.

IV.2.1 Procédé de fabrication

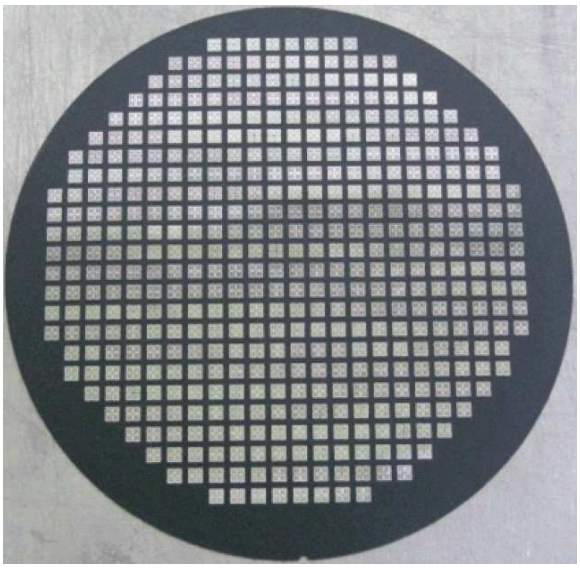
La fabrication du boîtier LLBT utilise des matériaux classiques. Il est semblable à celui de l'assemblage au niveau des tranches de silicium décrit dans le chapitre I.3.2.4. Les étapes constituant la fabrication du boîtier LLBT sont décrites sur la figure IV.14.



FigureIV.14: Etapes du procédé de fabrication du boîtier LLBT

La première étape est réalisée au niveau de la plaque de silicium. Ensuite, toutes les opérations qui suivent comme le dépôt de cuivre, les découpes effectuées au laser sont réalisées au niveau de la puce uniquement. A partir de l'étape 4, une nouvelle plaque est reconstituée avec les puces sciées au préalable (cf. figure IV.15). L'assemblage final sur le circuit imprimé est effectué à l'aide de billes métalliques. Il est à noter que les caractéristiques principales de ce type de boîtier sont :

- ✓ un pas entre les plots de la puce de l'ordre de 100µm,
- ✓ une épaisseur de cuivre de la couche de redistribution d'environ 4µm,
- ✓ une grande simplicité pour dessiner les accès car c'est un mode planaire,
- ✓ un maximum de 60 terminaux.



FigureIV.15: Photographie d'une plaque reconstituée lors de la fabrication du LLBT

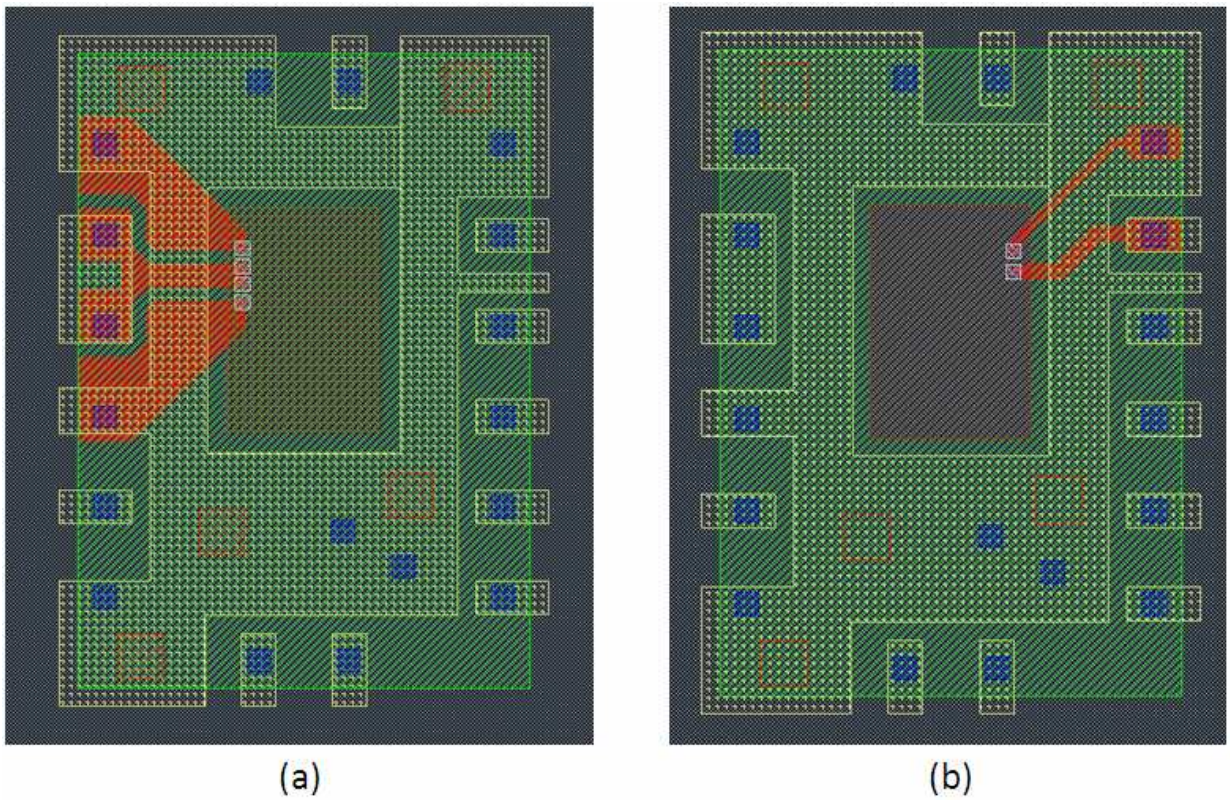
En vue des applications en ondes centimétriques, pour des fréquences allant de 12 à 40GHz, ce type d'approche de boîtier semble être prometteur au regard de ses caractéristiques et aussi spécialement par le fait de pouvoir dessiner facilement les interconnexions des chemins radiofréquences dans le but d'avoir une meilleure adaptation à 50 ou 75Ω par rapport à des fils soudés où on peut difficilement maîtriser leur impédance. Par contre, dans le cas du LLBT, il n'y pas contrairement au boîtier DHVQFN de plan de masse central, « l'exposed die paddle ». Cela signifie que les connections comme les fils soudés de type "down bond" ne sont pas réalisables. En outre, comme ce boîtier utilise la technologie de la puce retournée, la face avant de la puce se trouve en regard du circuit imprimé ce qui signifie que le plan de masse du circuit imprimé doit être enlevé pour des raisons de rayonnement et de perturbations électromagnétiques des éléments internes de la puce de silicium.

IV.2.2 Méthode d'implémentation

Ce paragraphe décrit la méthode d'implémentation du produit pilote que j'ai suivi pour dessiner la version de boîtier basé sur le LLBT. Les différentes étapes suivies sont identiques au synoptique de la figure III.13, à savoir la partie dessin réalisée sous Cadence Virtuoso, l'exportation du dessin sous l'environnement du simulateur EMPro et pour terminer la simulation électromagnétique. Comme cela est décrit dans le procédé de fabrication du LLBT, les interconnexions sont réalisées dans une couche de redistribution en cuivre. Nous pouvons donc considérer la définition des interconnexions comme une

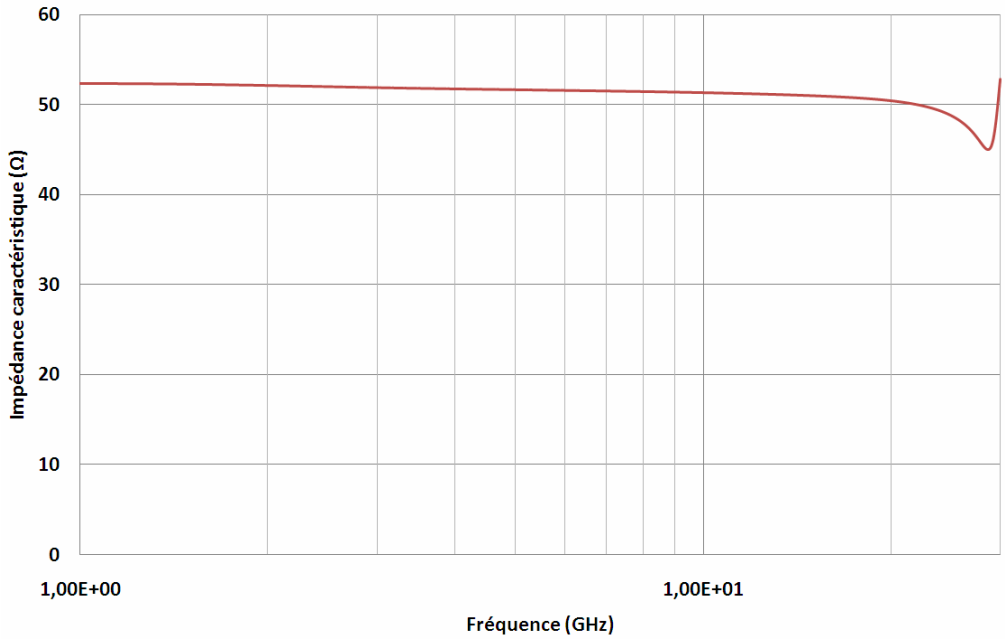
technologie planaire. Dans ce sens, les accès radiofréquences d'entrée RF et de sortie IF peuvent être dessinés sur la base de structure de ligne de transmission coplanaire ou micro-rubans. Suivant la structure choisie, deux types de simulateurs ont été utilisés, le simulateur Momentum pour les structures planaires comme les interconnexions et EMPro pour la structure du boîtier en considérant la chaine complète.

Comme je l'ai décrit précédemment, l'accès de l'entrée RF du boîtier DHVQFN utilise deux terminaux suivis de deux fils soudés avec une masse associée de chaque côté. Cet accès est ensuite connecté à la ligne présente sur le circuit imprimé. Dans le cas du LLBT, une ligne coplanaire, dont les dimensions ont été calculées auparavant de manière analytique, a été dessinée (cf. figure IV.16.a) et simulée dans le but de conserver une impédance de 50Ω sur une large bande de fréquence. La même méthode a été appliquée sur l'interconnexion radiofréquence IF mais cette fois-ci avec un accès de type micro-ruban car un seul terminal est utilisé pour le signal (cf. figure IV.16.b). Le dessin de cet accès permet de conserver une impédance de 75Ω sur une bande de fréquence allant de 1GHz à 30GHz.

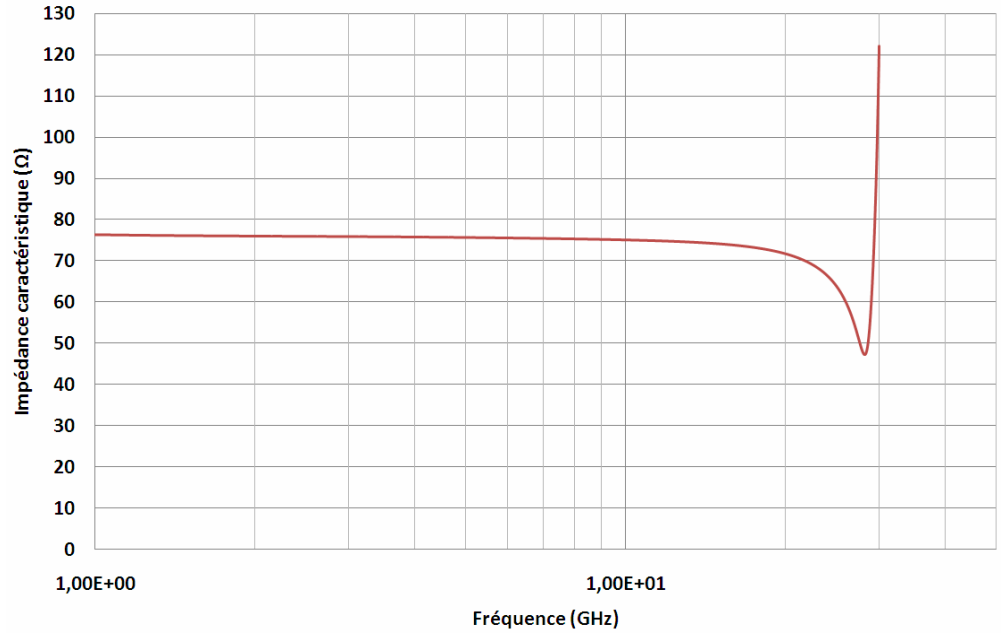


FigureIV.16: Dessin de la ligne d'accès coplanaire de l'entrée RF (a) en rouge – Dessin de la ligne d'accès micro-ruban de la sortie IF (b) en rouge

L'ensemble de l'interconnexion du signal RF allant de la ligne d'accès du circuit imprimé jusqu'aux plots de la puce a été simulé à l'aide du simulateur électromagnétique EMPro. Comme l'indiquent les valeurs de l'impédance caractéristique (cf. figures IV.17 et IV.18), l'adaptation de chaque interconnexion (RF et IF) est conservée jusqu'à environ 30GHz. Cela démontre qu'il est relativement plus simple d'utiliser ce type de technologie planaire pour dessiner des accès radiofréquence car cela est complètement maitrisable en termes de paramètres par rapport à des interconnexions utilisant des fils soudés.



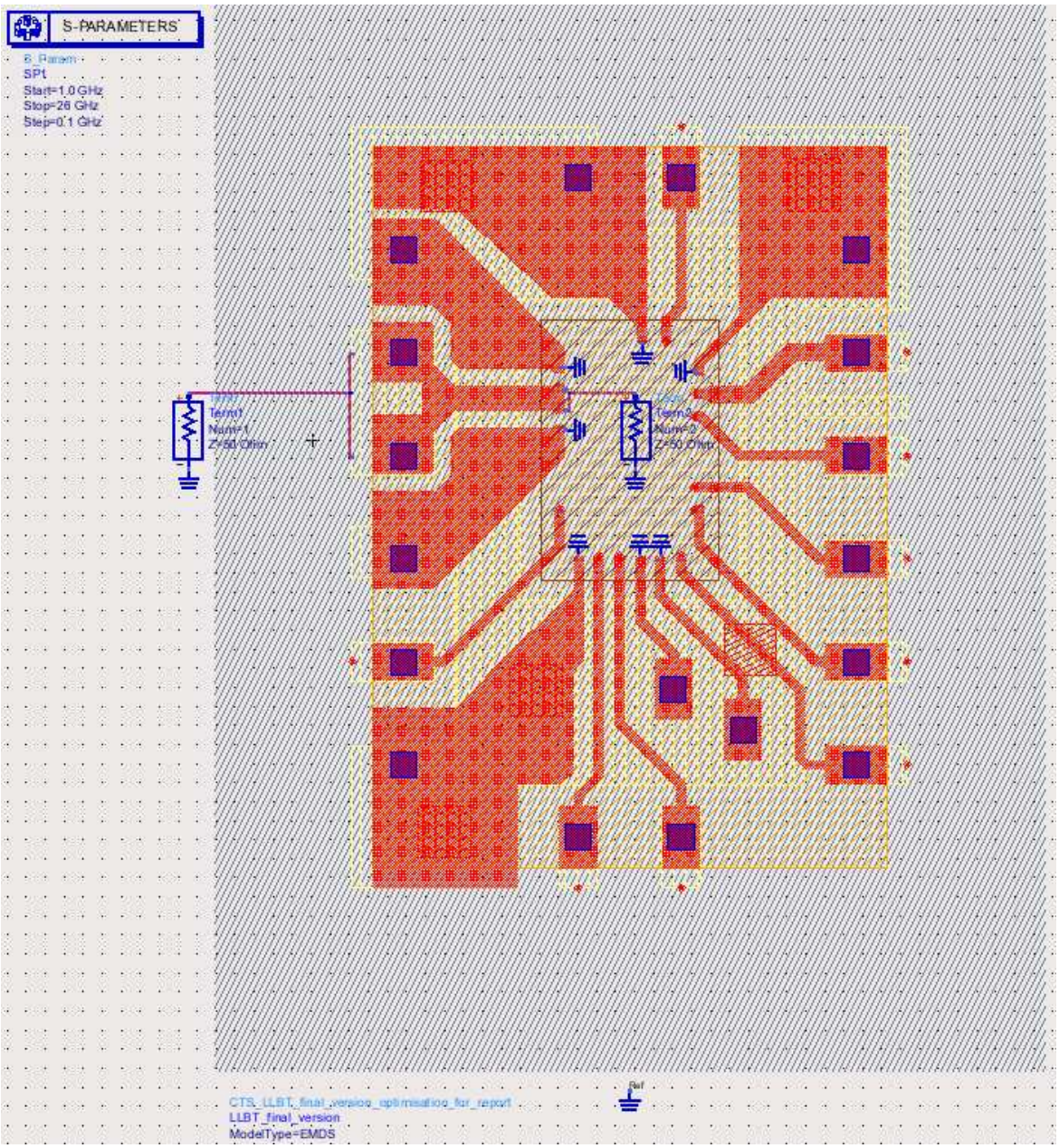
FigureIV.17: Impédance caractéristique de l'accès RF



FigureIV.18: Impédance caractéristique de l'accès IF

IV.2.3 Extraction des parasites (matrice de couplage)

La structure du produit pilote étant implémentée dans le boîtier LLBT par le dessin des différentes interconnexions, l'étape suivante consiste à évaluer quelle est l'impact de cette structure sur les valeurs des éléments parasites. La même méthodologie que celle appliquée pour le boîtier DHVQFN a été utilisée pour extraire les valeurs parasites du boîtier LLBT avec une simulation électromagnétique du boîtier utilisant 29 ports d'excitations (cf. figure IV.19). On obtient donc à partir des paramètres S et d'une transformation en Z et en Y, les valeurs des parasites.



FigureIV.19: Schéma synoptique du boîtier LLBT utilisé pour l'extraction des parasites

Le tableau 13 résume les inductances propres, résistances et couplages inductifs ainsi obtenus au niveau de chaque nom de terminal du boîtier LLBT correspondant à chaque interconnexion.

	IF	SDA	Xop	Xon	Test_out	Vcc_Vco	Vtune	Scl	RF2	RF1	5V0
IF	520/320	125	49,8	24	14,6	0,27	0,1	5,5	8,4	8,1	6,5
SDA	0,220	590/350	117	52	29,2	0,73	1,4	7,5	9,2	8,9	1,89
Xop	0,085	0,198	602/380	137	68	1,5	0,12	8	8,2	7,9	1,07
Xon	0,035	0,075	0,208	722/480	199	13,9	8,8	5,4	6	5,8	2,2
Test_out	0,027	0,042	0,101	0,259	754/450	23,4	15	4,2	5,4	4,9	1,1
Vcc_Vco	0,000	0,001	0,002	0,017	0,027	884/530	269	22,3	1,8	1,5	1,8
Vtune	0,000	0,003	0,000	0,001	0,018	0,290	977/600	35,8	3	2,6	1,78
Scl	0,009	0,011	0,011	0,007	0,006	0,027	0,039	754/480	51	49,9	0,38
RF2	0,017	0,018	0,016	0,010	0,009	0,003	0,005	0,085	458/270	125	0,3
RF1	0,018	0,018	0,016	0,011	0,012	0,003	0,005	0,065	0,198	480/290	1,5
5V0	0,012	0,003	0,002	0,003	0,002	0,003	0,002	0,001	0,002	0,003	585/380

Tableau13 . Inductances/Résistances propres et couplage inductifs du boîtier LLBT – Gris : valeurs d'inductance (pH)/résistance (mΩ) – Bleu : valeurs d'inductance mutuelle (pH) – Vert : valeurs du coefficient de couplage

De manière similaire au boîtier DHVQFN, les inductances et résistances de masse ont été également extraites en suivant la même méthode, ce qui donne les valeurs suivantes :

	GND_IF		GND_RF		GND_RFLNA		GND_XO		GND_DIV		GND_VCO	
	L	R	L	R	L	R	L	R	L	R	L	R
Fréquence d'extraction (1GHz)	159	110	237	160	260	180	530	330	330	200	205	140

Tableau14 . Inductances/Résistances propres du boîtier LLBT (valeurs d'inductance en pH et résistance en mΩ)

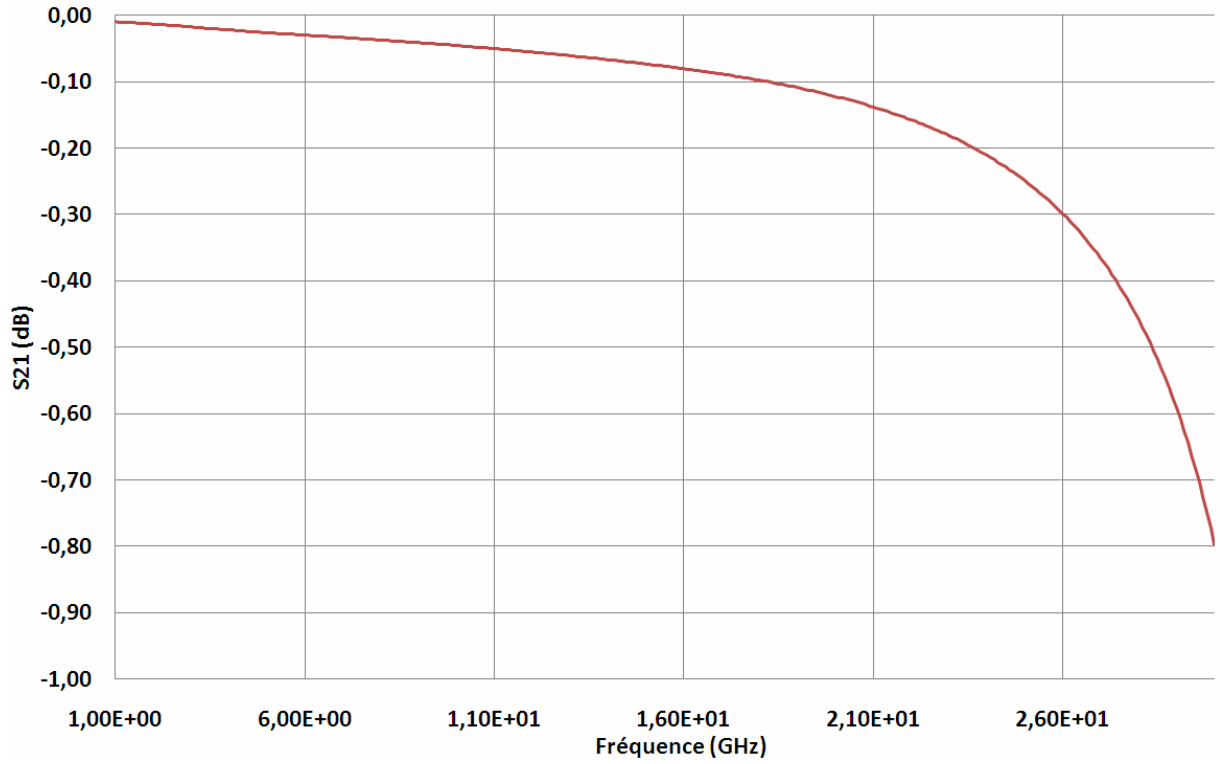
On peut clairement remarquer que les valeurs des interconnexions de retour de masse sont très réduites par rapport au boîtier DHVQFN, de l'ordre de 80% de réduction pour les interconnexions les plus longues et de 50% pour les autres.

D'un autre côté, les valeurs des capacités extraites (cf. tableau15) sont également réduites d'environ 17% par rapport à celle du DHVQFN, grâce en l'occurrence à l'épaisseur du boîtier qui est largement diminuée avec ce type de technologie.

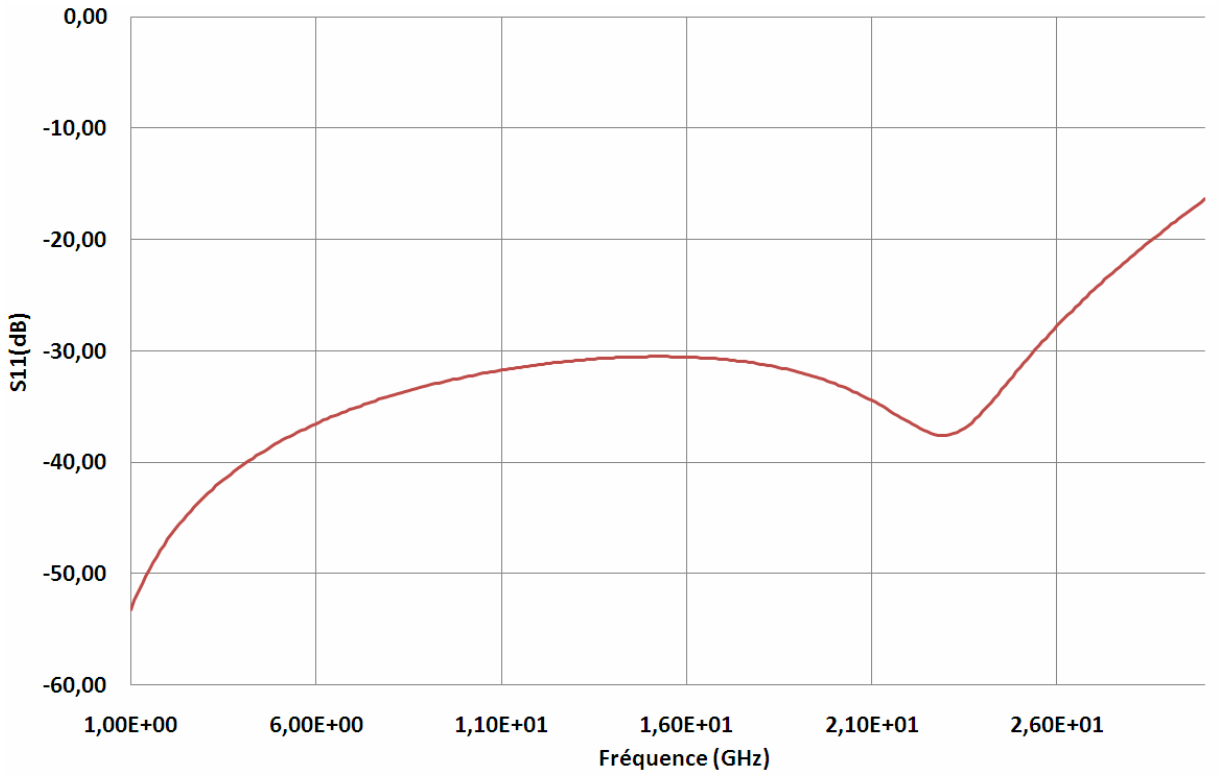
	IF	SDA	Xop	Xon	Test_out	Vcc_Vco	Vtune	Scl	RF2	RF1	5V0
IF	96	15,2	4,4	2,2	1,06	0,26	0,26	0,35	0,44	0,43	1,05
SDA		85	13,7	5,3	2,4	0,36	0,32	0,41	0,58	0,55	0,67
Xop			82	19	7,4	0,64	0,6	0,46	0,42	0,42	0,34
Xon				95	25	1,03	0,87	0,46	0,44	0,44	0,18
Test_out					102	1,2	0,82	0,33	0,27	0,27	0,13
Vcc_Vco						121	40	1,2	0,15	0,16	0,11
Vtune							112	2	0	0	0,12
Scl								97	1,8	1,4	0,18
RF2									98	16	0,45
RF1										96	0,56
5V0											92

Tableau15 . Capacités propres et couplage capacitifs du boîtier LLBT – Gris : valeurs de capacité (fF) – Bleu : valeurs de couplage capacitif (fF)

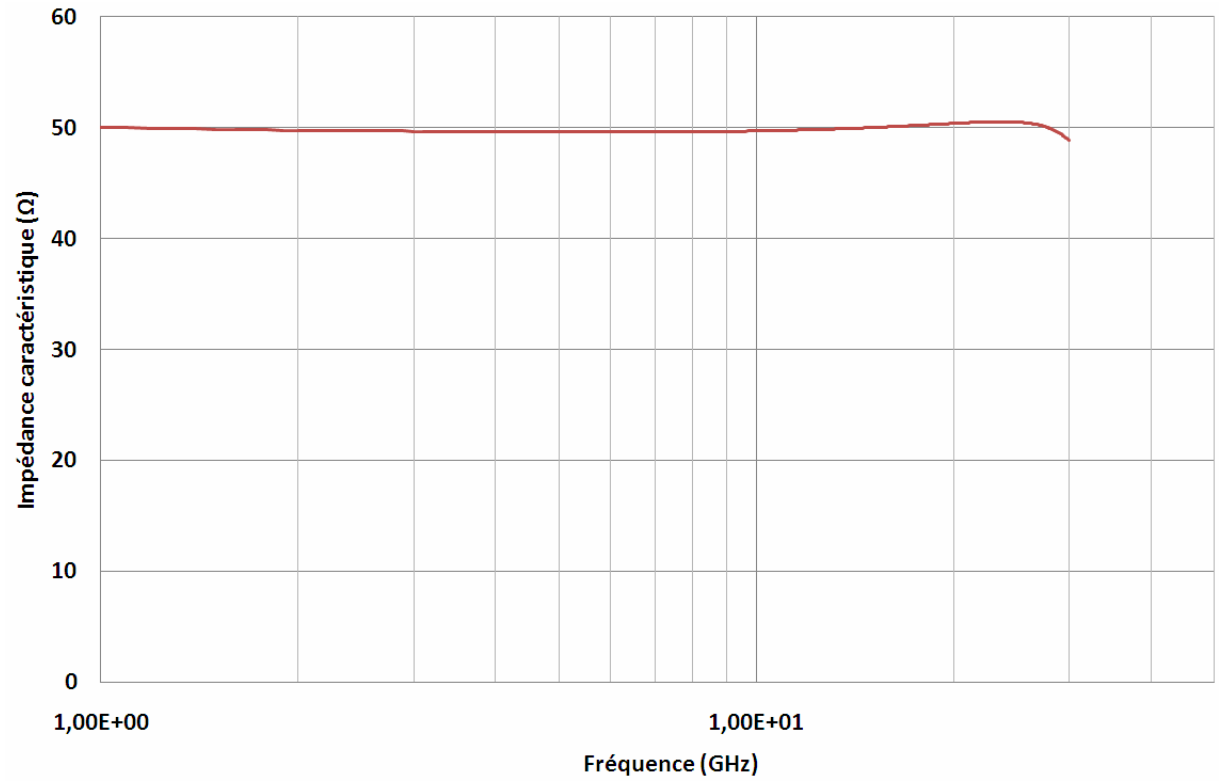
Les paramètres S de transmission et de réflexion (S_{21} et S_{11}) ainsi que l'impédance caractéristique de l'interconnexion de l'entrée RF ont été également extraits comme sur le boîtier DHVQFN. On peut remarquer qu'avec ce type de boîtier les pertes d'insertion sont inférieures à 1dB jusqu'à une fréquence de 30GHz.



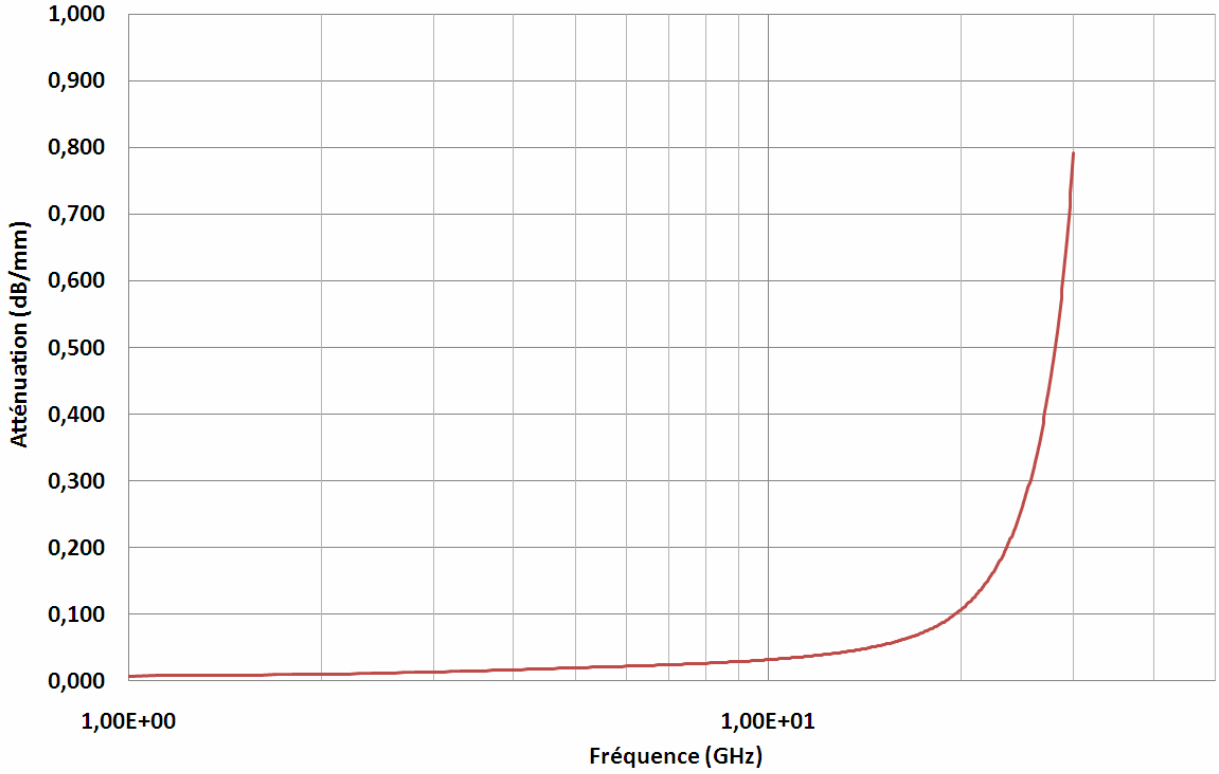
FigureIV.20: Transmission S_{21} du chemin RF du boîtier LLBT en fonction de la fréquence



FigureIV.21: Réflexion S_{11} du chemin RF du boîtier LLBT en fonction de la fréquence



FigureIV.22: Impédance caractéristique Z_c du chemin RF du boîtier LLBT en fonction de la fréquence



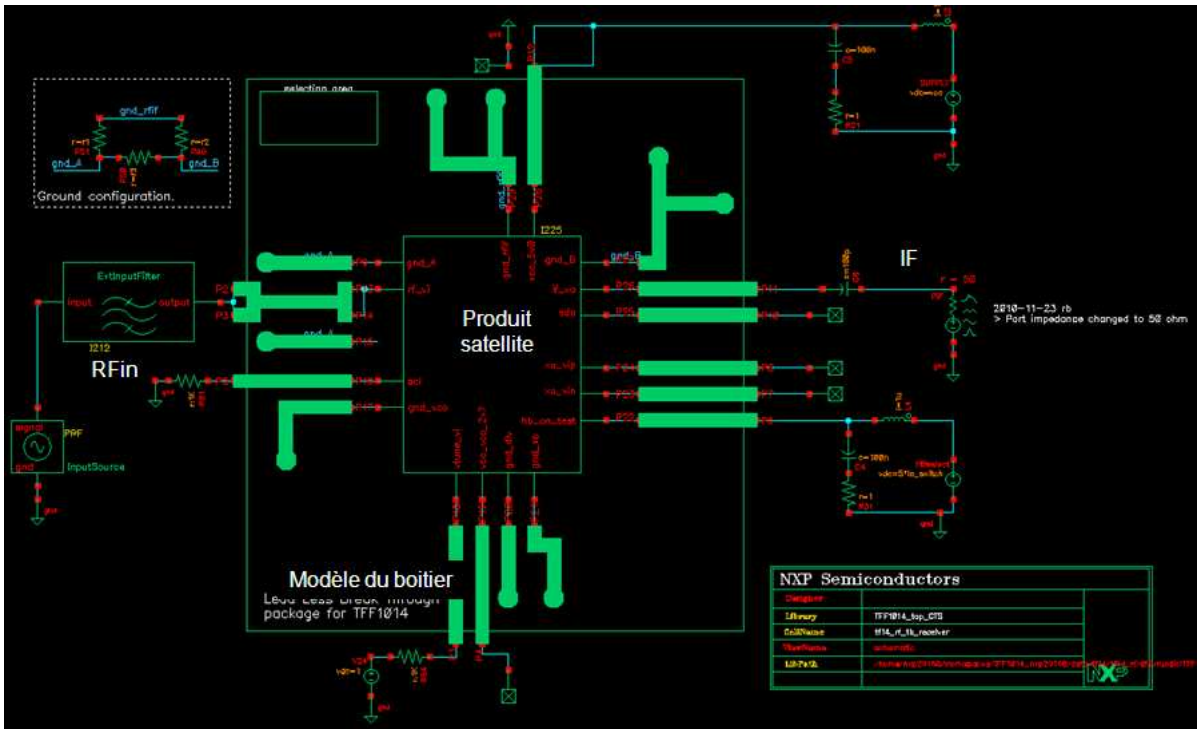
FigureIV.23: Atténuation du chemin RF du boîtier LLBT en fonction de la fréquence

A partir des résultats de simulation obtenus, il est évident que l'on peut conclure que les performances électriques en termes de pertes d'insertion et de réflexion ainsi que les valeurs des éléments parasites sont meilleures avec l'approche puce retournée conjuguée au procédé de fabrication utilisé pour le boîtier LLBT. En termes de réduction des éléments parasites, cela représente 80% au niveau inductif, 75% au niveau résistif et 25% au niveau capacitif vis-à-vis de l'architecture du boîtier DHVQFN. De plus, le dessin des accès radiofréquence vers la puce est grandement facilité par l'adoption d'une technologie planaire.

IV.3 Performances électriques propres au circuit satellite

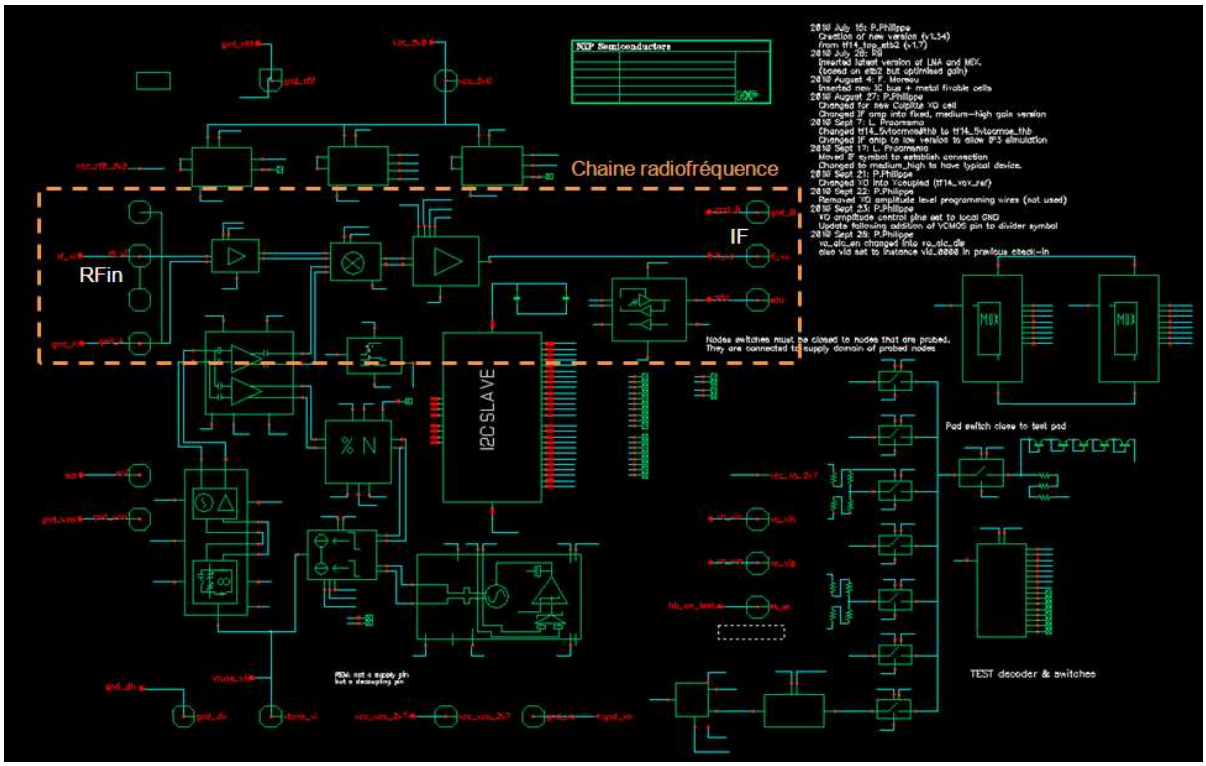
De manière complémentaire et dans le but d'avoir une meilleure vision des performances électriques obtenues, des simulations au niveau du produit satellite lui-même intégré dans son environnement ont été réalisées. Chaque configuration de boîtier, que ce soit au niveau des propositions d'amélioration du boîtier DHVQFN (chapitre IV.1.4) que du nouveau type de boîtier LLBT, a été simulée dans un premier temps à l'aide d'EMPro. Par conséquent, à chaque configuration de boîtier est associé un fichier de simulation en paramètres S à 29 ports. L'environnement de test du produit satellite qui était déjà existant a été importé et utilisé sous le logiciel Cadence Virtuoso [CAD07].

Ce banc de test (cf. figure IV.24) regroupe tous les paramètres nécessaires au fonctionnement du produit satellite dans les conditions de l'application du client final comme les différents blocs du circuit, le modèle du boîtier, les alimentations, les stimuli d'entrée,… Le fichier de simulation du boîtier à 29 ports est donc inséré dans ce banc de test, plus précisément au niveau du modèle du boîtier, ce qui permet d'évaluer les performances de la chaîne de réception du produit satellite en intégrant tous les éléments du boîtier.



FigureIV.24: Produit satellite dans son environnement (modèle du boîtier, alimentation, générateur de stimuli,…)

L'utilisation de ce banc de test permet donc d'évaluer l'impact des différentes propositions d'améliorations de boîtier sur les performances électriques de la chaine de réception allant de l'entrée RFin à la sortie IF (cf. figure IV.25). On retrouve de manière plus précise sur cette figure les blocs internes du produit satellite permettant son fonctionnement.

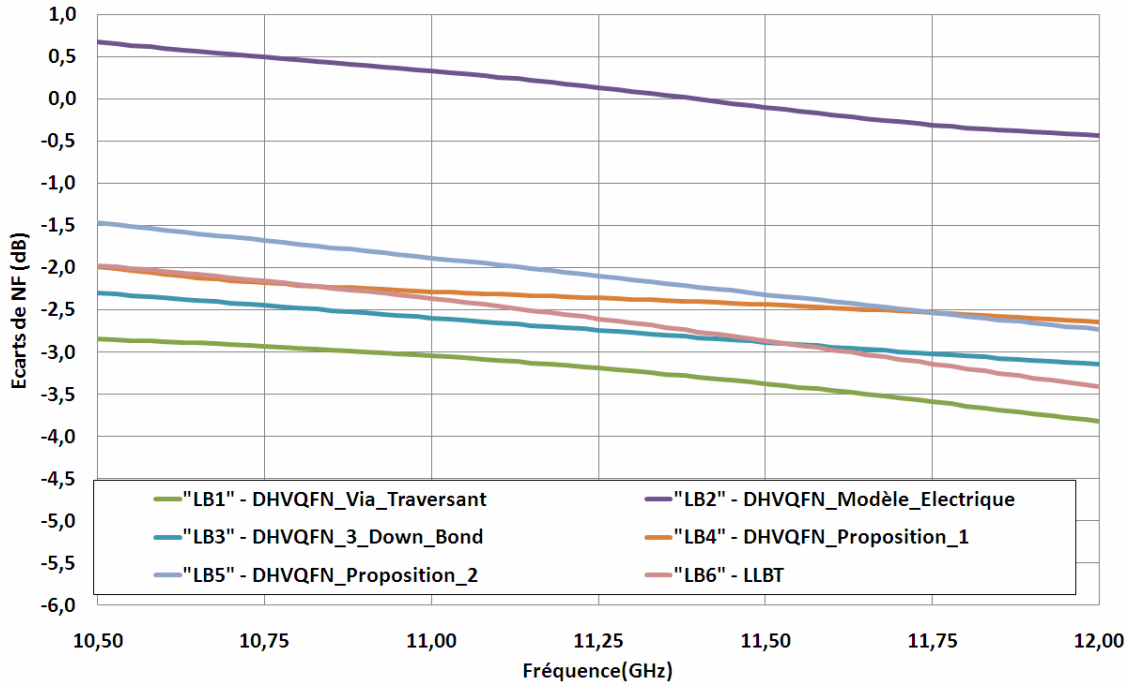


FigureIV.25: Schéma blocs constituant la chaîne de réception radiofréquence (RFin à IF) du produit satellite

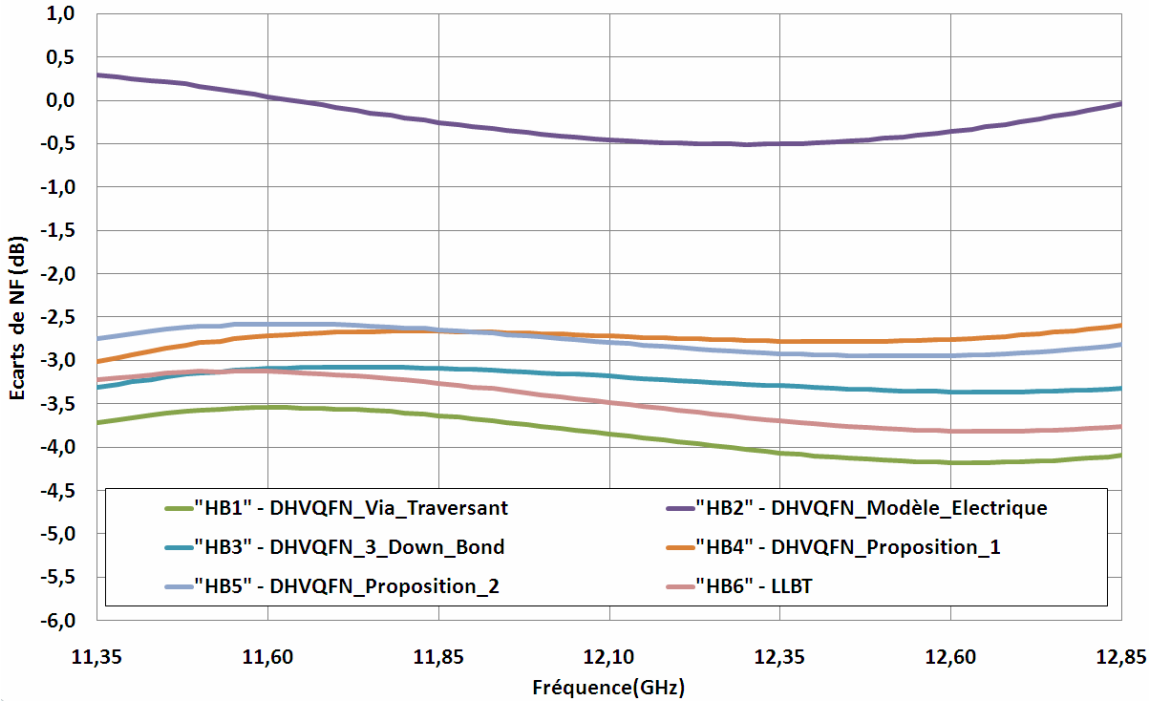
IV.3.1 Résultats de simulation électrique de la chaine de réception

Le produit satellite utilisé comme pilote, tel qu'il a été décrit dans le chapitre III, fonctionne dans bande de fréquence X et peu dans la bande Ku (cf. annexe D). De nombreux tests, de types analogiques (mesures de courant de consommations,…) et de type radiofréquence sont réalisés afin de garantir le fonctionnement et les performances du produit par rapport aux spécifications. Les tests radiofréquences sont principalement orientés au niveau de la chaîne de réception. Quelle que soit la norme de communication utilisée, l'architecture d'une chaîne de réception radiofréquence est toujours la même. Elle est constituée d'un amplificateur faible bruit, mélangeur, filtre passe-bas et amplificateur. Les paramètres de mesure de la qualité d'une chaine de réception sont le facteur de bruit (NF) correspondant à la mesure de la dégradation du signal par le bruit généré dans la chaîne de réception, mais également les paramètres S et le gain de toute la chaîne. Ces différents paramètres ont été évalués à l'aide des résultats de simulation, ce qui nous permet de valider les différentes approches d'amélioration relatives aux structures de boîtier que ce soit en bas de bande de fréquence (10,5GHz à 12GHz) ou en haut de bande (11,5GHz à 12,85GHz).

Le NF étant le paramètre le plus significatif de la qualité de la chaine de réception, nous avons donc évalué l'écart de ce dernier par rapport aux valeurs du boîtier DHVQFN initial. Ces valeurs sont représentées sur les deux figures suivantes, la valeur 0 représente la valeur du boîtier d'origine.



FigureIV.26: Ecarts (dB) des résultats de simulation du bruit par rapport au boîtier DHVQFN (bande de fréquence basse)



FigureIV.27: Ecarts (dB) des résultats de simulation du bruit par rapport au boîtier DHVQFN (bande de fréquence haute)

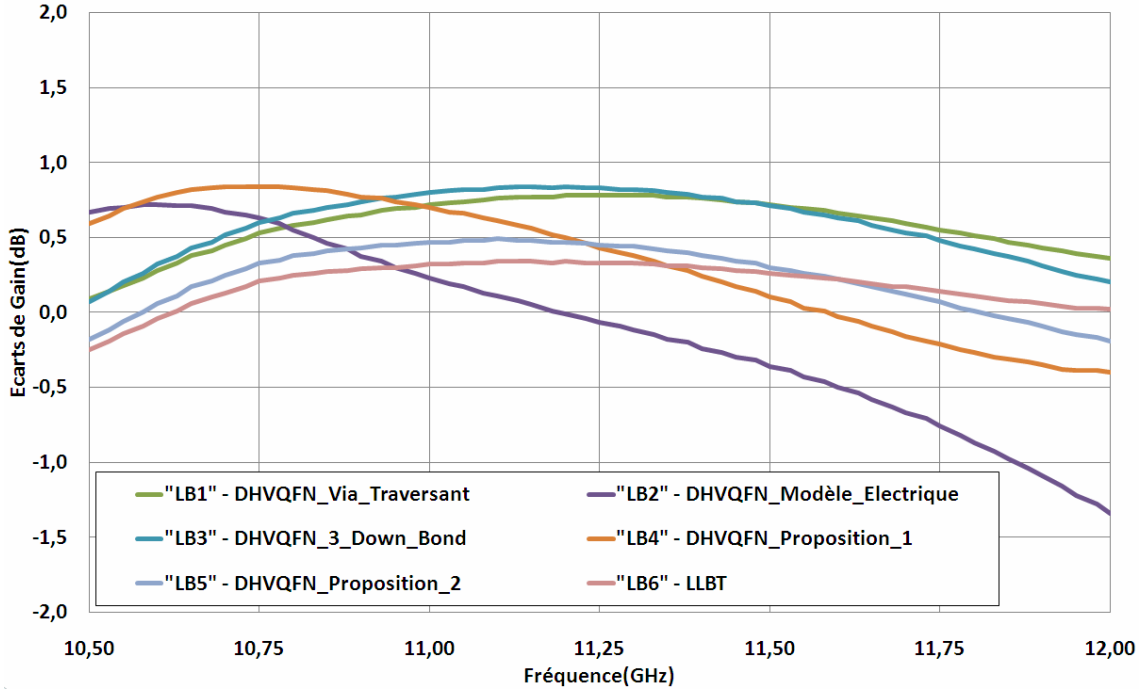
Tout d'abord, on peut observer les résultats concernant le modèle électrique RLCk du boîtier (LB2 et HB2) décrit dans le chapitre III.3.2.2. Les résultats de simulation montrent une bonne corrélation avec les résultats de simulation du boîtier modélisé de manière électromagnétique avec un écart sur le NF de ±0,5dB et de ±1dB sur le gain que ce soit sur la bande basse ou la bande haute de fréquence.

En ce qui concerne les configurations de boîtier, cinq types d'architecture ont été évalués. Du point de vue des valeurs du facteur de bruit, il est clairement visible que l'approche utilisant la structure du boîtier LLBT (LB6 et HB6) surpasse les performances du boîtier d'origine DHVQFN. Les résultats montrent une amélioration moyenne de 2,5dB pour la bande de fréquence basse et de 3,5dB pour la bande haute. Cette amélioration du bruit n'est possible que par le type d'architecture du boîtier et par l'optimisation de la répartition des masses. En observant les autres résultats, il est évident que pour avoir des performances similaires au LLBT en utilisant l'architecture du boîtier DHVQFN, il est nécessaire d'utiliser trois fils soudés de type "down bond" mis en parallèle sur les interconnexions de masse (LB3 et HB3), ce qui signifie un total de quinze fils supplémentaires lors du processus d'interconnexion du boîtier impliquant un coût de fabrication global nettement plus élevé. Il est également nécessaire d'avoir des plots supplémentaires sur la puce d'où une empreinte de puce plus grande.

L'approche utilisant les vias traversants (LB1 et HB1) donne les meilleurs résultats au niveau du bruit, ce qui est tout à fait normal étant donné que les inductances parasites se trouvent réduites de manière significative et sont les plus faibles (65pH). L'implémentation de vias traversants dans un procédé de circuit intégré qui plus est sur silicium (car cela existe déjà depuis longtemps sur les procédés en AsGa) n'est pas sans conséquence sur d'une part le coût du procédé et d'autre part sur le développement du procédé lui-même. Cette solution n'étant pour l'instant pas mature, il faut adresser plusieurs problématiques comme l'aspect thermique, l'assemblage, la tenue mécanique de l'ensemble, la fiabilité dans le temps, la stratégie de test industriel et le rendement.

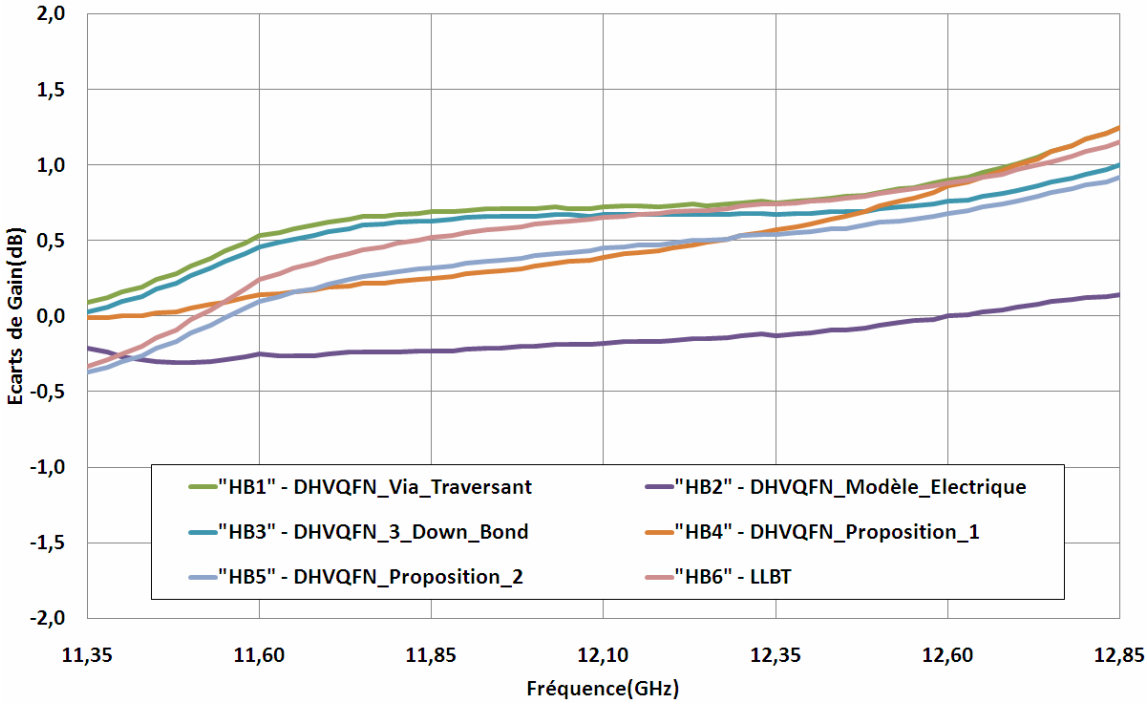
Les deux autres modèles de boîtier (LB4/HB4 et LB5/HB5) utilisant les architectures décrites dans le chapitre IV.1.4 montrent également de meilleures performances que le boîtier d'origine, environ 2dB, mais dans une moindre mesure que le boîtier LLBT.

Les paramètres de simulation complémentaires au facteur de bruit comme le gain de la chaîne complète et les paramètres S sont représentés sur les figures suivantes. On retrouve tout d'abord sur les figures IV.28 et IV.29, l'écart de gain de la chaîne de réception des différentes configurations de boîtier par rapport à la configuration du boîtier d'origine, ceci en bas de bande de fréquence (10,5GHz à 12GHz) et en haut de bande (11,5GHz à 12,85GHz).



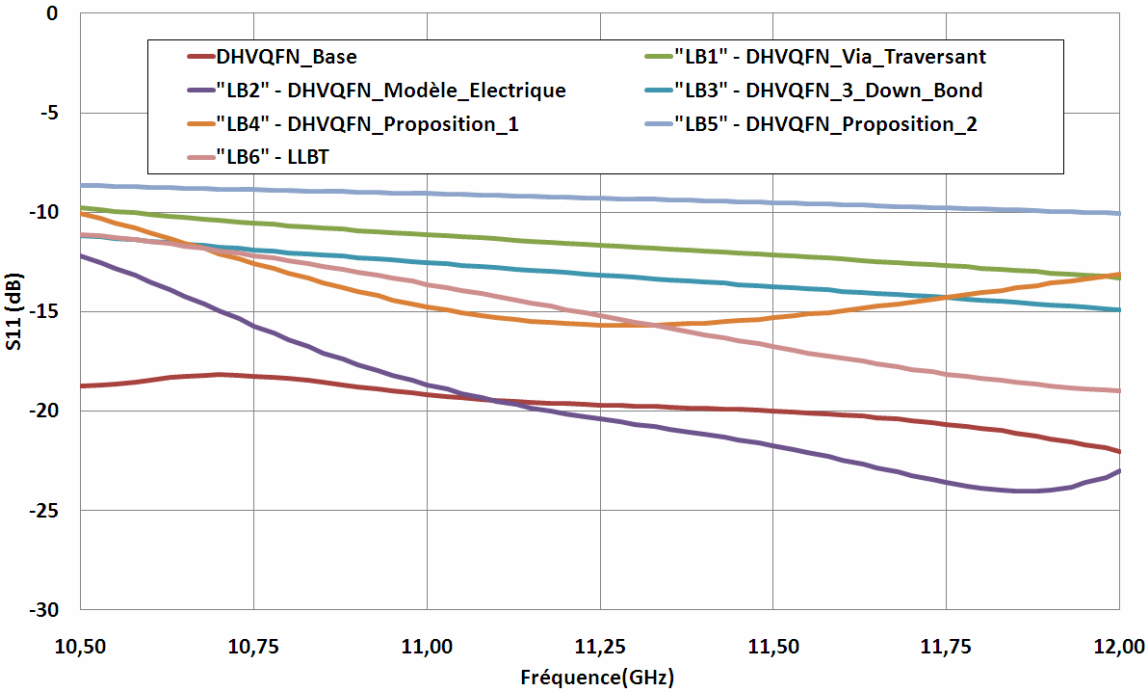
FigureIV.28: Ecarts (dB) des résultats de simulation du gain par rapport au boîtier DHVQFN (bande de fréquence basse)

On peut remarquer que les paramètres intrinsèques du boîtier ont peu d'influence sur la valeur du gain de la chaîne de réception du produit satellite avec une amélioration de l'ordre de 1dB que ce soit dans la bande basse ou haute.

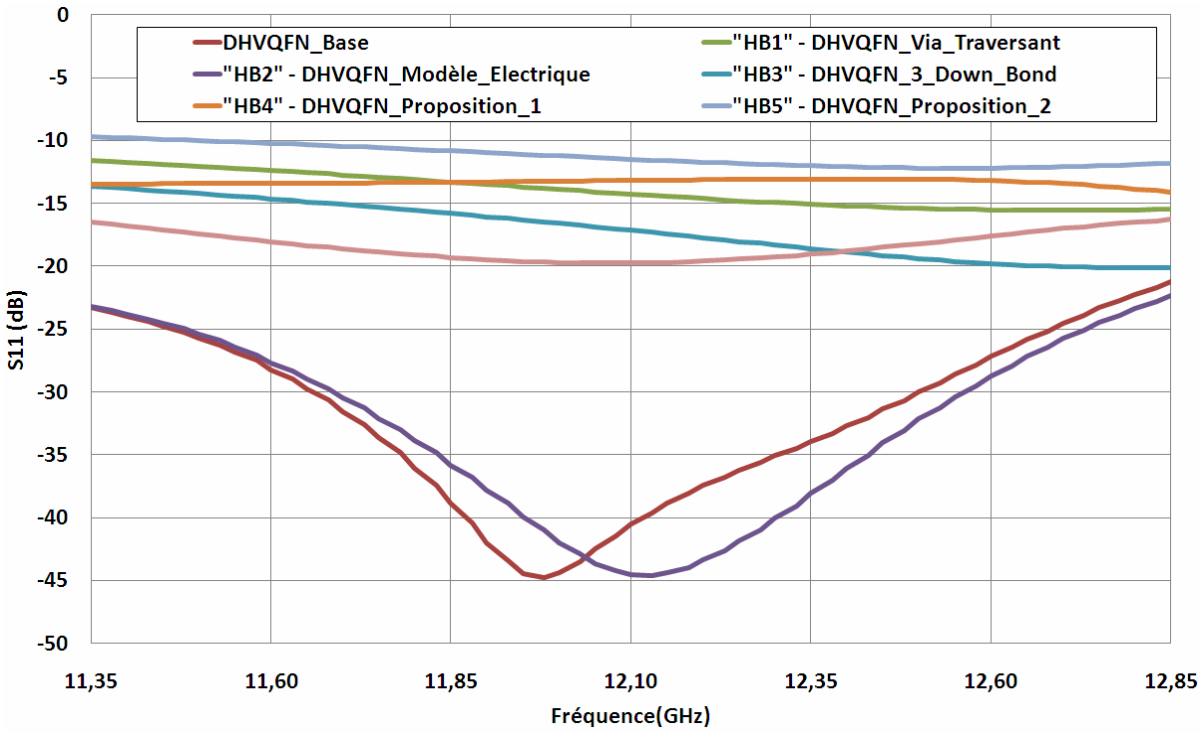


FigureIV.29: Ecarts (dB) des résultats de simulation du gain par rapport au boîtier DHVQFN (bande de fréquence haute)

Les paramètres S de réflexion S_{11} et de transmission S_{22} sont représentés au travers des quatre figures suivantes.

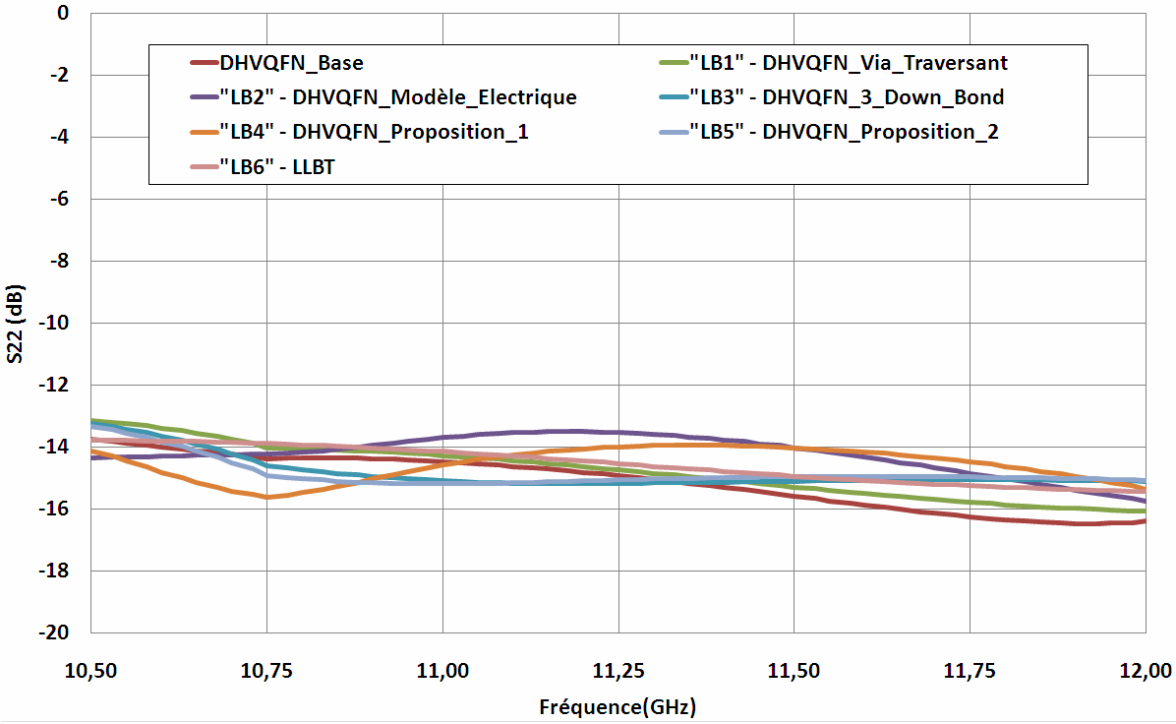


FigureIV.30: Paramètre S de réflexion S_{11} des résultats de simulation des configurations de boîtier (bande de fréquence basse)

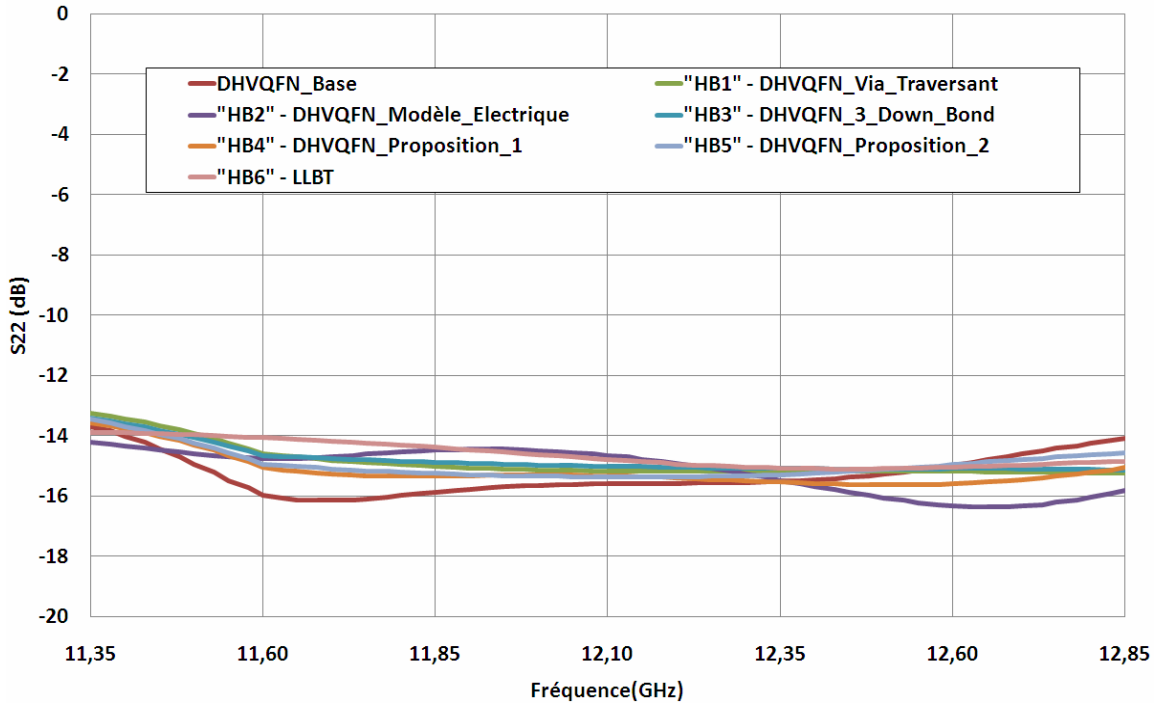


FigureIV.31: Paramètre S de réflexion S_{11} des résultats de simulation des configurations de boîtiers (bande de fréquence haute)

Les coefficients de réflexion S_{11} montrent que quelque soit les configurations utilisées, le niveau de réflexion est dégradé par rapport à la valeur d'origine du boîtier DHVQFN. Il apparait donc qu'il faut avoir un niveau de réflexion plus élevé en entrée pour obtenir un meilleur niveau de facteur de bruit. Par conséquent, un compromis est nécessaire entre l'adaptation d'impédance de l'entrée et le niveau de facteur de bruit de la chaîne de réception.



FigureIV.32: Paramètre S de transmission S_{22} des résultats de simulation des configurations de boîtier (bande de fréquence basse)



FigureIV.33: Paramètre S de transmission S_{22} des résultats de simulation des configurations de boîtier (bande de fréquence haute)

Les coefficients de transmission S_{22} ne sont quand à eux pas affectés par les différentes configurations, les tendances sont similaires dans une gamme de ±2dB.

En conclusion, nous pouvons établir, en fonction des résultats de simulation électrique de la chaîne de réception du produit satellite, qu'il est évident que si on conserve la structure d'origine du boîtier DHVQFN, matérialisée par des interconnexions avec des fils soudés et l'apport d'éléments d'amélioration, que les performances électriques de ces approches de boîtier ne sont acceptables que pour une fréquence maximum d'une vingtaine de gigahertz. De plus, ces approches engendrent un coût supplémentaire non négligeable sur la fabrication du boîtier.

Il s'avère donc nécessaire d'utiliser un autre type de structure de boîtier pour s'orienter vers des applications d'ondes centimétriques, le boîtier LLBT semblant être le meilleur candidat d'un point de vue des résultats des caractéristiques électriques de ses interconnexions comme nous venons de le voir.

Conclusion

L'évolution de l'industrie des semi-conducteurs, et notamment pour une entreprise comme NXP, incite les centres de conception à développer des applications en haute fréquence à faible coût pour faire face aux demandes du marché. En ce sens, les boîtiers montés en surface et plus spécialement les boîtiers plastiques sont un moyen efficace pour obtenir des solutions d'assemblage et de mise en boîtiers à bas coût. Cependant, les boîtiers plastiques, quelques soit leur type, contiennent des éléments parasites inévitables venant dégrader les performances électriques, le boîtier lui-même étant partie intégrante de la performance globale de l'application.

Mon mémoire s'est déroulé dans le cadre d'un projet intitulé "Packaging Innovation". Ce projet consiste à investiguer de nouvelles solutions d'architecture de boîtiers basées sur les produits satellites existants dans le but d'anticiper les besoins futurs des applications d'ondes centimétriques. Cela se justifie par le fait que les boîtiers actuels sont appropriés pour la plupart des applications de NXP. Cependant, étant donné que la stratégie consiste à aller vers le développement des ASIC et des MMIC, l'amélioration des performances des boîtiers devient un pré-requis pour adresser les applications dans ces gammes de fréquences.

Ce projet a été mené en trois phases. La première phase décrit la démarche scientifique que j'ai suivie afin d'aboutir dans un premier temps à des résultats de mesures radiofréquence sous pointes de boîtiers plastiques par la caractérisation d'un boîtier DHVQFN. Le développement de techniques de caractérisation radiofréquence pour les boîtiers montés en surface est motivé par la nécessité de prédire le comportement parasite de ces boîtiers à des fréquences micro-ondes. Une solide étude bibliographique m'a tout d'abord permis de recenser les techniques de caractérisation existantes et de m'apercevoir qu'il existait peu de résultats de mesures dans ce domaine de fréquence, la plupart des résultats étant basés uniquement sur des simulations électromagnétiques. Par conséquent, j'ai établi une méthode de mesure propre au boîtier DHVQFN qui a été choisi comme pilote afin d'en extraire les principales caractéristiques électriques. Un des principaux problèmes relatif à la caractérisation de ce boîtier concerne l'accessibilité des terminaux. Pour surmonter cela, j'ai défini une méthode de caractérisation radiofréquence sous pointe consistant à mesurer les performances électriques d'une chaîne contenant une puce de silicium spécifique, un boîtier de type HVQFN et une ligne de transmission permettant

l'accès aux terminaux du boîtier conçue sur un substrat laminé choisi au préalable. Cette approche de caractérisation originale a finalement permis de mettre en évidence la limitation des boîtiers DHVQFN existants pour des domaines de fréquences micro-ondes en estimant entre autres les éléments parasites (inductances et capacités).

La seconde phase fut consacrée à la comparaison des résultats de mesures avec ceux obtenus à l'aide du simulateur électromagnétique 3D EMPro préalablement calibré. Le calibrage de ce type de simulateur est une étape primordiale pour, in fine, l'utiliser dans le but d'obtenir des résultats de simulation fiables. Son utilisation permet également de réduire le nombre d'itérations de conception lors de la mise au point de prototype entrainant une diminution du coût de conception. Les résultats de corrélation entre les mesures et les résultats de simulation électromagnétique obtenus dans le cadre de ce projet montrent clairement que le simulateur EMPro est un bon candidat pour effectuer ce type de tâche lorsqu'il est bien sûr correctement calibré. Il faut également noter que la conception et la mesure de lignes calibrées en complément des éléments à caractériser est une méthode qui permet de faciliter et de valider la conformité du calibrage du simulateur.

La troisième et dernière phase a permis de pouvoir explorer et valider des pistes d'améliorations relatives au dessin du boîtier DHVQFN basées sur les analyses électromagnétiques. Nous avons pu voir que les différentes modifications apportées à la structure existante du boitier améliorent les caractéristiques électriques mais engendrent un coût de fabrication supplémentaire qui peut devenir non négligeable suivant le type de configurations utilisées. De plus, nous pouvons remarquer la limitation de ces modifications à partir des fréquences de la bande K. Nous pouvons donc conclure que l'acheminement des signaux électriques, en particulier les signaux de retour de masse, utilisant la technique filaire est à proscrire dans le cadre d'applications d'ondes centimétriques. L'approche d'une nouvelle configuration de boitier telle que le LLBT montre clairement que pour s'orienter vers des applications haute fréquence, la technologie puce retournée associée à une redistribution des signaux de type planaire semble être la meilleure solution. Les résultats de simulations électromagnétiques de ce type de boitier mettent en évidence de réelles améliorations au niveau des performances électrique du produit pilote. Pour le moment, ces résultats sont basés sur des simulations électromagnétiques, l'étape suivante sera de fabriquer des échantillons. Ces derniers seront mesurés directement dans l'application du client afin de confirmer la faisabilité de l'approche sachant qu'ils devraient être disponibles à la fin du troisième trimestre 2011.

D’un point de vue personnel, ce projet fut très enrichissant. Il y a un an, j’avais très peu de connaissances dans le domaine des simulations électromagnétiques. Aujourd’hui, ce travail m’a donné une très bonne vision de l’électromagnétisme et des différents phénomènes et contraintes associées. De plus, j’ai acquis de nouvelles compétences au sein d’un environnement composé d’experts et de vrais pédagogues. De manière complémentaires, les enseignements acquis au travers des cours du C.N.A.M m’ont permis de gérer au mieux ce projet de haute technologie mais également de mieux appréhender le métier d’ingénieur.

Bibliographie

Ouvrages:

[WAD91] B.C.WADELL, "Transmission Line Design Hanbook", Artech House Publishers Boston – London, 1991

[WAR02] S.A.WARTENBERG, "RF Measurements of Die and Packages", Artech House Publishers Boston – London, 2002

[SAG06] P.SAGUET, Modélisation, caractérisation et mesures de circuits intégrés passifs RF, Librairie Lavoisier, 2006

[LEE04] T.H.LEE, "Planar Microwave Engineering", Cambridge University Press, 2004

Publications:

[KIM01] Y.KIM, "Circuit Modeling Technique of Electronic Package Considering S-parameters Mesaurement Environment", IEEE Symposium on Electronic Materials and Packaging, 2001

[BRU04] J.BRUNNER, "Advanced Wire Bond Looping Technology for Emerging Packages", SEMI Technical Symposium, 2004

[RUE72] A.E.RUEHLI, "Inductance Calculations in a Complex Inetgrated Circuit Environment", IBM J. RES. DEVELOP, 1972

[ZHO02] G.ZHONG, "Exact Closed From Formula for Partial Mutual Inductances of On-Chip Interconnects", IEEE International Conference on Computer Design, 2002

[KEL04] I.KELANDER, "Modeling of 3D Packages using simulators", IEEE, 2004

[NIK01] A.M.NIKNEJAD, "Analysis of Eddy-Current Losses Over Conductive Substrates with Applications to Monolithic Inductors and Transformers", IEEE Transactions on Microwave Theory and Techniques, 2001

[ALI01] F.ALIMENTI, Modeling and Characterization of the Bonding-Wire Interconnection, IEEE Transactions on Microwave Theory and Techniques, 2001

[CHA06] R.S.CHAU, Integrated CMOS Tri-gate Transistors: Paving the Way to Future Technology Generations, Technology@Intel Magazine, 2006

Documentations techniques:

[CAD07] CADENCE, "Virtuoso Spectre Circuit Simulator RF Analysis User Guide", 2007

[ANR02] ANRITSU, "Embedding/De-embedding", Application note, 2002

[AGI00] AGILENT, "Understanding the Fundamental Principle of Vector Network Analysis", Application Notes, 2000

[AGI08] AGILENT, "Verification of On-Wafer (SOLT) Calibration", 2008

[HEW97] H.PACKARD, "S-Parameters Techniques for Faster More Accurate Network Design", Application Note, 1997

[CASC] CASCADE MICROTECH, "On-Wafer Vector Network Analyzer Calibration and Measurements", Application Note

Liens Internet:

[AMKOR] http://www.amkor.com/go/packaging

[CASIO] http://www.casio-micronics.co.jp/en/technology/ewlp

[STATS] http://www.statschippac.com/services/packagingservices.aspx

[TOSH] http://www.toshiba.com/taec/

Table des annexes

Annexe A Historique des boîtiers plastiques 125
Annexe B Guide d'onde et de lignes de transmission 129
Annexe C Méthode de modélisation électromagnétique 134
Annexe D Les ondes électromagnétiques 140
Annexe E Fiche technique du substrat ROGERS 4003C 142
Annexe F Fiche technique des micro-pointes « Infinity » 143

Annexe A
Historique des boîtiers plastiques

A chaque début de décennie correspond approximativement une étape de l'évolution des boîtiers plastiques.

1970 : les premiers boîtiers encapsulés en plastique apparaissent. Ils sont dits traversant ou à piquer car leurs broches traversent le circuit imprimé. Ce sont les modèles PDIP, adaptation à faible coût des CDIP. A l'origine, ces composants étaient très peu fiables à cause de la grande méfiance des industriels vis-à-vis du plastique qui est encore présente aujourd'hui.

1980 : les premiers composants montés en surface ont permis de faire un bond dans la miniaturisation non seulement au niveau du composant mais aussi au niveau des circuits imprimés en libérant la place occupés par les trous métallisés. Ce sont d'abord les boîtiers SO et les PLCC, puis en réduisant les espacements entre les broches et les épaisseurs des boîtiers, les PQFP, TQFP, SSOP et TSOP.

1990 : les premiers boîtiers surfaciques à billes (BGA) permettent d'envisager des nombres d'entrées-sorties supérieurs à 300, en réduisant davantage les dimensions des boîtiers comparativement à la puce. Ces boîtiers atteignent aujourd'hui plus de 1500 billes dans des applications standards comme les circuits programmables.

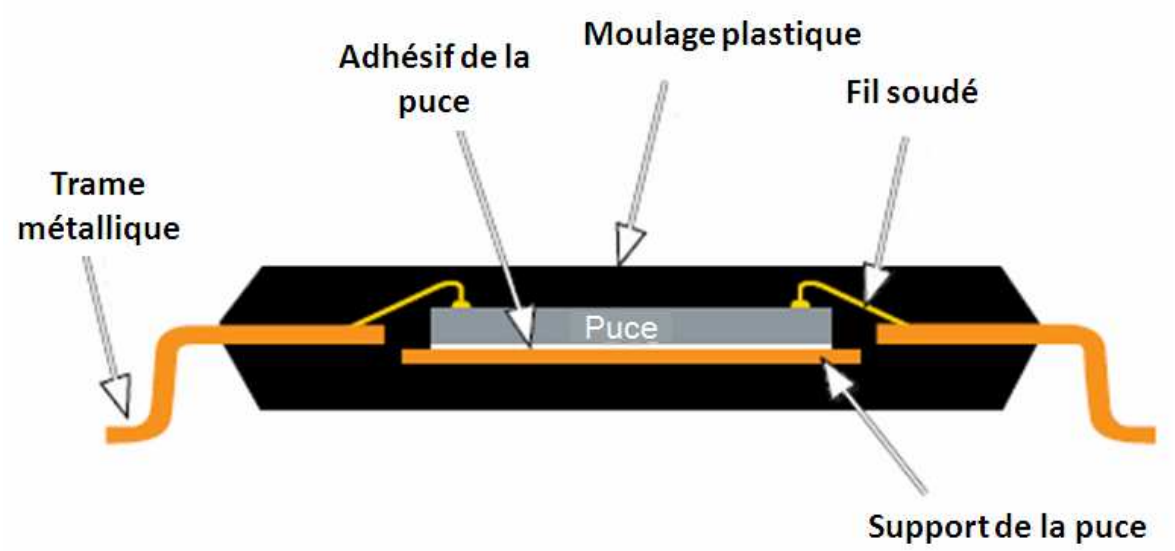
2000 : arrivent les QFN, boîtiers plastiques sans broches extérieures, héritiers des anciens LGA en céramiques, pour réduire encore l'encombrement des équipements. Les QFN sont dédiés à des nombres d'entrées-sorties modestes, plus communément de 6 à 80, bien que quelques applications apparaissent à plus de 100 sorties.

2010 : basée sur les technologies d'empilement de puces et d'interconnexions réalisées directement au niveau des tranches de silicium, cette décennie est celle de la généralisation du 3D et du multi composants, dans des formats connus de boîtier à sorties surfaciques (BGA, QFN).

Les principaux types de boîtiers présentés ci-dessous représentent les boîtiers les plus couramment utilisés chez NXP et utilisant les différentes techniques d'interconnexions qui sont décrites dans le chapitre I.

- QFP

Le boîtier QFP utilise le report des signaux par une trame métallique et la puce est encapsulée dans du plastique [AMKOR]. La connexion des plots de la puce vers la trame métallique est réalisée aux moyens de fils soudés. Il peut offrir jusqu'à 208 broches et est adapté pour des circuits de moyenne densité. Ces dernières sont généralement espacées de 400 µm à 800 µm et sont extérieures au boîtier disposées sur ses quatre côtés. Bien que limitant le nombre d'entrées-sorties, il est plus facile à mettre en place et à connecter sur le circuit imprimé que les boîtiers sans broches car leur visibilité en périphérie facilite l'alignement du boîtier sur le circuit imprimé lors de la soudure.

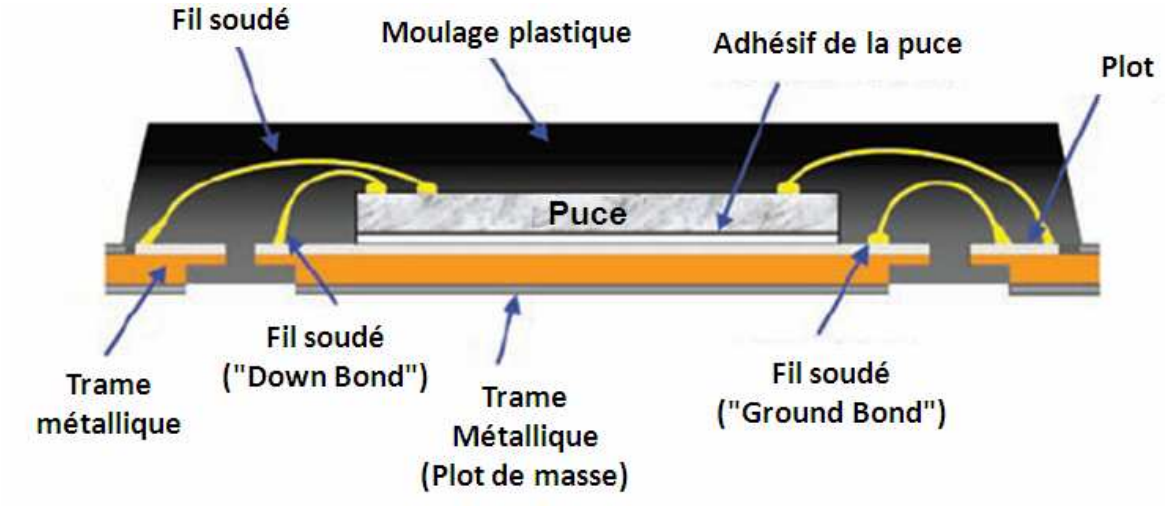


Figure_Annexe A.1: Coupe du boîtier QFP

- QFN

Le boîtier QFN utilise également la trame métallique pour les reports des signaux mais cette fois-ci les broches ne sont plus externes, elles sont remplacées par des plots métalliques, généralement en cuivre [STATS]. Le nombre d'entrées-sorties se trouve donc augmenté et l'espace occupé par ce boîtier est réduit puisqu'il se rapproche davantage de l'empreinte de la puce elle–même. Ce type de boîtier peut offrir jusqu'à 64 terminaux avec un espacement allant de 500 µm à 650 µm. Par contre, l'absence de broches dépassant du

boîtier peut rendre son positionnement plus difficile sur le circuit imprimé lors de la soudure.

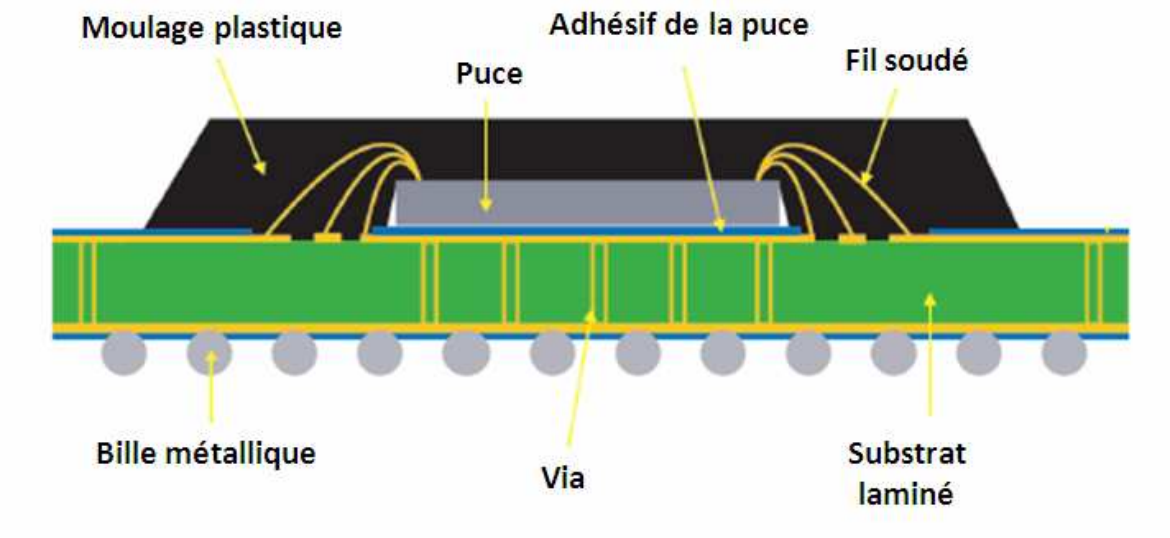


Figure_Annexe A.2: Coupe du boîtier QFN

- BGA

Les circuits à fortes densité d'intégration, comme les circuits numériques, sont intégrés dans les boîtiers BGA, à cause de leur nombre important de connexions. Les signaux de la puce sont transportés à travers des fils soudés vers le substrat puis redistribués vers des billes métalliques par l'intermédiaire de pistes conductrices, utilisant le principe de la matrice de billes métalliques. Ensuite, des micro-vias viennent connecter ces pistes conductrices aux billes métalliques qui seront en contact avec le circuit imprimé par l'intermédiaire de soudures. Le principal avantage de ce type de boîtier est le nombre important d'entrées-sorties qu'il propose par rapport à sa faible taille, ce nombre de connexions étant démultiplié puisque surfacique et non plus périphérique contrairement au type de boîtier QFP et QFN. Sa densité de connexion est donc un atout majeur avec un nombre de billes métalliques pouvant aller jusqu'à 324 avec un pas entre elles qui peut atteindre 500 µm pour un diamètre de bille égale à 250 µm. En outre, ce boîtier a une bonne jonction thermique avec le circuit imprimé et de meilleures caractéristiques électriques qu'un composant à pattes comme le QFP en termes d'inductance et de capacité parasites. Ses inconvénients sont essentiellement mécaniques principalement dus à sa forte rigidité qui le rend notamment sensible aux différences de températures telle que la dilatation du circuit imprimé. On peut aussi entrevoir des problèmes lors de la conception car il faut faire attention de ne pas créer de boucles de courant avec la couche de

redistribution mais aussi à minimiser les couplages avec cette couche, phénomènes qui apparaissent principalement à hautes fréquences.



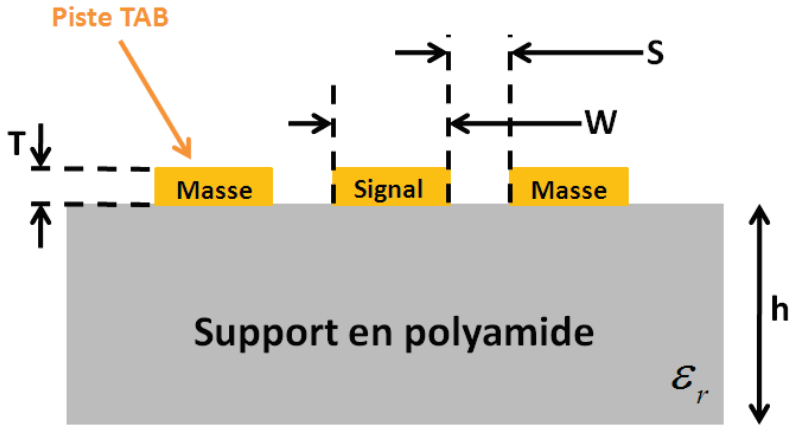
Figure_Annexe A.3: Boîtier BGA

Annexe B
Guide d'onde et de lignes de transmission

Cette annexe décrit les différents paramètres constituant les guides d'ondes et les lignes de transmission ainsi que les formules permettant de les calculer.

- Cas d'un guide d'onde coplanaire

Les paramètres principaux d'une ligne de transmission sont l'impédance caractéristique Z_0 et la longueur électrique θ. La vitesse de propagation d'une onde est plus faible dans une ligne que dans le vide (vitesse de la lumière). Etant donné que l'on calcule habituellement la longueur d'onde d'un signal par rapport à la lumière, pour la même fréquence, on obtiendra une longueur d'onde plus grande dans une ligne que dans le vide. On en vient donc à distinguer la longueur physique d'une ligne (mesurée en mètre) et sa longueur électrique mesurée en longueur d'onde qui s'exprime en degré ou en radian.



Figure_Annexe B.1: Représentation coplanaire d'une interconnexion (coupe transversale)

L'impédance caractéristique d'une ligne de transmission dépend de ses dimensions et de la nature du support. Si on considère la représentation de l'interconnexion dans un mode coplanaire (cf. figure Annexe B.1), l'impédance caractéristique Z_0 est donnée par :

$$Z_0 = \frac{\eta_0}{2\sqrt{\varepsilon_{eff}}} \frac{1}{\frac{K(k)}{K(k')} + \frac{K(k_1)}{K(k'_1)}}$$

avec η_0 l'impédance caractéristique dans le vide $(= 377\Omega)$,

$$k=\frac{W}{W+2S},\ a=W,\ b=W+2S,\quad k_1=\frac{\tanh\left(\frac{\pi.a}{4h}\right)}{\tanh\left(\frac{\pi.b}{4h}\right)},\quad \varepsilon_{eff}=\frac{1+\varepsilon_r\frac{K(k')}{K(k)}\frac{K(k_1)}{K(k'_1)}}{1+\frac{K(k')}{K(k)}\frac{K(k_1)}{K(k'_1)}}$$

et $$\frac{K(k)}{K(k')}=\frac{1}{2\pi}\ln\left(2\frac{\sqrt{1+k}+\sqrt[4]{4k}}{\sqrt{1+k}-\sqrt[4]{4k}}\right)\ \text{quand}\ \frac{1}{\sqrt{2}}\le k\le 1$$

et $$\frac{K(k)}{K(k')}=\frac{2.\pi}{\ln\left(2\frac{\sqrt{1+k'}+\sqrt[4]{4k'}}{\sqrt{1+k'}-\sqrt[4]{4k'}}\right)}\ \text{quand}\ 0\le k\le\frac{1}{\sqrt{2}}\ \text{où}\ k'=\sqrt{1-k^2}\ .$$

En première approximation, l'impédance caractéristique de la ligne dépend du ratio W/S.

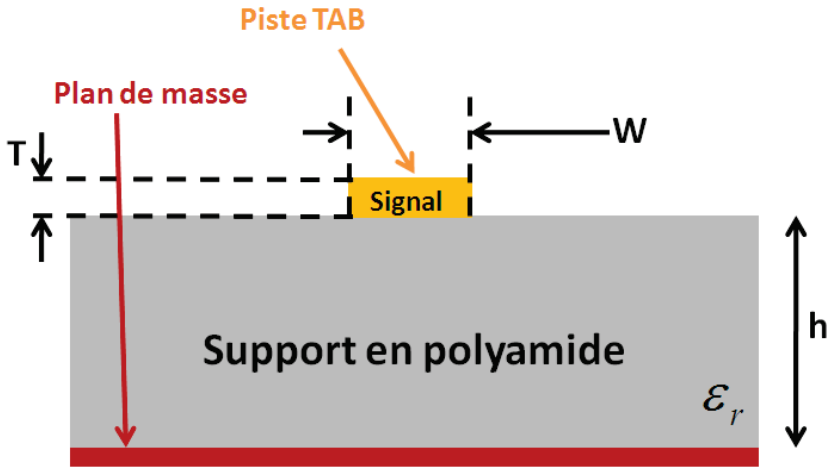
La longueur électrique de la ligne θ (en degré) est donnée par :

$$\theta=2.\pi.l\frac{f\sqrt{\varepsilon_{eff}}}{c}$$

où l représente la longueur de la ligne de transmission (mètre), f la fréquence de fonctionnement (Hertz) et c la vitesse de la lumière dans le vide (mètre par seconde).

- Cas d'un guide d'onde micro-ruban

Lorsqu'une interconnexion utilisant la technologie de transfert automatique sur bande est supposée équivalente à un guide d'onde micro-ruban (cf. figure Annexe B.2), celle-ci est constituée d'un ruban conducteur placé sur une face du support en polyamide et un plan de masse est disposé en dessous de celui-ci.



Figure_Annexe B.2: Représentation micro-ruban d'une interconnexion (coupe transversale)

On trouve dans la littérature plusieurs équations empiriques permettant de calculer l'impédance de cette ligne à partir des données géométriques ou inversement de déterminer ses dimensions pour une impédance donnée. Les formules les plus précises sont dues à E.O.Hammerstad [LEE04] et ont été publiées en 1975. La complexité de ces formules les rend quasi-inexploitables pour des calculs à la main mais elles constituent un outil très précieux.

Un premier jeu d'équation permet de calculer le rapport W/h correspondant à une impédance Z_0 donnée. Pour une meilleure précision, on utilise deux équations différentes selon la valeur de ce rapport.

Pour $W/h<2$:
$$\frac{W}{h}=\frac{8\exp(A)}{\exp(2A)-2}$$

avec
$$A=\frac{Z_0}{60}\sqrt{\frac{\varepsilon_r+1}{2}}+\frac{\varepsilon_r-1}{\varepsilon_r+1}\left(0{,}23+\frac{0{,}11}{\varepsilon_r}\right)$$

Pour $W/h>2$:
$$\frac{W}{h}=\frac{2}{\pi}\left\{B-1-\ln(2B-1)+\frac{\varepsilon_r+1}{2\varepsilon_r}\left[\ln(B-1)+0{,}39-\frac{0{,}61}{\varepsilon_r}\right]\right\}$$

avec
$$B=\frac{377\pi}{2Z_0\sqrt{\varepsilon_r}}$$

Cette fois-ci, l'impédance caractéristique dépend du ratio W/h. Ensuite, les équations ci-dessous permettent de calculer l'impédance caractéristique de la ligne dont on connait les dimensions. Comme auparavant, pour une meilleure précision, on utilise deux équations différentes selon la valeur du rapport W/h.

Pour $W/h<1$:
$$Z_0=\frac{60}{\sqrt{\varepsilon_{eff}}}\ln\left(\frac{8h}{W}+\frac{W}{4h}\right)$$

avec
$$\varepsilon_{eff}=\frac{\varepsilon_r+1}{2}+\frac{\varepsilon_r-1}{2}\left[\left(1+12\frac{h}{W}\right)^{-\frac{1}{2}}+0{,}04\left(1-\frac{W}{h}\right)^2\right]$$

Pour $W/h>1$:
$$Z_0=\frac{\frac{120\pi}{\sqrt{\varepsilon_{eff}}}}{\frac{W}{h}+1{,}393+0{,}667\ln\left(\frac{W}{h}+1{,}444\right)}$$

avec $$\varepsilon_{eff} = \frac{\varepsilon_r + 1}{2} + \frac{\varepsilon_r - 1}{2}\left(1 + 12\frac{h}{W}\right)^{-\frac{1}{2}}$$

Il faut noter que les équations précédentes ont été établies en supposant que l'épaisseur T du conducteur est très faible devant l'épaisseur h du support. Pour les impédances caractéristiques faibles, inférieures à 60Ω, la correction peut être ignorée. En ce qui concerne la longueur électrique de la ligne θ (en degré), la relation est la même que dans le cas d'un guide coplanaire.

- Cas d'une ligne de transmission

L'impédance caractéristique Z_c ainsi que l'atténuation α d'une ligne de transmission sont définies en tenant compte de la matrice ABCD pour décrire une ligne de transmission [WAD91].

La matrice ABCD d'une ligne de transmission est la suivante :

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} \cosh \gamma l & Z_c \sinh \gamma l \\ \frac{1}{Z_c}\sinh \gamma l & \cosh \gamma l \end{pmatrix}$$

où l représente la longueur de la ligne de transmission, $\gamma = \alpha + j\beta$ l'exposant de propagation, α l'exposant d'atténuation, β l'exposant de phase et Z_c l'impédance caractéristique de la ligne. α fournit l'atténuation linéique de la ligne et s'exprime en nepers par mètre (np/m).

On calcule souvent l'atténuation d'une onde en dB/m d'où $\alpha_{dB} = 8{,}6858\alpha(np/m)$.

Cette matrice ABCD peut également s'exprimer à l'aide des paramètres S, ce qui donne :

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \frac{1}{2S_{11}}\begin{pmatrix} (1+S_{11})(1-S_{22}) + S_{12}S_{21} & Z_0\left[(1+S_{11})(1+S_{22}) - S_{12}S_{21}\right] \\ \frac{1}{Z_0}\left[(1-S_{11})(1-S_{22}) - S_{12}S_{21}\right] & (1-S_{11})(1+S_{22}) + S_{12}S_{21} \end{pmatrix}$$

En prenant le rapport entre les termes en diagonal, nous obtenons :

$$\frac{B}{C} = Z_c^{\,2} = Z_0^{\,2}\frac{\left[(1+S_{11})(1+S_{22}) - S_{12}S_{21}\right]}{\left[(1-S_{11})(1-S_{22}) - S_{12}S_{21}\right]}$$

L'impédance caractéristique est donnée par l'expression suivante :

$$Z_c = Z_0 \sqrt{\frac{(1+S_{11})(1+S_{22}) - S_{12}S_{21}}{(1-S_{11})(1-S_{22}) - S_{12}S_{21}}}$$

Une approche identique peut être utilisée pour déterminer l'exposant d'atténuation et l'exposant de phase :

$$Y_t = \frac{B}{Z_c.A} = \frac{\sinh \gamma l}{\cosh \gamma l}$$

ce qui conduit à $\gamma l = \frac{1}{2} \ln\left(\frac{1+Y_t}{1-Y_y}\right)$ où $Y_t = \frac{Z_0\left[(1+S_{11})(1+S_{22}) - S_{12}S_{21}\right]}{Z_c\left[(1+S_{11})(1-S_{22}) + S_{12}S_{21}\right]}$

Finalement, l'exposant d'atténuation est donné par $\alpha = \Re\left(\frac{1}{2l} \ln\left(\frac{1+Y_t}{1-Y_t}\right)\right)$ et l'exposant de phase par $\beta = \Im\left(\frac{1}{2l} \ln\left(\frac{1+Y_t}{1-Y_t}\right)\right)$.

Annexe C
Méthode de modélisation électromagnétique

Les étapes de la méthodologie que j'ai suivie pour réaliser la modélisation électromagnétique du boîtier DHVQFN sont décrites ci-dessous. Cette méthode a pour but d'obtenir un modèle électromagnétique permettant de reproduire de la manière la plus fiable et la plus proche possible les résultats de mesures de la caractérisation.

- Conversion du fichier DXF en fichier GDS

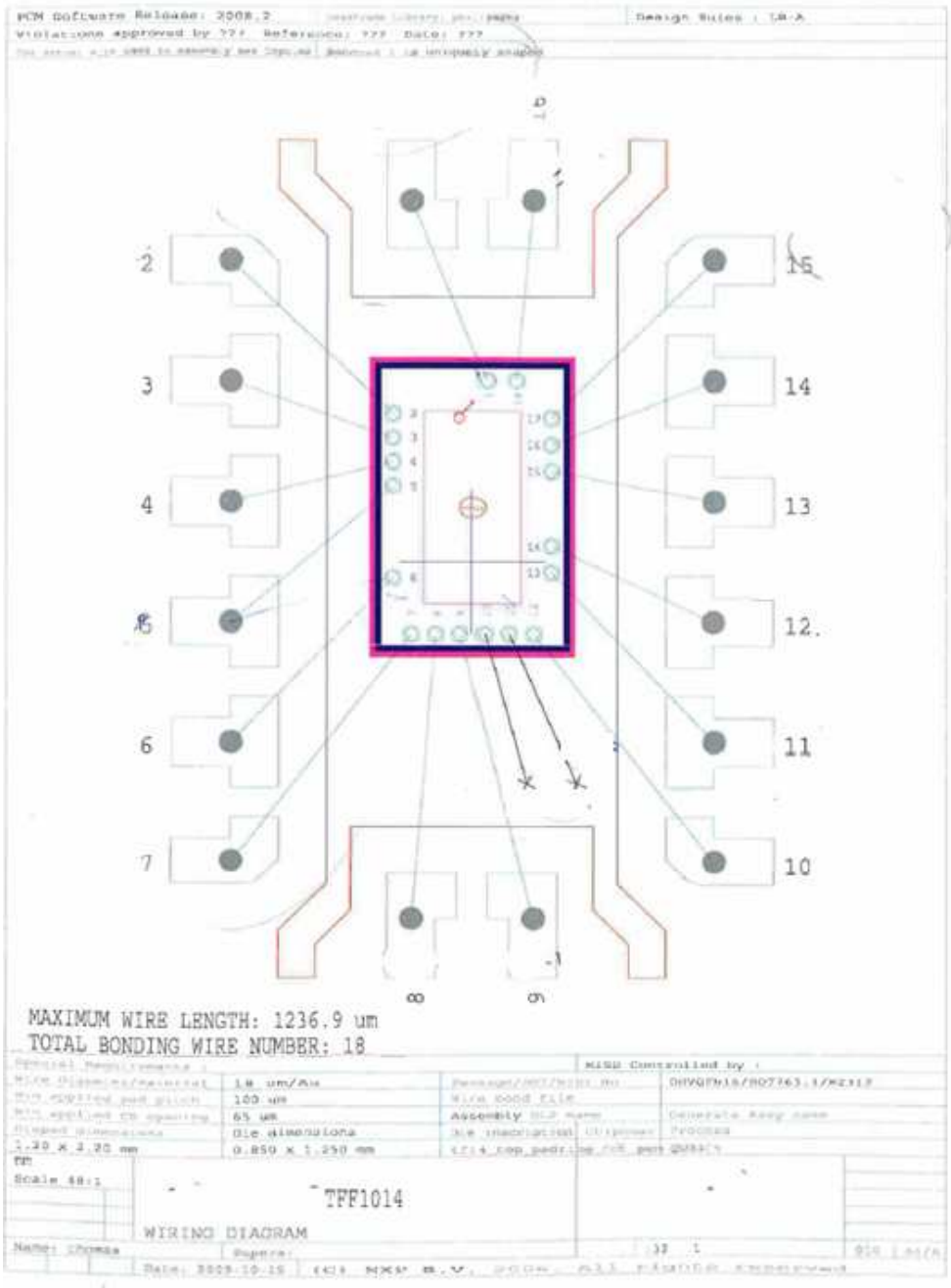
Les ingénieurs en charges d'établir l'assemblage des circuits au sein des boîtiers génèrent un diagramme de connexion, le fichier WIDI (cf. figure Annexe C.1), à partir des outils du processus de fabrication. Ce diagramme contient le dessin du boîtier incluant les fils soudés en 2D et la position des plots de la puce de silicium. Ce dernier n'est disponible que sous un certain format de fichier, le format DXF qui est une extension de fichier créée par un logiciel de CAO. Dans le but de pouvoir l'utiliser sous l'environnement de Cadence Virtuoso, un logiciel de conception et de simulation électronique qui permet en autre de modifier et de simplifier les dessins, il est nécessaire de convertir ce diagramme de connexion dans un autre format à l'extension GDS.

- Création du dessin

La seconde étape a pour but d'avoir un dessin de boîtier disponible dans l'environnement de Cadence Virtuoso. Avant d'importer le fichier GDS créé auparavant, il faut créer et définir un fichier de technologie approprié pour la présentation physique du boîtier. Tous les matériaux doivent être choisis et définis de manière aussi génériques que possible et inclure les masques du substrat (circuit imprimé, céramique,…), le boîtier (terminaux, plastique,…), la puce de silicium, les niveaux de métallisation ainsi que les vias pour les connecter.

- Modification et simplification du dessin

Une fois le fichier technologie créé, le fichier GDS est importé sous Cadence Virtuoso. Ce type de dessin n'est bien sûr pas utilisable par les simulateurs électromagnétiques. La première étape consiste donc à convertir les couches du fichier GDS vers les couches définies dans le fichier technologie.



Figure_Annexe C.1: Diagramme de connexion du produit satellite

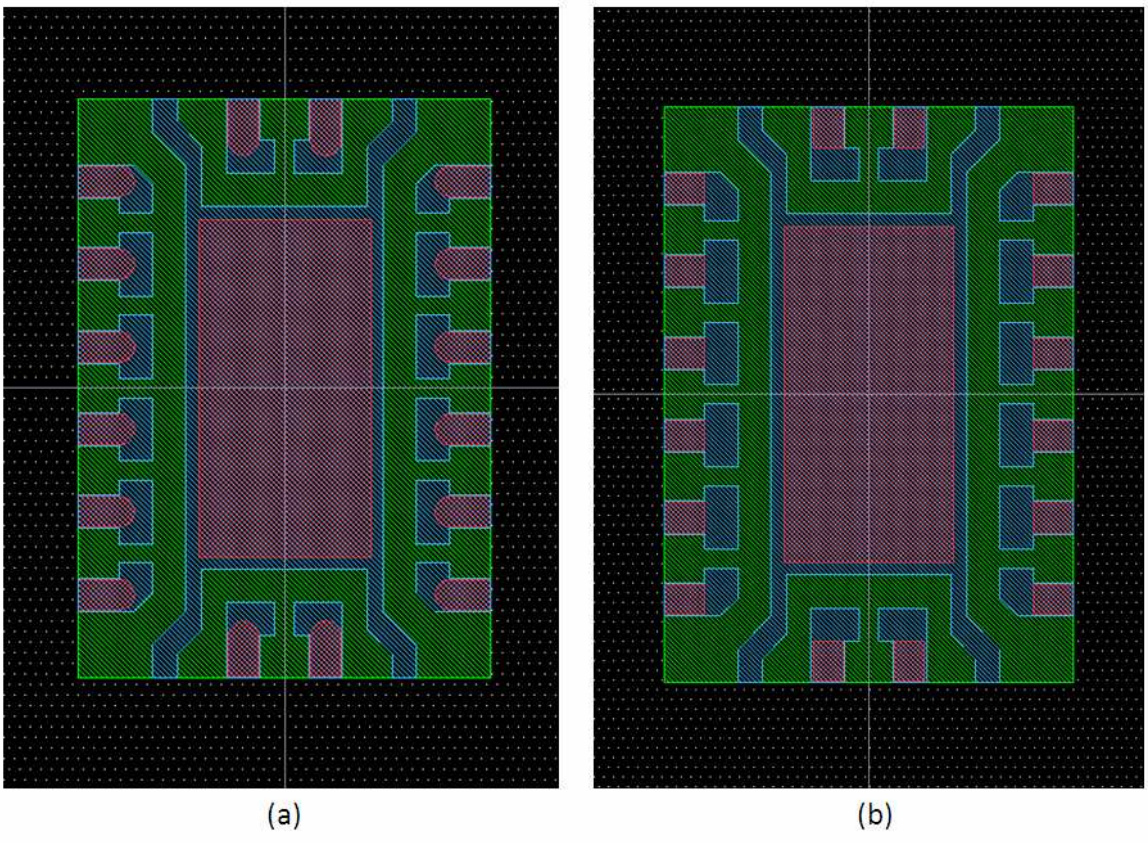
Ensuite, le dessin est prêt à être modifié et simplifié. Les simplifications sont multiples et consistent principalement à :

✓ éviter les formes arrondies donc les formes circulaires sont converties en rectangles ou polygones quand cela est possible.

✓ fusionner tous les vias proches présents sur une même couche.

✓ fusionner les polygones présents sur une même couche.

Cette étape de simplification est illustrée sur la figure ci-dessous :

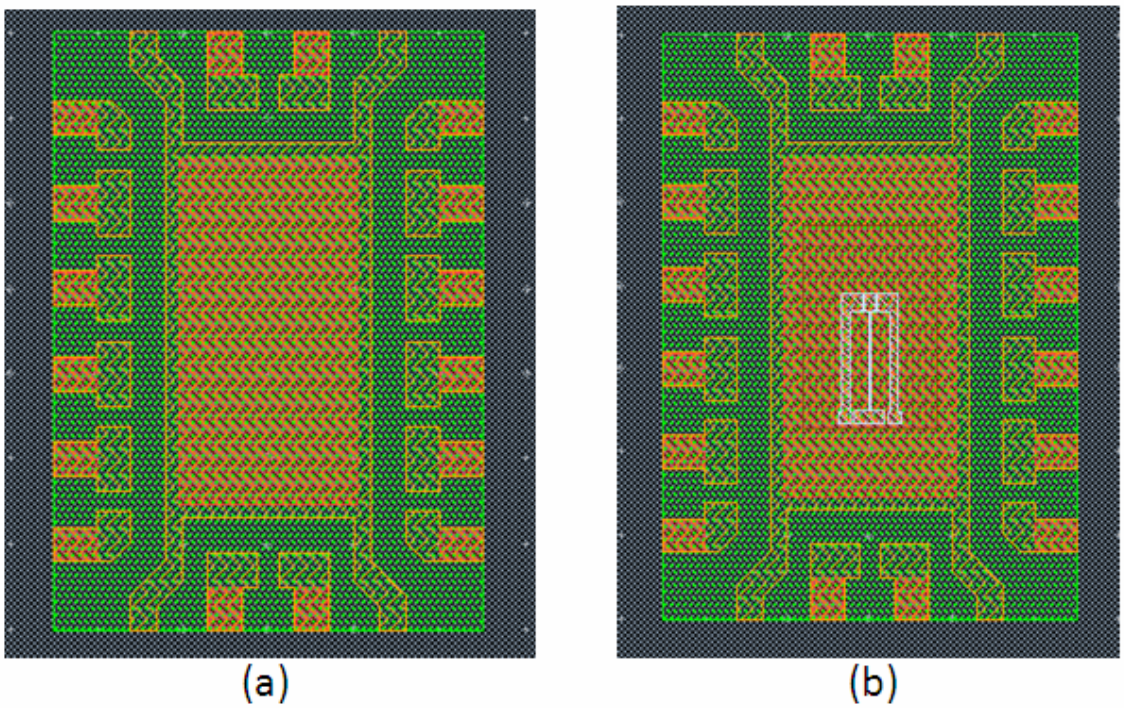


Figure_Annexe C.2: Vue du dessin du boîtier. (a) Vue après translation des couches (b) Vue après simplification

Une fois toutes ces étapes effectuées, le dessin final est prêt à être exporté vers l'environnement du simulateur électromagnétique.

- Export vers le simulateur EM

Avant d'importer ce fichier GDS dans le simulateur électromagnétique, comme dans l'environnement précédent, il est nécessaire de définir une technologie propre au simulateur. Ce fichier technologie comportant une extension .LAY contient toutes les informations nécessaires (noms des couches, couleurs associées, numéros attribués au format GDS et DXF,…). Pour des raisons de standardisation, il est préconisé de définir les numéros de GDS de la même manière que le fichier technologie de Cadence Virtuoso. Ensuite, le dessin est importé sous le simulateur électromagnétique. Maintenant que nous avons obtenu le dessin du boîtier simplifié, l'étape suivante consiste à réaliser de la même manière, le fichier GDS de la puce de silicium et de venir l'intégrer au dessin du boîtier.



Figure_Annexe C.3: Dessin du boîtier importé dans le simulateur EM. (a) Boîtier seul, (b) Boîtier avec la puce de silicium

Nous avons vu précédemment que les plots de la puce de silicium sont connectés soit aux terminaux du boîtier ou soit au plan central du boîtier, l'exposed die paddle. Deux types de connexion par fils soudés sont disponibles dans les options du simulateur électromagnétique : les fils soudés JEDEC qui sont définis suivant le standard du même nom et les fils soudés SHAPE qui permettent de mieux définir la forme des fils par la spécification de davantage de paramètres comme le nombre de segments et leur longueur. Il est évident que la saisie de toutes les coordonnées des points de la géométrie des fils peut s'avérer très pénible. En ce sens, une application a été développée chez NXP pour faciliter la saisie de ces paramètres. Cette dernière est basée sur une approximation faite par Alimenti [ALI01], où seulement quatre paramètres sont nécessaires pour définir l'intégralité du profil du fil.

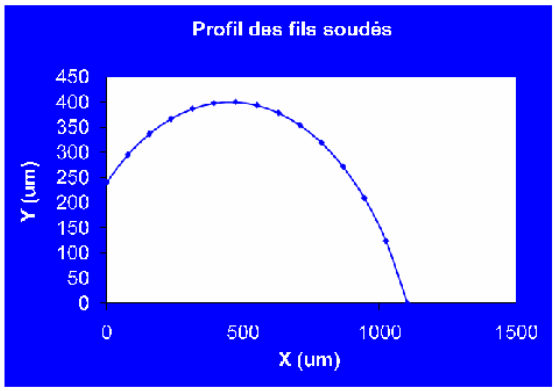
Ces paramètres sont :

- ✓ h1 : hauteur du premier point du fil par rapport à la référence de masse,
- ✓ h2 : hauteur du dernier point du fil par rapport à la référence de masse,
- ✓ hb : hauteur maximale de la boucle du fil par rapport à la référence de masse,
- ✓ db : longueur du fil par rapport à l'axe des x.

Ensuite, une équation de cercle et un calcul très simple donnent les coordonnées de plusieurs points qui peuvent être paramétrées dans la fenêtre de description des fils du simulateur électromagnétique.

Un exemple de cette application est donné ci-dessous :

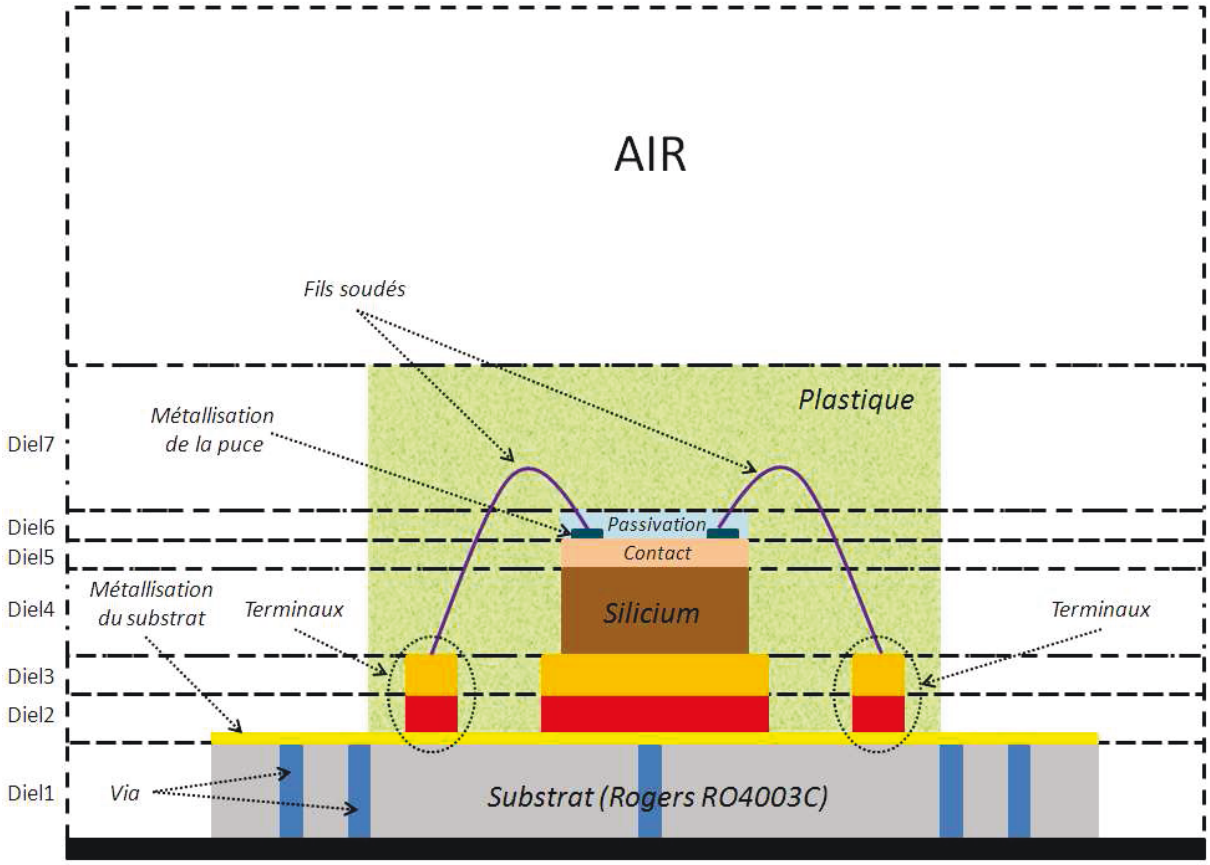
				x	h
h1	240	um		0	240
h2	0	um		78,5714	295
hb	400	um		157,143	336
db	1100	um		235,714	366
a	-1,50			314,286	386
b	-2200			392,857	397
c	1306000			471,429	400
delta	12676000			550	394
xc	453	um		628,571	378
yc	-323	um		707,143	354
rc	723	um		785,714	319
Theta1 (left)	0,463	rad	26,5 deg	864,286	272
Theta2 (right)	0,892	rad	51,1 deg	942,857	209
Alpha	1,786	rad	102 deg	1021,43	124
Larc	1291	um		1100	0
diam	20	um			
sigma	4,50E+07	S/m			
Rval	91	mΩ			



Figure_Annexe C.4: Profil des fils soudés basé sur l'approximation d'Alimenti

La géométrie du fil soudé, en particulier le nombre de segments définissant le diamètre du fil est un autre paramètre qu'il est nécessaire de définir dans les options du simulateur. Pour cela, j'ai défini un nombre de segment égal à quatre afin de réduire le temps de calcul du simulateur électromagnétique (la valeur par défaut étant fixée à douze). La perte de précision sur les résultats de simulation électromagnétique est très faible et justifie à elle seule cette simplification à quatre faces.

Une fois les coordonnées des quatre fils soudés pour réaliser la connexion de la puce avec le boîtier définis et paramétrés dans les champs associés, il est nécessaire de définir ce que l'on appelle le substrat. Pour effectuer des simulations électromagnétiques, le fichier substrat permet de décrire le procédé. Ce substrat contient toutes les informations relatives aux métaux, diélectriques et les vias qui sont tantôt des briques diélectriques tantôt des briques métalliques. La figure Annexe C.5 illustre une coupe du procédé que j'ai implémenté dans le substrat en cohérence avec la structure du produit pilote utilisé lors de l'étape de caractérisation.

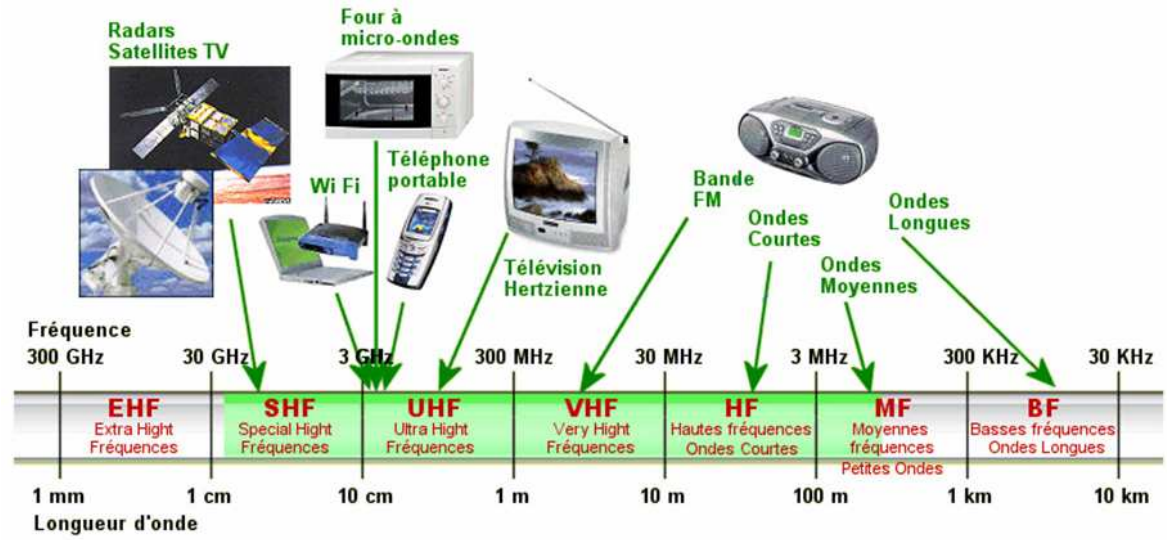


Figure_Annexe C.5: Coupe du procédé contenant toutes les informations à intégrer dans le substrat (le dessin n'est pas à l'échelle)

Afin de modéliser le plus justement possible la structure de test qui a été utilisée, il faut définir sept couches de diélectriques dans lesquelles seront placées des briques diélectriques et/ou des briques métalliques et/ou des métaux. Les diélectriques de 1 à 7 seront définis à l'aide de leur épaisseur respective et de deux paramètres physiques, la permittivité relative (ε_r) et le facteur de dissipation (tan δ). Les vias à l'intérieur du substrat ainsi que les terminaux sont déclarés en tant que vias métalliques avec comme paramètres une permittivité relative égale à 1 et la conductivité σ (S/m). Il faut noter également que les terminaux sont divisés volontairement en deux parties égales (100µm chacun) afin d'avoir un maillage plus précis lors de l'étape de simulation électromagnétique. Les métaux présents sur la couche supérieure du substrat et sur la puce de silicium sont définis avec une expansion vers le haut en considérant les mêmes paramètres que les vias métalliques soient une permittivité relative égale à 1 et une conductivité σ (S/m).

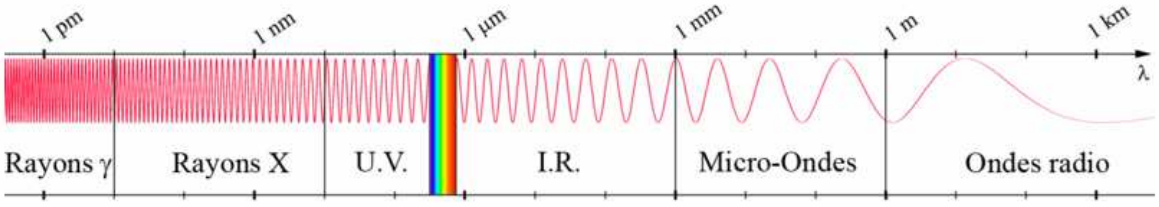
Annexe D
Les ondes électromagnétiques

Nous utilisons tous de manière quotidienne des appareils fonctionnant grâce aux ondes électromagnétiques comme la télévision, téléphone portable, four micro-ondes, etc…



Figure_Annexe D.1: Exemples d'applications utilisant des ondes radiofréquences

Christian Huygens dans les années 1670, puis plus tard Auguste Fresnel ont tout d'abord élaboré et défini la théorie ondulatoire de la lumière. James Clerk Maxwell a quant à lui défini les lois de l'électromagnétisme et démontrera que la lumière était une onde électromagnétique. Grâce à lui, les notions de vitesse de propagation furent introduites. Les ondes radio à basse fréquence, comparée à celle de la lumière, furent découvertes ensuite par Alexandre Popov et Heinrich Hertz.



Figure_Annexe D.2: Illustration du spectre électromagnétique

Une onde électromagnétique est caractérisée par sa polarisation et sa longueur d'onde. La polarisation correspond à la direction du champ électrique de l'onde. Les ondes

électromagnétiques sont classifiées en fonction de leur fréquence donc de leur longueur d'onde. Leur classification est standardisée comme indiqué sur le tableau ci-dessous.

Ondes électromagnétiques	Fréquences
ELF (extremely low frequency)	de 3Hz à30 Hz
SLF (super low frequency)	de 30Hz à 300Hz
ULF (ultra low frequency)	de 300Hz à 3 000Hz
VLF (very low frequency)	de 3kHz à 30kHz
LF (low frequency)	de 30kHz à 300kHz
MF (medium frequency)	de 300kHz à 3MHz
HF (high frequency)	de 3MHz à 30MHz
VHF (very high frequency)	de 30MHz à 300MHz
UHF (ultra high frequency)	de 300MHz à 3GHz
SHF (super high frequency)	de 3GHz à30 GHz
EHF (extremely high frequency)	de 30GHz à 300GHz

Figure_Annexe D.3: Spectre radiofréquence

On appelle micro-onde ou hyperfréquence la bande de fréquence auxquelles les dimensions géométriques des objets utilisés sont de l'ordre de grandeur de la longueur d'onde électromagnétique. Ce sont en général des ondes électromagnétiques de longueur d'onde intermédiaire entre l'infrarouge et les ondes de radiodiffusion. Le spectre des micro-ondes est défini approximativement pour la plage de fréquence de 300MHz à 100GHz, la plupart des applications communes utilisant la gamme de 1 à 40GHz. La gamme micro-ondes est découpée en différentes bandes, en fonction des différentes applications techniques comme le montre le tableau ci-dessous.

Désignation	Gammes de fréquences
Bande L	de 1 à 2GHz
Bande S	de 2 à 4GHz
Bande C	de 4 à 8GHz
Bande X	de 8 à 12GHz
Bande Ku	de 12 à 18GHz
Bande K	de 18 à 26GHz
Bande Ka	de 26 à 40GHz
Bande Q	de 30 à 50GHz
Bande U	de 40 à 60GHz
Bande V	de 46 à 56GHz
Bande W	de 56 à 100GHz

Figure_Annexe D.4: Bandes de fréquence micro-ondes

Annexe E

Fiche technique du substrat ROGERS 4003C

Property	Typical Value		Direction	Units	Condition	Test Method
	RO4003C	RO4350B				
Dielectric Constant, ε_r (Process specification)	3.38 ± 0.05	[1] 3.48 ± 0.05	Z	--	10 GHz/23°C	IPC-TM-650 2.5.5.5 [2]Clamped Stripline
[3] Dielectric Constant, ε_r (Recommended for use in circuit design)	3.55	3.66	Z	--	FSR/23°C	IPC-TM-650 2.5.5.6 Full Sheet Resonance
Dissipation Factor tan, δ	0.0027 0.0021	0.0037 0.0031	Z	--	10 GHz/23°C 2.5 GHz/23°C	IPC-TM-650 2.5.5.5
Thermal Coefficient of ε_r	+40	+50	Z	ppm/°C	-50°C to 150°C	IPC-TM-650 2.5.5.5
Volume Resistivity	1.7 X 10^{10}	1.2 X 10^{10}		MΩ•cm	COND A	IPC-TM-650 2.5.17.1
Surface Resistivity	4.2 X 10^{9}	5.7 X 10^{9}		MΩ	COND A	IPC-TM-650 2.5.17.1
Electrical Strength	31.2 (780)	31.2 (780)	Z	KV/mm (V/mil)	0.51mm (0.020")	IPC-TM-650 2.5.6.2
Tensile Modulus	26,889 (3900)	11,473 (1664)	Y	MPa (kpsi)	RT	ASTM D638
Tensile Strength	141 (20.4)	175 (25.4)	Y	MPa (kpsi)	RT	ASTM D638
Flexural Strength	276 (40)	255 (37)		MPa (kpsi)		IPC-TM-650 2.4.4
Dimensional Stability	<0.3	<0.5	X,Y	mm/m (mils/inch)	after etch +E2/150°C	IPC-TM-650 2.4.39A
Coefficient of Thermal Expansion	11 14 46	14 16 35	X Y Z	ppm/°C	-55 to 288°C	IPC-TM-650 2.1.41
Tg	>280	>280		°C DSC	A	IPC-TM-650 2.4.24
Td	425	390		°C TGA		ASTM D3850
Thermal Conductivity	0.71	0.69		W/m/°K	80°C	ASTM C518
Moisture Absorption	0.06	0.06		%	48 hrs immersion 0.060" sample Temperature 50°C	ASTM D570
Density	1.79	1.86		gm/cm^3	23°C	ASTM D792
Copper Peel Strength	1.05 (6.0)	0.88 (5.0)		N/mm (pli)	after solder float 1 oz. EDC Foil	IPC-TM-650 2.4.8
Flammability	N/A	[4]V-0				UL 94
Lead-Free Process Compatible	Yes	Yes				

(1) Dielectric constant typical value does not apply to 0.004" (0.101mm) laminates. Dielectric constant specification value for 0.004" RO4350B material is 3.33 ± 0.05.

(2) The IPC clamped stripline method can potentially lower the actual dielectric constant due to presence of airgaps between the laminates under test and the resonator card. Dielectric constant in practice may be higher than the values listed.

(3) The design Dk is an average number from several different tested lots of material and on the most common thickness/s. If more detailed information is required please contact Rogers Corporation. Refer to Rogers' technical paper "Dielectric Properties of High Frequency Materials" available at http://www.rogerscorp.com/acm

(4) ** Note on 94V-0 ** RO4350B LoPro™ laminates do not share the same UL designation as standard RO4350B laminates. A separate UL qualification may be necessary.

Typical values are a representation of an average value for the population of the property. For specification values contact Rogers Corporation.

Standard Thickness	Standard Panel Size	Standard Copper Cladding
RO4003C: 0.008" (0.203mm), 0.012 (0.305mm), 0.016" (0.406mm), 0.020" (0.508mm) 0.032" (0.813mm), 0.060" (1.524mm) **RO4350B:** *0.004" (0.101mm), 0.0066" (0.168mm) 0.010" (0.254mm), 0.0133" (0.338mm), 0.0166" (0.422mm), 0.020"(0.508mm), 0.030" (0.762mm), 0.060" (1.524mm) Material clad with LoPro foil add .0007" (0.018mm) to dielectric thickeness	12" X 18" (305 X457 mm) 24" X 18" (610 X 457 mm) 24" X 36" (610 X 915 mm) 48" X 36" (1.224 m X 915 mm) *0. 004" material in not available in panel sizes larger than 24"x18" (610 X 457mm).	½ oz. (17µm), 1 oz. (35µm) and 2 oz. (70µm) electrodeposited copper foil . **LoPro Reverse Treated EDC for PIM Sensitive Applications:** ½ oz (17mm), 1 oz (35 µm) Note: LoPro EDC foil adds .00035" to the panel thickness per side.

Annexe F

Fiche technique des micro-pointes « Infinity »

INFINITY PROBES



High-frequency performance with low, stable contact resistance on aluminum pads

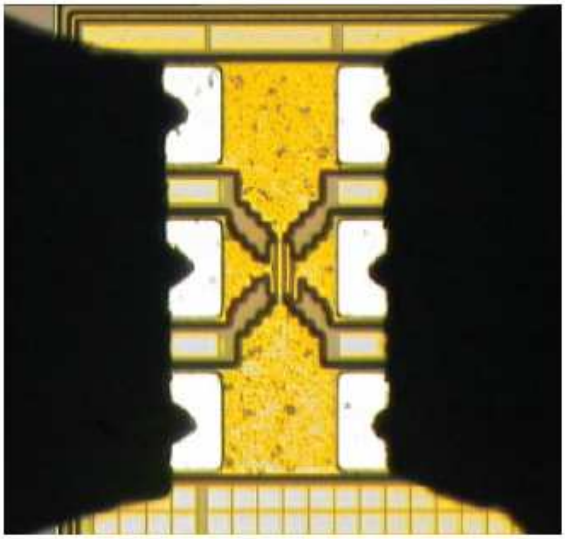
The Infinity Probe sets the benchmark for the device characterization and modeling community. This revolutionary probe combines extremely low contact resistance on aluminum pads with unsurpassed RF measurement accuracy to provide highly reliable, repeatable measurements. The Infinity Probe reaches this new performance level through the combination of Cascade Microtech's proprietary thin-film technology and coaxial probe technology.

Features

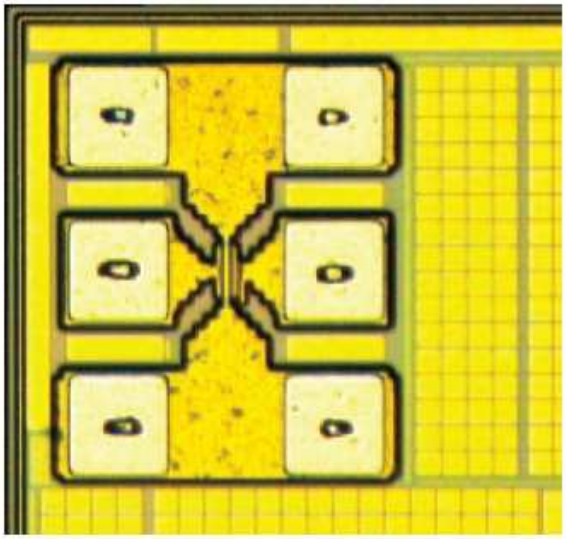
- Lithographic thin-film construction
- Excellent crosstalk characteristics
- Non-oxidizing nickel alloy tips
- Innovative force delivery mechanism
- 40 to 325 GHz versions
- GSG, SG/GS, GSGSG, GSSG, SGS configurations
- Probe pitch as narrow as 50 µm
- High current (2 A) version available

Advantages

- Superior field confinement reduces unwanted couplings to nearby devices and transmission modes
- Superior measurement accuracy and repeatability
- Small scrub minimizes damage to aluminum pad
- Typical contact resistance < 0.05 Ω on Al, < 0.02 Ω on Au
- Save valuable wafer space and reduce pad parasitics by being able to shrink pad geometries to 25 x 35 µm (best case)
- Reduction in modeling and design cycle time



Excellent tip visibility Infinity Probe contacting Silicon RF device



Small contact marks enable contact to small pads

INFINITY PROBES

Contact configuration	GSG, SG, GS	Connector	GSGSG, GSSG, SGS
Frequency range for coaxial probes	i40 – DC to 40 GHz i50 – DC to 50 GHz i67 – DC to 67 GHz i110 – DC to 110 GHz (GSG only)	i40 - 2.92 mm i50 - 2.4 mm i67 - 1.85 mm i110 - 1 mm	i40 i50 i67 i110
Typical insertion loss (GSG, GSGSG versions only)			
DC to 40 GHz	0.7 dB		0.9 dB
40 to 50 GHz	0.8 dB		0.9 dB
50 to 67 GHz	1.1 dB		1.2 dB
67 to 110 GHz	1.4 dB		1.6 dB
Typical return loss (GSG, GSGSG versions only)			
DC to 40 GHz	20 dB		15 dB
40 to 50 GHz	17 dB		15 dB
50 to 67 GHz	16 dB		13 dB
67 to 110 GHz	14 dB		11 dB
Crosstalk	-50 dB @ 50 GHz		Typically -40 dB @ 40 GHz; GSGSG 150 Typically -25 dB @ 40 GHz ; GSSG 150
Electrical repeatability	-60 dB		-60 dB
Probe pitch (25 µm increments)	50 to 250 µm pitch (i40, i50 and i67) 50 to 150 µm pitch (i110)		100 to 250 µm pitch -
Recommended overtravel	75 µm		75 µm
Max safe overtravel	150 µm		150 µm
Contact life	> 500,000		> 500,000
Max. DC current	500 mA (2 A for -HC version)*		500 mA
Thermal range	-65 to 125ºC		-65 to 125ºC
Rc on aluminum (gold)	Typically < 0.05 Ω (< 0.02 Ω)		Typically < 0.05 Ω (< 0.02 Ω)
Rc variation during one 5-hour single contact cycle**	10 mΩ		10 mΩ
Min. probe pad size	25 x 35 µm (best case)		25 x 35 µm (best case)

***High current (2 A) version available up to 67 GHz (GSG only).**
****Specifications applicable at 25°C operating temperature on clean aluminum.**

Recommended Impedance Standard Substrates

Freq (GHz)	Config	Pitch	Part No.
DC to 40 DC to 50 DC to 67*	GSG	100 to 250	101-190
	GS/SG	100 to 250	103-726
	GSGSG, SGS	100 to 125	129-239
		150 to 225	129-240
		250	129-241
	GSSG	100 to 150	129-246
		200 to 250	129-247
DC to 110*	GSG	100 to 150	104-783
DC to 325*	GSG	50 to 75	138-356
DC to 325*	GSG	100 to 150	138-357

***Use of absorbing auxiliary chuck or absorbing ISS holder (p/n 116-344) recommended**

Cables for Use with Infinity Probes

Freq (GHz)	Probe station	Body style	Length	Part number
DC to 40 (2.92 mm connector)	Summit™ 11K/12K, S300	A	48 inch	132-423
		V	48 inch	132-420
	M150, RF-1,9K, no MicroChamber	A	48 inch	124-084-B
		V	48 inch	101-162-B
DC to 50 (2.4 mm connector)	Summit 11K/12K, S300	A	48 inch	132-424
		V	48 inch	132-421
	M150, RF-1,9K, no MicroChamber	A	48 inch	124-085-B
		V	48 inch	103-202-B
DC to 67 (1.85 mm connector)	Summit 11K/12K, S300	A	36 inch	132-425
		V	36 inch	132-422
	M150, RF-1,9K, no MicroChamber	A	36 inch	124-606-B
		V	36 inch	124-605-B
DC to 110 (1 mm connector)	Summit 11K/12K, S300	A, V	18 cm	132-458
	Elite300™	A, V	24 cm	147-316

'A' denotes 45º angled coaxial connector body style.
'V' denotes vertical coaxial connector body style.
Dual Infinity probe is "V" style only.

Liste des figures

FigureI.1: Clients majeurs de NXP répartis par secteurs d'activités 12
FigureI.2: NXP Semiconducteurs CAEN 13
FigureI.3: Organigramme de la BL HPRF 14
FigureI.4: Evolution du nombre de transistors et de leur taille de grille 16
FigureI.5: Puce de silicium intégrée dans son boîtier (source fotolia) 17
FigureI.6: Report des signaux par trame métallique 18
FigureI.7: Principe de la couche de redistribution 19
FigureI.8: Technologies d'interconnexions (le boitier n'est pas représenté volontairement) 20
FigureI.9: Type de soudure des extrémités des fils soudés 21
FigureI.10: Schéma électrique équivalent de deux fils soudés 21
FigureI.11: Géométrie d'un conducteur 22
FigureI.12: Représentation du réseau de trois fils soudés 22
FigureI.13: Inductance propre du réseau de trois fils soudés 23
FigureI.14: Modélisation de deux conducteurs parallèles alignés 23
FigureI.15: Coefficient de couplage et mutuelle inductance du réseau de trois fils soudés 24
FigureI.16: Illustration de l'effet de peau dans un conducteur à haute fréquence 25
FigureI.17: Epaisseur de peau en fonction de la fréquence (fréquence 1GHz à 100GHz) 26
FigureI.18: Résistance propre du réseau de trois fils soudés 27
FigureI.19: Illustration du transfert automatique sur bande 28
FigureI.20: Assemblage par puce retournée (a) Découpe de la puce et métallisation des plots (b) Dépôts des billes métalliques sur chaque plot (c) La puce est retournée et positionnée face au substrat d'accueil (d) Les billes métalliques sont refondues (e) La puce montée est remplie avec un adhésif 29
FigureI.21: Principe de l'e-WLB, déploiement extérieur "fan-out" et vue du boîtier 31
FigureI.22: Evolution des boîtiers en fonction de l'augmentation de la fréquence 32

FigureII.1: Quadripôle 35
FigureII.2: Abaque de Smith 37
FigureII.3: Le diagramme polaire 38
FigureII.4: Photographie du banc de caractérisation radiofréquence 39
FigureII.5: Schéma de base de l'analyseur de réseau vectoriel 40
FigureII.6: Schéma de principe de l'analyseur de réseau 40
FigureII.7: Câble coaxial 41
FigureII.8: Références de connecteurs en fonction de la fréquence d'utilisation 42
FigureII.9: Micro-Pointes GSG fabriquées par CASCADE MICROTECH 43
FigureII.10: Réglage de la force d'appui des pointes sur le substrat de calibrage 44
FigureII.11: Micro-pointes de polarisations continues et radiofréquences 45
FigureII.12: Erreurs de mesures systématiques 47
FigureII.13: Modèles d'erreurs à 12 termes 49
FigureII.14: Substrat de calibrage et motifs "Short", "Load" et "Thru" 51
FigureII.15: Définition du plan de référence par le calibrage 52
FigureII.16: Schéma équivalent des éléments parasites d'accès au composant à caractériser 53
FigureII.17: Méthode d'extraction des paramètres intrinsèques du composant à mesurer 54
FigureII.18: Motifs de soustraction de parasites (OPEN-SHORT) et de ligne de transmission 56
FigureII.19: Valeurs des capacités extraites des motifs de soustraction de parasites de type OPEN – C_{11} pour le port1 – C_{22} pour le port2 – C_{12} entre le port1 et le port2 57
FigureII.20: Valeurs des inductances extraites des motifs de soustraction de parasites de type SHORT – L_{11} pour le port1 – L_{22} pour le port2 – L_{12} entre le port1 et le port2 57
FigureII.21: Valeurs de l'impédance caractéristique de la ligne de transmission – Zchar_brut : impédance caractéristique brut – Zchar_de : impédance caractéristique après soustraction des parasites 58
FigureII.22: Valeurs de l'atténuation de la ligne de transmission 58

FigureIII.1: Principe du système satellite 61
FigureIII.2: Vue de la puce du produit pilote dans son boîtier 61
FigureIII.3: Photographie du pilote de test utilisé pour la caractérisation 63
FigureIII.4: Photographie de la structure métallique d'accueil et d'accès au boîtier 65
FigureIII.5: Mesure après un calibrage SOLT du SHORT 68
FigureIII.6: Mesure après un calibrage SOLT de l'OPEN 68
FigureIII.7: Mesure après un calibrage SOLT du LOAD 69
FigureIII.8: Mesure après un calibrage SOLT du THRU 69
FigureIII.9: Photographie du substrat RO4003C comportant les quatre boîtiers DHVQFN 70
FigureIII.10: Variations expérimentales du paramètre de transmission S21 (pertes d'insertion) en fonction de la fréquence 71
FigureIII.11: Variations expérimentales du paramètre de transmission S11 (réflexion) en fonction de la fréquence 71
FigureIII.12: Variations expérimentales du paramètre de transmission S22 (réflexion) en fonction de la fréquence 72
FigureIII.13: Synoptique de la méthodologie de simulation électromagnétique 73
FigureIII.14: Représentation 3D de la structure de test 74
FigureIII.15: Variations expérimentales et simulées du paramètre de transmission S_{21} en fonction de la fréquence 75
FigureIII.16: Variations expérimentales et simulées du paramètre de transmission S_{11} en fonction de la fréquence 76
FigureIII.17: Variations expérimentales et simulées du paramètre de transmission S_{22} en fonction de la fréquence 76
FigureIII.18: Cellule élémentaire équivalente (circuit en Π) du modèle électrique du boîtier 78
FigureIII.19: Représentation 3D du boîtier DHVQFN 79
FigureIII.20: Exemple de la méthode d'extraction des éléments parasites de deux interconnexions 80
FigureIII.21: Schéma du boîtier DHVQFN utilisé pour l'extraction parasite des interconnexions 81
FigureIII.22: Transmission S_{21} du chemin RF du boîtier DHVQFN en fonction de la fréquence 83
FigureIII.23: Réflexion S_{11} du chemin RF du boîtier DHVQFN en fonction de la fréquence 84
FigureIII.24: Impédance caractéristique Z_c du chemin RF du boîtier DHVQFN en fonction de la fréquence 84
FigureIII.25: Atténuation du chemin RF du boîtier DHVQFN en fonction de la fréquence 85

FigureIV.1: Répartition du coût matériel du boîtier DHVQFN 87
FigureIV.2: Variations théoriques de l'inductance propre par unité de longueur en fonction de la longueur d'un fil soudé 88
FigureIV.3: Profils des fils soudés 90
FigureIV.4: Vue de dessus du boîtier comportant une cavité creusée dans la trame métallique 90
FigureIV.5: Schéma de contribution des capacités des terminaux – W : largeur du conducteur, S : espace entre les conducteurs, L : longueur du conducteur 92
FigureIV.6: Schéma d'implantation utilisé pour extraire les contributions des capacités des terminaux du boîtier DHVQFN 93
FigureIV.7: Valeurs des capacités des terminaux du boîtier (deux types de géométries) 94
FigureIV.8: Variations des paramètres d'épaisseur (T) des terminaux 95
FigureIV.9: Variations des paramètres de largeur (W) et de longueur (L) des terminaux 95
FigureIV.10: Vue schématique de deux vias traversants 96
FigureIV.11: Vue au microscope à balayage de deux vias traversants (rapport d'aspect de 5) 97
FigureIV.12: Vue 3D d'une configuration de boîtier amélioré (proposition 1) 98
FigureIV.13: Vue 3D d'une configuration de boîtier amélioré (proposition 2) 99
FigureIV.14: Etapes du procédé de fabrication du boîtier LLBT 101
FigureIV.15: Photographie d'une plaque reconstituée lors de la fabrication du LLBT 102
FigureIV.16: Dessin de la ligne d'accès coplanaire de l'entrée RF (a) en rouge – Dessin de la ligne d'accès micro-ruban de la sortie IF (b) en rouge 103
FigureIV.17: Impédance caractéristique de l'accès RF 104
FigureIV.18: Impédance caractéristique de l'accès IF 104
FigureIV.19: Schéma synoptique du boîtier LLBT utilisé pour l'extraction des parasites 105
FigureIV.20: Transmission S_{21} du chemin RF du boîtier LLBT en fonction de la fréquence 107

FigureIV.21: Réflexion S_{11} du chemin RF du boîtier LLBT en fonction de la fréquence 108
FigureIV.22: Impédance caractéristique Z_c du chemin RF du boîtier LLBT en fonction de la fréquence 108
FigureIV.23: Atténuation du chemin RF du boîtier LLBT en fonction de la fréquence 109
FigureIV.24: Produit satellite dans son environnement (modèle du boîtier, alimentation, générateur de stimuli,…) 110
FigureIV.25: Schéma blocs constituant la chaîne de réception radiofréquence (RFin à IF) du produit satellite 111
FigureIV.26: Ecarts (dB) des résultats de simulation du bruit par rapport au boîtier DHVQFN (bande de fréquence basse) 112
FigureIV.27: Ecarts (dB) des résultats de simulation du bruit par rapport au boîtier DHVQFN (bande de fréquence haute) 112
FigureIV.28: Ecarts (dB) des résultats de simulation du gain par rapport au boîtier DHVQFN (bande de fréquence basse) 114
FigureIV.29: Ecarts (dB) des résultats de simulation du gain par rapport au boîtier DHVQFN (bande de fréquence haute) 115
FigureIV.30: Paramètre S de réflexion S_{11} des résultats de simulation des configurations de boîtier (bande de fréquence basse) 115
FigureIV.31: Paramètre S de réflexion S_{11} des résultats de simulation des configurations de boîtiers (bande de fréquence haute) 116
FigureIV.32: Paramètre S de transmission S_{22} des résultats de simulation des configurations de boîtier (bande de fréquence basse) 117
FigureIV.33: Paramètre S de transmission S_{22} des résultats de simulation des configurations de boîtier (bande de fréquence haute) 117

Figure_Annexe A.1: Coupe du boîtier QFP 126
Figure_Annexe A.2: Coupe du boîtier QFN 127
Figure_Annexe A.3: Boîtier BGA 128

Figure_Annexe B.1: Représentation coplanaire d'une interconnexion (coupe transversale) 129
Figure_Annexe B.2: Représentation micro-ruban d'une interconnexion (coupe transversale) 130

Figure_Annexe C.1: Diagramme de connexion du produit satellite 135
Figure_Annexe C.2: Vue du dessin du boîtier. (a) Vue après translation des couches (b) Vue après simplification 136
Figure_Annexe C.3: Dessin du boîtier importé dans le simulateur EM. (a) Boîtier seul, (b) Boîtier avec la puce de silicium 137
Figure_Annexe C.4: Profil des fils soudés basé sur l'approximation d'Alimenti 138
Figure_Annexe C.5: Coupe du procédé contenant toutes les informations à intégrer dans le substrat (le dessin n'est pas à l'échelle) 139

Figure_Annexe D.1: Exemples d'applications utilisant des ondes radiofréquences 140
Figure_Annexe D.2: Illustration du spectre électromagnétique 140
Figure_Annexe D.3: Spectre radiofréquence 141
Figure_Annexe D.4: Bandes de fréquence micro-ondes 141

Liste des tableaux

Tableau1 . Dimensions des billes métalliques selon les applications 30
Tableau2 . Interprétation physique des paramètres S_{11} et S_{22} 36
Tableau3 . Interprétation physique des paramètres S_{12} et S_{21} 36
Tableau4 . Caractéristiques des standards fournis par CASCADE 51
Tableau5 . Principales caractéristiques du substrat haute fréquence ROGERS RO4003C 64
Tableau6 . Conditions de mesure des boîtiers au laboratoire LAMIPS 67
Tableau7 . Valeurs des standards ISS mesurées après calibrage SOLT (supérieures à 1GHz) 70
Tableau8 . Inductances/Résistances propres et couplage inductifs du boîtier DHVQFN – Gris : valeurs d'Inductance (pH)/Résistance (mΩ) – Bleu : valeurs d'Inductance mutuelle (pH) – Vert : valeurs du coefficient de couplage 82
Tableau9 . Inductances/Résistances propres du boîtier DHVQFN (valeurs d'inductance en pH et résistance en mΩ) 82
Tableau10 . Capacités propres et couplage capacitifs du boîtier DHVQFN – Gris : valeurs de Capacité (fF) – Bleu : valeurs de couplage capacitif (fF) 83
Tableau11 . Impact des différents scénarios sur la variation des éléments parasites (essentiellement inductifs et résistifs) 91
Tableau12 . Impact des différents scénarios sur la variation des éléments parasites (essentiellement capacitifs) 96
Tableau13 . Inductances/Résistances propres et couplage inductifs du boîtier LLBT – Gris : valeurs d'inductance (pH)/résistance (mΩ) – Bleu : valeurs d'inductance mutuelle (pH) – Vert : valeurs du coefficient de couplage 106
Tableau14 . Inductances/Résistances propres du boîtier LLBT (valeurs d'inductance en pH et résistance en mΩ) 106
Tableau15 . Capacités propres et couplage capacitifs du boîtier LLBT – Gris : valeurs de capacité (fF) – Bleu : valeurs de couplage capacitif (fF) 107

CENICS 2011

La quatrième conférence internationale sur les progrès dans les circuits électronique et micro-électronique, le CENICS, s'est tenue du 21 au 27 août 2011 à Nice. Le CENICS 2011 poursuit une série d'évènements initiés en 2008, capturant les avances sur des circuits spéciaux, l'électronique et la micro-électronique à la fois théorique et pratique, de la fabrication à des applications utilisant ces circuits et des systèmes spéciaux. Les sujets présentés couvrent les fondamentaux de la conception et de la mise en œuvre, les techniques pour le déploiement dans des applications diverses, et les avancées dans le traitement du signal.

Pour cette conférence, Olivier Tesson, ingénieur-chercheur chez NXP Semiconducteurs Caen, a rédigé et soumis un article concernant les étapes de conception et de modélisation électromagnétique 3D d'un filtre passe bande centré à 4GHz utilisant des vias traversant en silicium. Cette publication est le résultat de l'utilisation des travaux de la thèse de M^{lle} Magali Duplessis ainsi que des résultats obtenus dans ce mémoire.

Ainsi, sur la base des commentaires initiaux, la qualité globale du papier ainsi que sa présentation lors de la conférence, le jury constitué d'industriels et d'académiques reconnus a décerné à ce papier le prix de la meilleure contribution scientifique.

Caractérisation radiofréquence et amélioration de l'architecture d'un boîtier DHVQFN pour des applications micro-ondes.

Mémoire d'Ingénieur CNAM, Caen 2011

RESUME

Le projet "Packaging Innovation" a pour finalité d'investiguer de nouvelles solutions de boîtiers basées sur des produits satellites existants dans le but de développer les futures applications micro-ondes. L'objectif de ce mémoire est de présenter le travail que j'ai réalisé au sein de ce projet. Il se décompose en deux parties : la première a été de concevoir une méthode originale de caractérisation radiofréquence de boitiers dans le but de démontrer les limitations électriques des boîtiers plastiques filaires dans le domaine des hautes fréquences. La seconde étape fût d'utiliser un simulateur EM, après une solide étape de calibrage, pour évaluer et proposer des pistes d'améliorations au niveau de l'architecture des boitiers dans le but de viser les applications d'ondes centimétriques. L'analyse des résultats de simulations EM a permis de conclure que le simulateur correctement calibré peut être utilisé comme référence pour des évaluations. Une nouvelle structure de boitier a été évaluée par simulations et semble être un bon candidat pour les futures applications. La prochaine étape sera de valider cette nouvelle approche de boitier sur des mesures d'échantillons qui seront disponibles prochainement.

Mots clés: Mesures radiofréquences, simulations électromagnétiques, boîtier, extraction de parasites, caractérisation sous pointes.

SUMMARY

The "Packaging Innovation" project aims to investigate new package solutions based on existing satellite products in order to develop future microwave applications. The goal of this paper is to present the work I did inside this project. It is divided in two parts: the first was to design an original radiofrequency characterization method for mounted plastic package using wire bonding in order to show their actual electrical limitation in microwave frequency domain. The second step was to use an EM simulator, after a solid calibration step, to evaluate and suggest improvements in order to target these microwave applications. Regarding the EM results analysis, we can conclude that the simulator, correctly calibrated, could be use as reference to investigate improvements. A novel package approach was evaluated by EM simulation and seems to be the right candidate for target microwave applications. The next step will be to measure demonstrators which will be available soon to validate this approach.

Key words: Radiofrequency measurements, electromagnetic simulation, package, parasitic extraction, On-wafer characterization.