



HAL
open science

Testeur des composants CMS par un FPGA Cyclone II

Jamal Eddine Nassar

► **To cite this version:**

Jamal Eddine Nassar. Testeur des composants CMS par un FPGA Cyclone II. Electronique. 2013. dumas-01261588

HAL Id: dumas-01261588

<https://dumas.ccsd.cnrs.fr/dumas-01261588v1>

Submitted on 25 Jan 2016

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Institut des Sciences Appliquées et Économiques -
Université Libanaise

ISAE – Cnam Liban

*Centre du Liban associé au Conservatoire national des
arts et métiers – Paris*



MEMOIRE
présenté en vue d'obtenir
le DIPLOME d'INGENIEUR CNAM

En électronique.

Présenté par:

Jamal eddine Nassar.

<<Testeur des composants CMS par un FPGA Cyclone II>>

Soutenu le 6 Février 2013

JURY

PRESIDENT: Michel Terré.

Membres : Khaled Itani.

Mohamad Alwan.

Dani Merhej.

Haissam Hajjar.

Année universitaire:

« 2012-2013 »

Dédicace

A ma chère femme

A ma chère mère,

A mon cher père,

A mon frère et à ma sœur,

Qui m'ont tant donné pour faire de moi ce que je suis

A tous ceux qui comptent pour moi,

A tous ceux pour qui je compte.

Je leur dédie ce modeste travail en guise de reconnaissance

Remerciement

Je tiens tout d'abord à remercier Dieu le tout puissant et
miséricordieux, qui m'a donné la force et la patience

d'accomplir ce Modeste travail .

Merci 

En second lieu je tiens à remercier mon encadreur

Docteur Mohamed Alwan pour avoir bien voulu

encadrer ce travail ainsi que pour sa riche

contribution et ses précieux conseils;

l'équipe de laboratoire électronique et électrotechnique.

Je retiens à remercier également le jury d'avoir accepté

l'évaluation de ce travail.

J'exprime mes sincères reconnaissances à l'égard

de tous ceux qui ont

contribué à ma formation, particulièrement les enseignants

de l'ISAE CNAM.

Liste des abréviations:

CMS : Composants montés en surface.
FPGA : Field Programmable Gates Arrays .
VHDL : VHSIC Hardware Description Language
VHSIC : Very High Speed Integrated Circuit.
RTL : Register-Transfer Level.
IEEE : Institute of Electrical and Electronics Engineers.
TSMC : Taiwan Semiconductor Manufacturing Company.
LAB : Logic Array Blocks.
PLL : Phase Locked Loops.
BGA : Ball Grid Array.
CAO : Conception Assistée par Ordinateur.
SSI : Small scale integration.
CI : Circuit Intégré.
MCM : Multi Chip Modules.
PCB : Printed Circuit Board.
IS : Interconnection Substrate.
EDA : Electronic design automation.
DAC : Design Augmented by Computer.
RS-232: Recommended Standard.
DTE : Data Terminal Equipment.
DCE : Data Communications Equipment.
DCD : Data Carrier Detect.
RxD : Receive Data.
TxD : Transmit Data.
DTR : Data Terminal Ready.
GND : GrouND.
DSR : Data Set Ready.
RTS : Request To Send.
CTS : Clear To Send.
LSB : Least Significant Bit.
MSB : Most Significant Bit.
OSI : Open Systems Interconnection.
TCC : Testeur des composants CMS.
FIFO : First In First Out.
JTAG : Joint Test Action Group.
AS : Active en Série.
VGA : Video graphic adapter.
DAC : Digital Analog converter ou CNA: convertisseur numérique analogique.
IOE : Input Output Elements.
UART : Universal Asynchronies Receiver Transmitter.

Sommaire.....	Page
INTRODUCTION GENERALE:	6
Chapitre 1: Circuits intégrés et technologies de conception.	9
1. Introduction:.....	9
2. Les circuits intégrés:.....	11
2.1 Principe et classification:.....	11
2.2 Densité:	13
2.3 Complexité:.....	13
3. Packaging des circuits intégrés:.....	15
3.1 Définition:.....	15
3.2 Niveau de Packaging:	15
4. Techniques et technologie des circuits imprimés:	16
4.1 Introduction:.....	16
4.2 Support d'interconnexion:.....	17
4.3 Supports d'interconnexion organiques:.....	18
4.4 Supports d'interconnexion céramiques:	19
4.5 Fabrication:	20
4.6 Boîtiers des circuits intégrés et soudage:.....	22
4.6.1 Filières des circuits à trous traversant:.....	22
4.6.2.1 Les avantages des CMS:	23
4.6.3 MCM (Multi Chip Modules):	24
4.6.3.1 Boîtier MCM de circuit intégré constitué :.....	25
4.6.3.2 Exemple d'un circuit MCM:	26
5. CAO :	26
5.1 Définition:.....	26
5.2 Historique:	27
5.3 Introduction dans le processus de conception:.....	27
5.3.1 Analyse des tâches du projeteur:.....	28
5.3.2 Méthode conventionnelle de travail dans un bureau d'études:.....	29
5.3.3 Tâches automatisables:	29
5.3.4 Conception de circuits électroniques:	30
6. Les différents types des testeurs des circuits intégrés:	30

7. Conclusion:	31
Chapitre 2: Technologie d'un FPGA et méthode de conception le VHDL	32
1.Introduction:	32
2. FPGA:.....	33
2.1 Généralités:	33
2.2 FPGA Cyclone II:	34
2.2.1 Description fonctionnelle de l'architecture d'un FPGA Cyclone II:	35
3.VHDL:	36
3.1 Introduction:.....	36
3.2 Importance et évolution du VHDL:	38
3.3 Synthèse logique pour une bonne conception:.....	39
3.4 Logique de conception:	40
3.5 Déclaration des bibliothèques:.....	41
3.6 Les SENS du signal :	42
3.7 Les types:.....	42
4.Le logiciel Quartus 7.2:.....	43
5. Conclusion:.....	44
Chapitre 3: Conception VHDL du "TCC"	46
1.Introduction:	46
2.Communication sérielle:	46
2.1 Réception et émission des octets à travers le port série RS-232:.....	46
2.1.1 Notions sur la norme RS-232 :	46
2.1.2 Numérotation des broches et description des signaux:.....	47
2.2 Techniques de transmission des données:.....	48
2.2.1 Chronologie de la transmission de données:.....	48
2.2.2 Méthode de transmission:.....	48
2.2.3 Transmission asynchrone de Synchronisation de bits:.....	48
2.2.4 Synchronisation d'octets:	49
3. La communication par UART entre le PC et le système testeur "TCC":	51
3.1 Etapes de la transmission et de la réception:.....	51
3.2 FIFO (First In First Out):	53
4. Description VHDL du système UART de la réception des bits:	53

4.1 La réception des octets :	55
4.2 Description du bloc FIFO:	56
4.3 Description du bloc de mesure de la fréquence:	57
4.4 Description du contrôle des entrées / sorties par les octets de commande:	59
4.5 Description de la mesure de la tension:	61
4.5.1 Mesure de tension à l'aide d'un signal MLI(1er méthode):	62
4.5.1.1 Construction d'un signal référence dent de scie:	62
4.5.1.2 Description VHDL de la première méthode :	65
4.5.1.3 Calcul théorique	66
4.5.2 Mesure de tension à l'aide d'un CNA (2eme méthode):	69
5. Conclusion:	70
Chapitre 4: Implémentation du système "TCC" et test des composants CMS.	71
1. Introduction:	71
2. Maintenance et maintenabilité:	72
3. Réalisation:	75
3.1 Généralité	75
3.2 Vue RTL du FPGA Cyclone II :	76
3.3 Principe de fonctionnement de "TCC":	77
3.4 Utilisation du logiciel Labview:	83
3.4.1 Interfaçage graphique utilisateur:	83
3.4.2 Configuration du "TCC":	84
3.4.3 Réalisation de l'interfaçage et le contrôle par Labview:	84
3.4.4 Le sous programme "Call serial":	86
4. Utilisation d'un FPGA:	89
4.1 Importance d'un FPGA dans ce type de projet:	89
4.2 Statuts du FPGA utilisé:	89
4.3 Les Horloges:	90
5. Utilisation de la carte de développement DE2 :	90
5.1 Le FPGA Altera Cyclone II EP2C35F672C6:	90
5.2 La carte DE2:	91
5.2.1 composition de la carte DE2:	91
5.2.2 Configuration du FPGA Cyclone II 2C35:	93

5.2.3 Communication Série RS-232:	95
5.2.4 Les extensions des broches IOs :.....	96
5.3 Utilisation du VGA pour la génération d'un signal analogique :.....	96
5.4 Réalisation de la maquette de support de test:	98
6.Diagnostic et circuits à tester:	99
6.1 Système d'alimentation et de protection d'une carte mère:	99
6.2 Diagnostic des circuits de commutation à haute fréquence:.....	102
6.3 Test des circuits numériques:	103
6.4 Test du composant APL59xx:.....	105
6.5 Vision du "TCC" avec la maquette du test:.....	106
7. Conclusion:	106
Conclusion générale:	107
Liste des figures.....	109
Liste des tableaux.....	110
Annexe.....	111
Bibliographie:.....	123

INTRODUCTION GENERALE:

De nos jours, la technologie a évolué exponentiellement pour atteindre un niveau élevé de complexité dans la conception, la productivité et la créativité .

Les circuits intégrés sont à la base de la fabrication des micros cartes à circuits imprimés (PCB) ainsi que les cartes mères des PCs portables, des téléphones ,des baladeurs, ... etc.

Tous ces produits sont sujet à être défectueux après un certain temps de consommation donc ils auront besoin des réparations.

Aujourd'hui la maintenance électronique est indispensable et surtout dans les pays sous développés où les consommateurs réparent leurs produits détériorés au lieu d'acheter d'autres tous neufs d'une part et d'autre part dans le cas des réparations qui sont sous garantie.

Dans le domaine de la maintenance et de test; les équipements de test sont infiniment coûteux ainsi que l'oscilloscope, générateur de fréquence, générateur de tension continue, analyseur de spectre,... etc.

Pour ces besoins économiques et techniques déjà mentionnés ci-dessus mon projet va répondre aux demandes du marché tout en réalisant un prototype testeur des composants CMS (ou "IC SMD tester" en anglais) qui porte l'abréviation "TCC", ce testeur va remplacer plusieurs équipements de test pour tester tous les types des circuits intégrés numériques par un contrôle de plusieurs configurations générées par un FPGA qui sera contrôlé par le logiciel de contrôle LABVIEW à travers un port série RS-232; ces configurations de contrôle sont représentés par une alimentation de tension continue ou un niveau logique haut, un signal carré à une

fréquence donnée, un niveau logique bas, haute impédance, une sortie qui détecte les niveaux logiques et finalement la détection des valeurs de la fréquence; par ces commandes on pourra tester n'importe quel circuit intégré jusqu'à seize broches.

Les testeurs des circuits traditionnels font leurs tests à travers une base de données des circuits qui peuvent être tester; par contre notre produit peut tester tous types de circuits intégrés tout en utilisant logiquement les configurations de contrôle sur les entrées et les sorties de ce circuit selon sa propre fiche technique.

Cette idée a été conçu pour répondre aux besoins du département de la maintenance électronique de la société JamalCo dont nous avons besoin de tester les circuits intégrés sur les cartes mères des ordinateurs portables pour faire un meilleur diagnostic pour réparer le problème étant contrôle ou puissance résultant d'une surtension, un court circuit, etc.

Ce projet comporte quatre parties principales :

la programmation de contrôle en utilisant le logiciel LABVIEW version 2009,

la programmation par le langage de description VHDL, en utilisant un FPGA de type cyclone II et en utilisant la communication série à travers un port RS-232.

Le rapport de ce projet se décompose en quatre chapitre:

Un premier chapitre où on illustre les types et les classifications des circuits intégrés, la technologie de conception des circuits imprimés et la méthode de conception la CAO.

Dans le second chapitre nous allons parler des technologies des FPGAs, les différentes méthodes de conception ainsi que les langages HDL et une notion sur les outils de la description des designs des circuits.

Le troisième chapitre vise la conception VHDL du système "TCC" et nous allons parler de la programmation de ce langage qui décrira la communication sérielle, les commandes et l'analyse du circuit sous test.

Le dernier chapitre va être consacré pour l'implémentation et la réalisation du système "TCC" avec des tests sur de divers composants CMS.

Tout ce travail a comme but de faciliter les tâches de maintenance électronique surtout lors du test d'un nouveau circuit intégré; il suffit de voir son "Datasheet" pour le tester puis continuer le diagnostic dans le but de compléter la réparation bien comme il faut.

Ce produit pourra tester les circuits intégrés dont l'implémentation est un Mosfet de type P-Channel et N-Channel ou un circuit dédié numérique comportant des portes logiques, un comparateur, un mux, un démux, un régulateur,...etc.

Enfin nous allons illustrer en détails dans ce rapport les idées de communication, de contrôle et de commande qui vont nous laisser donner toutes les possibilités des configurations sur les seize broches du dock de test.

Chapitre 1: Circuits intégrés et technologies de conception.

1. Introduction:

La complexité et la dimension des circuits intégrés croît sans cesse et l'électronique s'étend constamment à de nouveaux domaines et à de nouvelles applications.

Un circuit intégré ne peut fonctionner sans un environnement spécifique : un boîtier, une carte, qui lui permettent de réaliser les fonctions pour lesquelles il a été conçu.

Les contraintes physiques, technologiques et commerciales imposent aujourd'hui la conception de systèmes de plus en plus :

- compacts,
- économes en énergie,
- rapides à concevoir,
- fiables et peu coûteux.

Les circuits électronique sont implémentés sur plusieurs couches de différentes matière ainsi le silicone, silicium, verre (quartz) , Polyimide ,Téflon ...

et surtout pour la nécessité d'implémenter sur des échelles microscopique pour le besoin d'une technologie fiable, abordable et souple...

Pour cela le packaging de ces circuits prend en compte les contraintes diverses touchant à l'environnement du circuit intégré, et qui permet d'exploiter au mieux ses performances et sa fiabilité et son bon fonctionnement.

Dans le domaine du packaging, il existe quelques techniques génériques ayant un intérêt étendu, qui sont massivement exploitées à l'échelle industrielle de telles techniques sont appelées « **filières** ».:

- **filières** de circuits imprimés à trous traversant.
- **filières** de circuit imprimés à montage en surface "CMS"(en anglais SMD) .
- **filières** d'assemblage "MCM " (*MultiChip Modules*).

La fabrication du circuit intégré est précédée d'une phase de conception durant laquelle s'élaborent les plans du circuit sur la base de ses spécifications fonctionnelles.

Jusqu'au début des années 80, la conception des circuits (en anglais "design"), dont la complexité ne dépassait pas quelques milliers de transistors, s'effectuait de manière manuelle, c'est à dire sans outils logiciels d'aide à la conception, ce qui avait comme conséquence une productivité assez faible et des erreurs de conception fréquentes. Le développement de méthodes et d'outils de CAO (conception assistée par ordinateur) a permis d'accélérer le cycle de conception et de rendre les circuits plus performants. Les premiers outils pour la CAO micro-électronique sont apparus à la fin des années 70.

Les différentes catégories de circuits intégrés peuvent être classifiées en trois catégories : standard, semi-spécifique ou spécifique. On peut compléter cette classification par les technologies de réalisation de circuits hybrides («Multi Chip Module, MCM »,..etc.)

2. Les circuits intégrés:

Ce sont les progrès constants des technologies du semi-conducteur qui soutiennent la course en avant vers des complexités croissantes.

Les utilisateurs sont toujours friands de fonctionnalités accrues ; cet intérêt explique entre autres l'explosion de l'électronique personnelle et nomade qui dépasse maintenant la puissance qu'offraient les gros systèmes informatiques au début des années 1980. C'est aussi grâce à l'intégration rendue possible par les technologies des semi-conducteurs que les liaisons télématiques sont devenus partie intégrante de notre vie de tous les jours.

2.1 Principe et classification:

Les différentes catégories de circuits intégrés (figure 1) peuvent être classifiées en trois catégories : standard, semi-spécifique, spécifique et les technologies de réalisation de circuits MCM "Multi Chip Module" .

a. Les circuits standards (par exemple fonctions logiques ou analogiques, etc.), sont fabriqués en série conformément à une spécification ("data sheet").

b. Les circuits intégrés à applications spécifiques (ASIC) regroupent 2 catégories principales :

- les circuits ASIC semi-spécifiques, pour lesquels une partie ou l'ensemble des étapes de fabrication ont été réalisées avant la conception ainsi que les circuits programmables (FPGA, CPLD).

Dans ce cas le principe de conception suit les étapes suivantes:

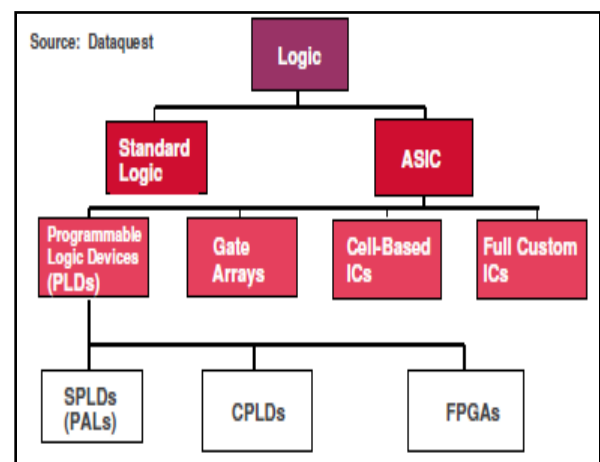


Figure 1: Classification des circuits logiques.

- 1.Utilisation d'un outil logiciel de CAO (sur PC principalement).
- 2.S'équiper d'un circuit programmable vierge (non programmés).
- 3.Réalisation du design (schématique ou HDL) et l'implémenter sur support (FPGA, CPLD,...).

Une fois le circuit programmé, il devient opérationnel et peut être placé sur son support d'utilisation(carte par exemple).

- les circuits ASIC spécifiques, pour lesquels l'ensemble des étapes de fabrication seront réalisées après la conception; dans ce cas on distingue deux sous catégories :

i. les circuits pré-caractérisés (standard cell ou cell based) lorsqu'une bibliothèque de cellules est utilisée (c'est surtout le cas pour les circuits logiques).

ici les caractéristiques de ces cellules sont connues (pré-caractérisation par le fabricant à l'aide de simulations électriques).

ii. les circuits sur mesure (« custom ou full custom ») lorsque toutes les étapes de conception électriques sont réalisées. Chaque élément actif du circuit est optimisé pour réaliser la meilleure performance fonctionnelle et électrique et réduire la surface du silicium. Ces circuits peuvent être analogiques ou numériques^[1].

c. Les circuits MCMs:

Ces circuits sont attendus pour apporter une amélioration des densités d'interconnexions d'un facteur 5 à 10 par rapport aux technologies des cartes imprimés PCB couramment utilisées.

En effet, c'est généralement à ce niveau que se situent les limites technologiques actuelles.

Etant donné le nombre de variations possibles d'élaboration des MCMs, il n'existe pas de définition complète et précise de ceux-ci. On peut simplement dire qu'un MCM est un système d'interconnexion de plusieurs puces sur un même module ; la notion de module étant limitée à « boîtier » dans la plupart des cas.

Les modules multi chips font appel à des technologies d'assemblage coûteuses qui restreignent leur champ d'application à des domaines spécifiques :

- les gros systèmes informatiques (cartes unités centrales) où la recherche de la performance prime les aspects économiques ;
- les applications de télécommunications où le traitement de certains signaux à très haute fréquence ne peut se faire que sur ce type de circuits (matrices de commutation par exemple) ;
- les systèmes embarqués (surtout spatiaux) où il est nécessaire de réduire le poids et le volume des composants électroniques^[2].

2.2 Densité:

Le nombre de fonctions logiques par circuit intégré dépend de la taille du transistor de base dont la grille, en 2004, peut être aussi petite que $0,09\mu\text{m}$ (c'est vingt fois plus petit qu'une bactérie, mille fois plus fin qu'un cheveu). La figure 2 montre cette évolution pour les mémoires et les circuits logiques les plus complexes. Ces courbes sont bien sûr génériques, et ne tiennent pas compte de cas particuliers.

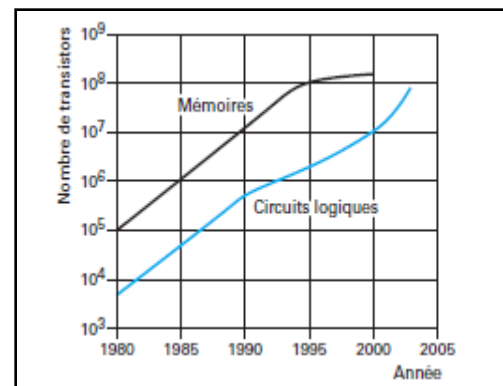


Figure 2: Evolution des circuits basés sur la mémoire et des circuits logiques.

2.3 Complexité:

L'augmentation du nombre de plots de sortie (connexions avec le monde extérieur: plages de contact métalliques, fils soudés reliés aux broches externes) d'un circuit intégré n'est pas proportionnelle à l'augmentation du nombre des transistors qu'il comporte. En effet, on devine intuitivement qu'en associant dans un même circuit intégré deux fonctions auparavant disjointes, on économisera toutes les interconnexions directes d'une fonction à l'autre : elles n'apparaîtront pas dans les liaisons, vers l'extérieur, du circuit intégré nouvellement constitué. Par exemple, pour les logiques dites structurées comme les mémoires, le doublement de la capacité n'entraîne l'adjonction que d'un seul fil d'adresse. De même, si on multiplie par deux la largeur du bus de données d'un microprocesseur, on ne rajoutera que quelques dizaines

de sorties supplémentaires au circuit intégré correspondant.

Par contre, les logiques moins structurées telles que celles réalisées par des circuits ASIC voient leur nombre de plots croître de façon plus importante, bien que toujours non proportionnellement à l'augmentation du nombre des portes logiques qu'elles comportent. La loi de Rent donne une approximation du nombre de plots correspondant à un nombre donné de portes présentes dans un circuit intégré. Cette loi est de la forme :

$$N_s = k (N_p)^L$$

avec N_s nombre de plots,

N_p nombre de portes,

k coefficient voisin de 3,

L coefficient voisin de 0,5.

À titre d'illustration, le microprocesseur de l'unité centrale d'un système DPS 7000 de Bull comportait, en 1987, 150 000 transistors et 316 plots de sorties. En 2002, un tel microprocesseur comportait 30 millions de transistors (200 fois plus) et 548 plots (à peine le double)^[3].

L'échelle d'intégration définit le nombre de portes par boîtier :

- SSI (small scale integration) petite : inférieur à 12
- MSI (medium) moyenne : 12 à 99
- LSI (large) grande : 100 à 9999
- VLSI (very large) très grande : 10 000 à 99999
- ULSI (ultra large) ultra grande : 100000 et plus

Ces distinctions ont peu à peu perdu de leur utilité avec la croissance exponentielle du nombre de portes. Aujourd'hui plusieurs centaines de millions de transistors (plusieurs dizaines de millions de portes) représentent un chiffre normal (pour un microprocesseur ou un circuit intégré graphique haut de gamme). Afin de parvenir à de tels niveaux d'intégrations, un flot de conception complexe est utilisé.

3. Packaging des circuits intégrés:

3.1 Définition:

Le packaging en électronique est l'art et la science d'établir les interconnexions et l'environnement permettant à des circuits à prédominance électronique de traiter ou de stocker de l'information.

Le packaging fait intervenir un certain nombre de compétences scientifiques et techniques parmi lesquelles :

- l'électronique, qui traite des caractéristiques électriques des assemblages, de façon à tirer la meilleur partie des performances des circuits intégrés et des autres composants ;
- la science des matériaux (métalliques, céramiques, organiques), les techniques d'assemblage, la thermique et les simulations ;
- la mécanique, qui traite des machines d'assemblage, des tolérances dimensionnelles des composants, des problèmes de mesures, des outillages de fabrication ;
- la statistique, qui permet d'analyser les procédures de fabrication et de prédire la fiabilité des produits fabriqués.

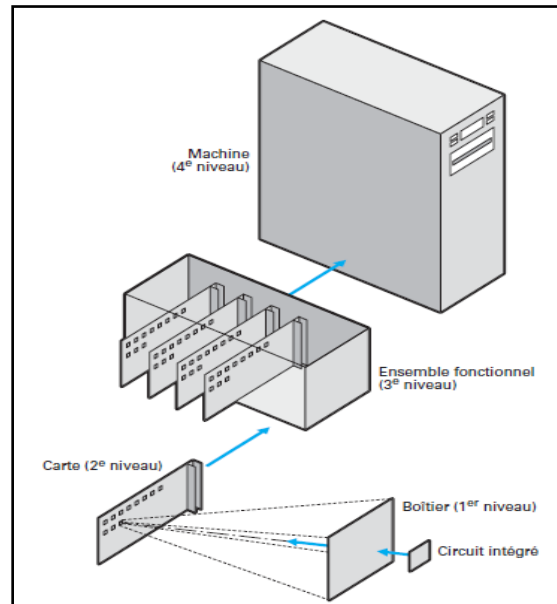


Figure 3: Niveaux de packaging.

3.2 Niveau de Packaging:

L'usage distingue plusieurs niveaux de packaging dans un ensemble électronique ; le modèle le plus complet est celui que l'on trouve sur les systèmes informatiques de moyenne et forte puissance, comme l'illustre la figure 3.

Dans ce modèle, on trouve d'abord des circuits intégrés " puces ". La liaison du circuit intégré à son boîtier constitue le packaging premier niveau ; c'est là que sont réalisées les premières interconnexions électriques permettant d'accéder aux fonctions matérialisées dans ce circuit

intégré ;Le packaging deuxième niveau consiste à relier le(s) boîtier(s) à une carte (circuit imprimé, le plus souvent). Cette carte peut comporter d'autres composants nécessaires à son fonctionnement tels que connecteurs, condensateurs, voyants.

Le troisième niveau permet de constituer un ensemble fonctionnel autonome ; il est traditionnellement construit autour d'un « fond de panier » recevant plusieurs cartes et pouvant posséder certaines fonctions collectives (alimentation, ventilation).

A la fin, le packaging quatrième niveau comporte la cabinnerie et toutes les liaisons de l'équipement vers l'extérieur. Qualifié parfois de macro-packaging, il réalise une machine électronique complète.

C'est ce niveau qui sera visible par l'utilisateur final.

Dans des équipements électroniques autres que les gros systèmes informatiques, certains niveaux peuvent être absents, c'est le cas, par exemple, de l'informatique personnelle portable où le micro-ordinateur est constitué d'une seule carte recevant tous les composants.

Enfin l'importance de Packaging se traduit par la préservation des caractéristiques électroniques ainsi que la vitesse de propagation, la perte sur les lignes des signaux électriques qui se propagent d'un circuit intégré à un autre, en transitant à travers les différents niveaux de packaging.

La conception d'un boîtier, d'un module ou d'une carte ne s'arrête pas au tracé des liaisons : le dimensionnement des interconnexions doit aussi prendre en compte le comportement électrique de ces liaisons.

4. Techniques et technologie des circuits imprimés:

4.1 Introduction:

Un circuit imprimé (le sigle PCB de l'expression en anglais « Printed Circuit Board » est également utilisé) est un support, en général une plaque (figure 4), permettant de relier électriquement un ensemble de composants électroniques entre eux, dans le but de réaliser un circuit électronique complexe. On le désigne aussi par le terme de carte électronique. Le circuit

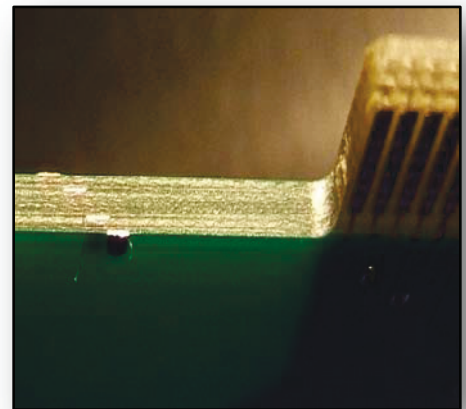


Figure 4: Circuit imprimé à plusieurs couches.

imprimé, considéré comme un composant au même titre que les circuits intégrés, résistances, capacités ou autres, est constitué d'un support appelé substrat, généralement composé de tissus de verre, sur lequel sont gravées de fines pistes de cuivre, dont la fonction est de relier les différentes sorties des composants électroniques qui sont fixés sur celui-ci par soudure ou par insertion à force. Il peut être simple face, biface ou multicouches, selon le nombre de couches de cuivre qu'il possède. Les pistes situées à l'intérieur d'un circuit multicouches sont alors « remontées » à la surface par l'intermédiaire de trous dont la paroi est métallisée par un dépôt de cuivre, ceci afin d'assurer la conduction électrique^[4].

La nécessité de réduire les volumes et les poids des équipements électroniques a conduit les fabricants de circuits PCB finis ainsi que leur sous-traitants à s'adapter à de nouvelles technologies.

L'utilisation de boîtiers CMS, notamment sous leur forme céramique, introduit de fortes contraintes aux niveaux mécaniques et électriques. En effet un CMS ne nécessite pas de trou d'insertion et permet donc d'équiper les deux faces du circuit imprimé. La réduction de la taille des boîtiers permet souvent de diminuer de 30% l'encombrement d'une même fonction électronique.

Tous ces facteurs conduisent à une nette augmentation des densités d'interconnexion et donc à bien préparer l'aspect évacuation thermique du circuit en fonctionnement.

4.2 Support d'interconnexion:

Un support d'interconnexion est un ensemble de lignes conductrices isolées matérialisant un schéma de liaisons électriques entre éléments électroniques au sein d'un même sous ensemble. En règle générale, le support d'interconnexion a aussi un rôle de maintien purement mécanique de ces éléments électroniques.

Le circuit imprimé est l'exemple le plus courant de support d'interconnexion, mais le boîtier dans lequel est encapsulé un circuit intégré est lui aussi un support d'interconnexion ; il en est de même d'un circuit souple simple face reliant deux cartes.

Les dimensions des composants à monter, le nombre de connexions à fournir, les caractéristiques électroniques (courant à porter, fréquence... etc.), l'espace prévu pour le circuit dans le système et la déformation exigée sont les principaux éléments qui déterminent le type de circuit à choisir.

Les types de circuits que l'on retrouve sont :

circuits souples simple face, double face, multicouches, rigidifiés et souple-rigides.

Les structures souples simple face, double face et multicouches sont comparables à leur équivalents rigides.

La structure souple rigidifiée se compose d'un circuit souple (simple ou double face) collé sur un support rigide. Dans ce cas, le rôle de la couche rigide est de fixer le circuit dans le système, de porter les composants lourds ou de fonctionner comme drain thermique. Dans certains cas, le circuit souple peut être collé sur le couvercle de la boîte qui abrite le système.

La structure souple-rigide est une structure multicouches dont certaines couches sont réalisées en matière souple et qui contient évidemment des zones sans couches rigides. Dans les cas complexes, la partie rigide porte des pistes en plusieurs couches. Des trous métallisés connectent les pistes sur les différents plans de la multicouches.

4.3 Supports d'interconnexion organiques:

Leurs lignes conductrices sont généralement en cuivre, tandis que leur isolant peut-être : du verre-époxyde(Figure5), c'est-à-dire un tissage de fibres de verre noyé dans une résine époxyde ; ou un matériau non tramé (ainsi que le Téflon), polyimide (par exemple, du Kapton), qui seront préférés pour leur souplesse ou leur résistance à la chaleur.

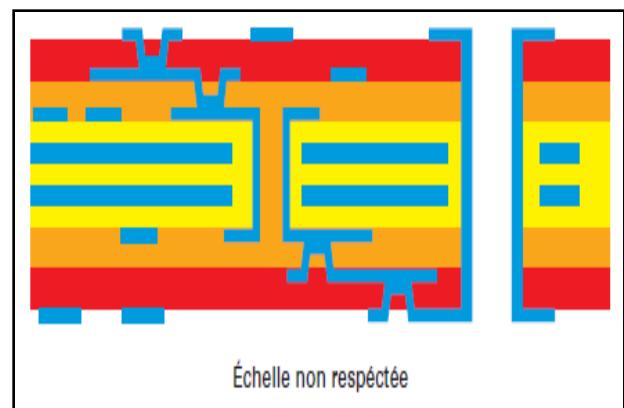


Figure 5: Schéma d'un circuit imprimé en verre-époxyde

4.4 Supports d'interconnexion céramiques:

Les procédés de fabrication des supports d'interconnexion céramiques sont totalement différents de ceux des supports d'interconnexion organiques.

Les lignes conductrices sont réalisées par sérigraphie, qui consiste à imprimer une encre à travers un « pochoir ». Il s'agit d'un pochoir particulièrement sophistiqué, puisque sa précision conditionne la finesse des lignes conductrices. Cette encre conductrice est elle aussi très particulière : elle est constituée de poudre de métal (diamètre typique du grain : 10 μm) enrobée dans une phase organique. Pour que cette encre, une fois imprimée sur un support, devienne un conducteur métallique, il faut la chauffer un peu au-dessous du point de fusion du métal. Les grains métalliques se rassembleront alors par frittage, après que la phase organique se sera évaporée.

Quant au support sur lequel on imprime cette encre, il s'agit bien sûr de l'isolant qui séparera les différents niveaux conducteurs. Plusieurs procédés d'élaboration des supports d'interconnexion céramiques sont disponibles selon la mise en œuvre de cet isolant.

-Multicuisson

Dans ce cas, chaque niveau isolant est lui aussi déposé par sérigraphie. L'encre utilisée est comparable à celle des conducteurs, mais sa phase solide est constituée de grains de céramique (alumine) et de verre. Chaque niveau isolant doit, lui aussi, être porté à haute température pour assurer le départ de la phase organique, et le frittage des grains de céramique. Il va de soi que des trous doivent être ménagés à travers les niveaux isolants successifs pour pouvoir interconnecter les niveaux conducteurs successifs. Ces trous seront à remplir d'encre conductrice, laquelle devra aussi subir un cycle thermique de frittage.

Il en résulte un procédé de fabrication assez lourd : sérigraphie du premier niveau conducteur sur un support rigide (en général une plaquette d'alumine brute), cuisson, sérigraphie du premier niveau isolant, cuisson, sérigraphie de conducteur dans les trous d'interconnexion, cuisson, sérigraphie du deuxième niveau conducteur, cuisson, et ainsi de suite.

Les conducteurs sont en métaux nobles (or, argent, palladium) ou en cuivre. Le cycle de frittage de chaque niveau sérigraphié dure environ une heure, à une température inférieure à 1 000 °C.

- Co-cuisson

Dans ce cas, le niveau isolant est une feuille souple, manipulable, constituée elle aussi d'une fraction organique (résines) et de grains de céramique (alumine). Chaque feuille souple est percée mécaniquement ; c'est sur elle que l'on sérigraphie l'encre conductrice (en général, à base de tungstène). L'ensemble des feuilles souples est alors empilé, et subit un cycle de cuisson de quelques dizaines d'heures, jusqu'à environ 1 500 °C.

La co-cuisson est un procédé hautement technique, puisque toute la fraction organique de toutes les couches doit être évaporée durant le même cycle de cuisson, et l'ensemble de ces couches va subir conjointement le phénomène de frittage, pour obtenir enfin un multicouche, céramique et conducteur, solide. De plus, durant le frittage, l'ensemble du multicouche réduit d'environ 17 % dans toutes ses dimensions, chaque ligne conductrice devant, pour autant, conserver sa continuité, et son isolement d'avec les lignes voisines.

4.5 Fabrication:

Le circuit imprimé est fait à partir de résine époxy ou de fibre de verre, doublée d'une fine couche de cuivre d'un ou des deux côtés pour éviter l'échange électrostatique.

La couche de vernis protégeant le cuivre est insolée, par transfert photographique du dessin du cuivre à travers un typon avec une insoleuse.

Le vernis ayant été exposé aux UV est éliminé avec un révélateur composé d'une solution oxalique d'hydroxyde de sodium. Les zones de cuivre mises à nu sont alors attaquées chimiquement permettant ainsi la fabrication de circuits électriques à la demande.

L'attaque chimique du cuivre peut être réalisée par du chlorure de fer liquide et chaud, ou un mélange de chlorure de cuivre, d'acide chlorhydrique et d'eau oxygénée (ce qui a l'avantage de

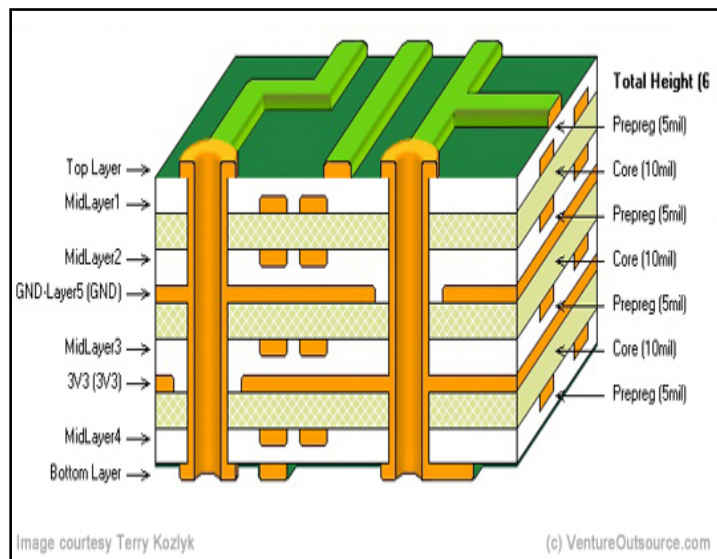


Figure 6: circuit imprimé complexe multicouche.

recycler le cuivre ayant réagi, alors sous forme de chlorure de cuivre, en tant que réactif pour une gravure suivante).

Le cuivre restant sur le support époxy est alors débarrassé de son vernis protecteur photosensible et étamé soit par une solution d'étain à froid dans un bain soit à chaud dans une étameuse. Ce film d'étain permet d'assurer une protection du cuivre et une meilleure adhésion des soudures.

Après perçage des trous de passage, il permet d'implanter par brasure (communément appelée soudure à l'étain) les composants électroniques (diodes, résistances, condensateurs transistors, circuits intégrés,... etc.).

Le type de circuit imprimé fabriqué de cette manière peut être simple face ou double face (cuivre des deux côtés) en fonction du support initial.

Les liaisons entre les pistes des différentes couches et les composants sont assurées par de minuscules rivets conducteurs ou maintenant par des trous métallisés (dépôt de cuivre chimique, puis électrolytique car le bain de cuivre chimique ne permet pas un dépôt suffisamment épais) appelés vias.

Avec l'apparition des technologies liées à l'informatique des circuits de plus en plus complexes ont vu le jour. Les circuits imprimés ont vu le nombre de leurs couches se multiplier, pouvant atteindre jusqu'à 30 couches pour des applications très complexes et où le coût peut être considéré comme secondaire. Dans une carte mère de micro-ordinateur par exemple, les couches sont au nombre de six (Figure 7 représente un exemple de PCB à 4 couches). Une couche est réservée à la masse ou alimentation 0 V, une à l'alimentation 5 V, les autres sont distribuées en fonction des besoins.

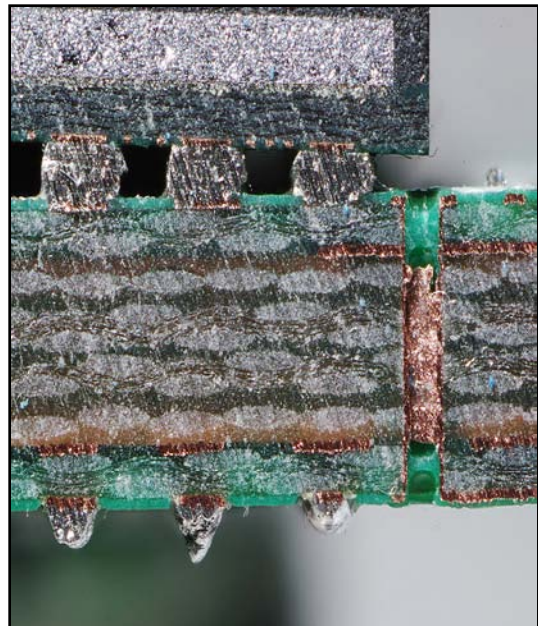


Figure 7: Coupe d'un circuit imprimé à 4 couches.

La technique de réalisation de ces circuits multicouches est similaire à celle des circuits simple ou double face (insolation, développement, attaque chimique du cuivre, puis nettoyage de celui-ci). Les couches ainsi obtenues sont collées entre elles sous haute pression.

4.6 Boîtiers des circuits intégrés et soudage:

4.6.1 Filières des circuits à trous traversant:

Les circuits à trous traversant sont inséré d'une seule face à travers des trous métalliques en cuivre dont il seront soudés de l'autre face exactement comme l'indique la figure 8 ci-contre, ce type de circuit possède une densité très limité par rapport aux autres technique d'assemblages, la taille étant importante rend la carte électronique qui utilise ce type non fiable, non organisé, consomme de l'énergie,... etc. Mais au niveau de la maintenance la détection des CI (circuit intégré) à trous traversant détériorés est beaucoup plus simple parce que les mesures de la tension, les courts circuits et les formes sont plus détectables et réparables.

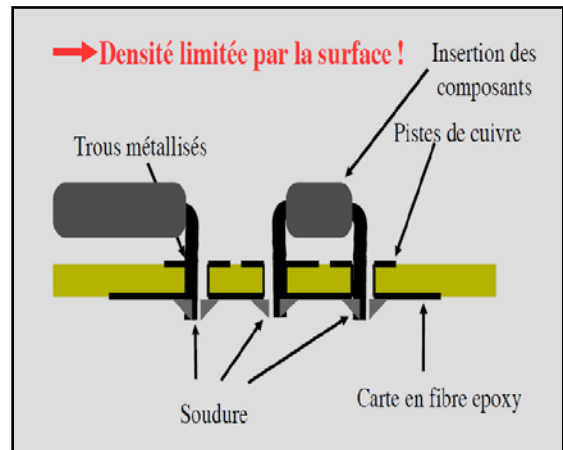


Figure 8: Les techniques de circuit imprimés à trous traversant.

4.6.2 Filières des circuits Montés en Surface (CMS ou SMD en anglais):

L'intégration de plus en plus poussée dans la production électronique a conduit au développement de nouveaux procédés de fabrication . Aujourd'hui la technologie CMS est implanté dans 60% de la production électronique.

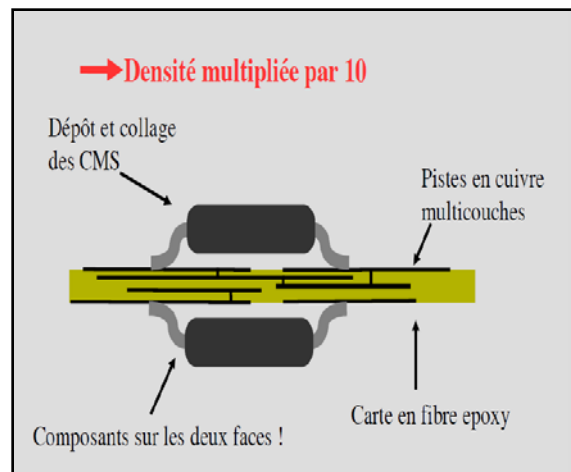


Figure 9: Les techniques des circuits montés en surface.

La caractéristique principale des CMS (figure 9) réside dans le fait qu'il ne possèdent pas de broches de connexion traversant les cartes, mais de pattes horizontales qui seront soudés directement sur la surface du circuit imprimé à l'aide d'une station de soudage à air chaud à une température arrivant jusqu' à 480 °C . De plus leur taille est très petite permet une utilisation accrue dans un très grand nombre de domaines et en plus la densité est multipliée par dix par rapport aux CI à trous traversant.

Leur utilisation dans un domaine industriel devient désormais quasi systématique et donc le technicien électronicien sera tôt ou tard confronté à eux, soit dans une phase de conception et de mise en production ou bien en maintenance^[5].

Tableau 1: Evolution des composants CMS.

Nbre de composants en milliards d'unités			
Composants	1995	2000	2005
Traversants	21.3	16.6	11.6
CMS	25.9	53.8	71.8

Les CMS sont nés au début des années 80 et ne cessent de prendre une place croissante au détriment des composants traditionnels comme l'indique le tableau ci-dessus.

4.6.2.1 Les avantages des CMS:

Les avantages des CMS sont de plusieurs ordres : mécaniques, électriques, fabrication, coût.

a) Les avantages mécaniques:

- Réduction du volume des composants.
- Réduction de la surface du circuit imprimé.
- Gain de poids de l'ensemble carte et composants.
- Densité d'intégration des composants plus grande.

Donc la réduction de poids rend les cartes moins sensibles aux vibrations, elles peuvent donc être placées dans un environnement plus complexe.

b) Les avantages électriques:

- Réduction des effets parasites : les distances entre les composants sont plus courtes, réduisant ainsi les effets de capacités et self-inductances, et les temps de réponses des signaux sont améliorés.
- Fiabilité plus grande : du fait de l'absence de trous de connexion, les interfaces mécaniques sont réduites en minimisant ainsi les risques de faux contacts.

c) Les avantages liés à la fabrication:

- Préparation du circuit imprimé : l'absence de perçages sur le circuit imprimé conduit à un gain de temps très important.
- Les composants : le positionnement des composants est plus aisé du fait qu'il n'y ait pas d'insertion de pattes à travers le circuit imprimé (de plus, les opérations de pliage et de sectionnement sont supprimés).
- Le volume de stockage des composants est plus faible.

d) Les coûts des cartes CMS:

Le coût des composants est sensiblement le même, qu'ils soient en version implantés ou en version de surface. Par contre, la réduction de la surface du circuit imprimé et la suppression des perçages conduit à une baisse de coût globale comprise entre 50 % et 60 %^[6].

4.6.3 MCM (Multi Chip Modules):

Les performances d'un assemblage électronique sont parfois limitées par les constructions conventionnelles réalisées en montant des boîtiers sur des cartes. En effet, le volume résultant peut être estimé trop important pour des applications militaires ou spatiales ; ce volume peut aussi être à l'origine de liaisons électriques trop longues, pénalisant la performance électrique de l'ensemble concerné. Enfin, le poids peut être un facteur déterminant pour les équipements embarqués. Ces différentes motivations sont à l'origine de la filière d'assemblage MCM.

La caractéristique principale de cette filière d'assemblage est de supprimer le boîtier unitaire : plusieurs puces nues seront directement connectées à un support d'interconnexion commun.

Différents types de supports d'interconnexion peuvent être utilisés pour la réalisation de ces substrats selon le type d'application : céramique, organique, métallique, silicium.

Il va de soi que les supports d'interconnexion les plus denses sont souvent nécessaires, compte tenu du grand nombre de circuits intégrés qui peuvent être placés par unité de surface de tels assemblages.

4.6.3.1 Boîtier MCM de circuit intégré constitué :

a. D'une carte (16) de circuit imprimé PCB (pour "Printed Circuit Board") avec une surface supérieure et une surface inférieure ainsi qu'un bord entre ladite surface supérieure et ladite surface inférieure, et comportant une cavité formée dans la surface supérieure, ladite cavité ayant une surface de paroi latérale ainsi qu'une surface inférieure, et un réseau de premier site d'interconnexion de PCB sur le côté supérieur dudit PCB.

b. Un module à puces multiples MCM (pour "Multi Chip Module") constitué (figure 10) :

i. D'un substrat (14) d'interconnexion IS (pour "Interconnection Substrate") avec un côté supérieur et un côté inférieur ainsi qu'un bord périphérique entre ledit côté supérieur et ledit côté inférieur, ledit IS ayant un premier réseau de sites (15)

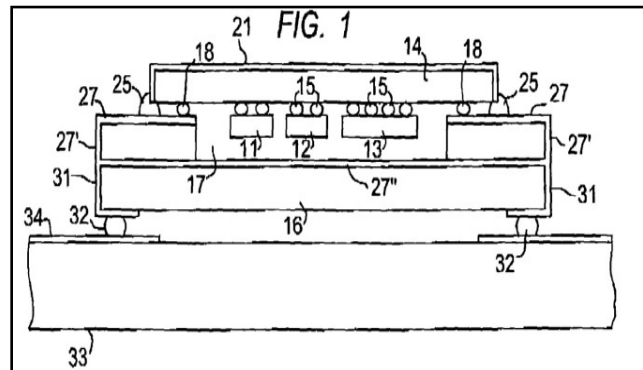


Figure 10: Forme structurale d'un circuit MCM.

d'interconnexion d'IS sur ledit côté inférieur et étant conçu pour une interconnexion vers une puce de circuit intégré.

ii. D'un deuxième réseau de sites (18) d'interconnexion d'IS sur le côté inférieur du substrat d'interconnexion, ledit deuxième réseau de sites d'interconnexion d'IS étant conçu pour une interconnexion avec ledit premier réseau de sites d'interconnexion de PCB.

iii. Et d'au moins une puce (13) de circuit intégré avec un réseau de sites d'interconnexion de puce de circuit intégré sur ladite puce de circuit intégré, ladite puce de circuit intégré étant une puce à protubérances reliée au côté inférieur dudit IS, ledit réseau de sites d'interconnexion de puce étant relié audit premier réseau de sites d'interconnexion d'IS (pour Interconnection Substrate), ladite puce de circuit intégré se prolongeant à l'intérieur de ladite cavité.

Le boîtier MCM de circuit intégré, dans lequel ledit PCB est un PCB à niveaux multiples avec au moins deux niveaux de carte et une couche conductrice entre eux^[7].

4.6.3.2 Exemple d'un circuit MCM:

Un processeur reconfigurable unique intègre RAD Hard processeur AT697F et le ATF280F reconfigurable (FPGA) appareil dans un seul module multi puce Atmel (MCM) comme le montre la figure 11.

Le ATF697FF, conçu et développé par l'unité d'affaires Aéronautique Atmel à Rousset, en France, ajoute la flexibilité d'un FPGA reprogrammable pour la fiabilité d'un processeur puissant exécutant un logiciel d'application^[8].

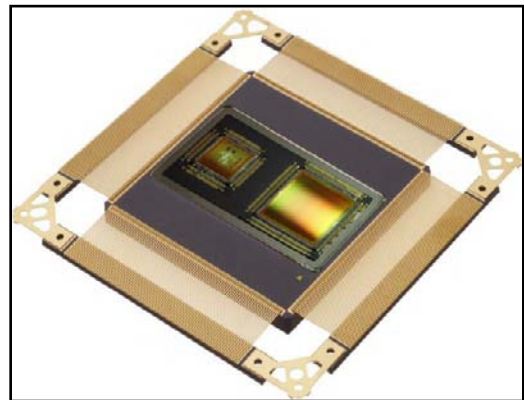


Figure 11: FPGA et processeur dans un seul même circuit MCM.

5.CAO :

5.1 Définition:

La conception assistée par ordinateur (CAO) comprend l'ensemble des logiciels et des techniques de modélisation géométrique permettant de concevoir, de tester virtuellement à l'aide d'un ordinateur et des techniques de simulation numérique et de réaliser des produits manufacturés et les outils pour les fabriquer.

La CAO électronique (pour Conception assistée par ordinateur électronique), nommée également en anglais EDA (pour Electronic design automation), est la catégorie des outils servant à la conception et la production des systèmes électroniques allant des circuits imprimés simple jusqu'aux circuits intégrés complexes.

5.2 Historique:

La conception assistée par ordinateur est née aux États-Unis aux environs de 1950 au moment où la General Motors et le Massachusetts Institute of Technology ont imaginé de converser avec un ordinateur par d'autres méthodes que la carte perforée, le ruban magnétique et le ruban perforé. En 1960, après un projet très élaboré, General Motors et IBM ont groupé leurs efforts pour mettre sur pied le premier écran graphique et ont abouti au projet nommé DAC 1 (Design Augmented by Computer).

Pour la première fois, un dessinateur en carrosserie pouvait communiquer avec un ordinateur en utilisant son propre langage : le dessin. L'utilisation de ce matériel faisait appel à une équipe de trente personnes comprenant des ingénieurs mathématiciens, des spécialistes en programmation, des spécialistes en définition de pièces de carrosserie et des spécialistes en commande numérique.

Cette équipe mettait en place la logique, la théorie mathématique et la méthode d'utilisation, afin d'élaborer un système intégrant l'ensemble des opérations depuis la conception jusqu'à la matérialisation tridimensionnelle. L'idée était de passer directement du croquis et des sections de principe du concepteur à la définition numérique sans réaliser le tracé précis de la pièce employé jusque là en étude de carrosserie.

5.3 Introduction dans le processus de conception:

Afin d'examiner comment les bureaux d'études peuvent bénéficier des possibilités offertes par les systèmes CAO, il est nécessaire de connaître les problèmes relatifs aux calculs divers et les différentes tâches du travail de conception

5.3.1 Analyse des tâches du projeteur:

En analysant dans le détail le travail du projeteur, on met en évidence des temps élémentaires de :

- a. Réflexion : recherche de l'idée ; le projeteur utilise son acquis technique et sa capacité de création à élaborer les grandes lignes du projet ; il doit souvent intégrer des notions très vastes de viabilité, d'encombrement, de résistance, de fiabilité en général, toujours accompagnées d'une touche d'innovation technologique.
- b. Calculs : de poids, de performances (mécaniques, électriques, etc.), de résistance de matériaux sur des éléments souvent complexes, tous ces calculs peuvent être faits en statique, en dynamique ou en fatigue, en restant dans le domaine élastique ou en s'étendant au domaine plastique (grandes déformations) ; ils peuvent s'appliquer sur une pièce isolément ou sur des assemblages.
- c. Consultation : de normes (y compris les normes d'entreprise), de catalogues divers, de fichiers de pièces existantes.
- d. Tracé : représentation souvent tridimensionnelle, c'est-à-dire avec au moins deux projections, d'éléments qui ne peuvent quelquefois être parfaitement définis pour une production ultérieure que si l'on utilise des courbes et surfaces paramétriques complexes. Souvent aussi, le projeteur est obligé de compléter le dessin des projections par le tracé de sections et de vues en perspective. Il ne faut pas perdre de vue que le dessin est pour le projeteur le seul moyen de vérifier la viabilité de son étude .
- e. Cotation et écritures diverses : des nomenclatures, références, spécifications et cartouches.
- f. Suivi de la réalisation des prototypes et des essais puis contacts divers avec les ateliers de production et les fournisseurs.

Mis à part le travail de réflexion et les négociations techniques avec les différents intervenants, toutes les autres tâches peuvent être plus ou moins automatisées par utilisation des systèmes informatiques. On peut ainsi optimiser le temps du projeteur en donnant une plus large part à son rôle prépondérant : la création et la prise en compte des technologies.

5.3.2 Méthode conventionnelle de travail dans un bureau d'études:

Le processus de conception est décomposé en trois phases plus ou moins bien marquées suivant les secteurs d'activité :

1. l'avant-projet : recherche de solutions .
2. le projet : choix et développement d'une solution.
3. l'étude définitive : industrialisation du projet.

où prédominent respectivement :

1. le croquis et le calcul.
2. le dessin en vue d'une première matérialisation prototype.
3. le dessin des plans définitifs et la validation.

L'ensemble de ces travaux se déroule suivant le schéma de la figure 12 .

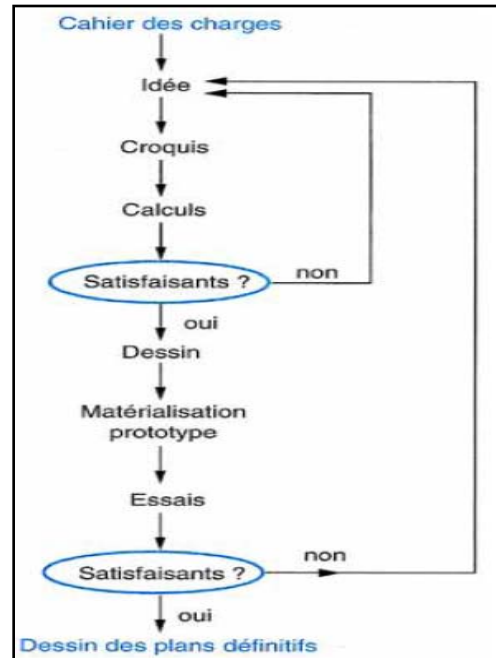


Figure 12: Méthode conventionnelle de travail dans un bureau d'études.

5.3.3 Tâches automatisables:

L'automatisation des tâches, dans un bureau d'études, comprend trois parties :

1. L'aide à la création, c'est-à-dire la conception rapide des formes imaginées par le projeteur, avec branchement possible sur des routines de calculs (confirmation du choix) .
2. L'aide à la matérialisation précise qui inclut le tracé des pièces, le tracé des sections, les vues en perspective, les loupes, la cotation, les annotations diverses et le dessin en fonction des éléments standards ou déjà créés.
3. L'aide à la gestion du poste du dessinateur : prise en compte des modifications, élaboration de la banque d'informations relative aux études et aux documentations diverses.

Chaque aspect de cette automatisation a sa solution informatique, mais il est difficile d'en traiter un sans penser aux autres. Il s'agit en vérité d'une refonte complète de la méthode de travail du dessinateur.

Il faut aussi garder présent à l'esprit que cette automatisation entraîne des répercussions sur les secteurs en aval des études et qu'elle ne peut être appliquée qu'avec de grandes précautions (apparitions de numérotation fonctionnelle, disparition de certaines cotes, nouvelles références à des éléments en catalogue,... etc.).

5.3.4 Conception de circuits électroniques:

L'électronique a été le premier domaine d'application industrielle de la CAO.

Suivant un rapport d'IBM, sa part du marché mondial continuera à progresser de 5 points entre 1983 et 1988 pour atteindre 30 % du total qui est estimé à 11 milliards de \$.

La CAO électronique couvre de nombreuses applications que l'on peut ranger en deux grands domaines :

1. La conception d'ensembles électroniques comprenant la schématique, la simulation et la conception des cartes imprimées : photo-tracé, perçage automatique des trous, insertion automatique des composants.

2. La conception des circuits intégrés avec la saisie du schéma de principe hiérarchisé, simulation de chacune des fonctions de base (représentée par un petit rectangle), intégration des fonctions en une filière technologie adaptée, puis nouvelle simulation après implantation de l'ensemble, enfin réalisation des masques par photo multiplication^[9].

6. Les différents types des testeurs des circuits intégrés:

Les testeurs des circuits intégrés sont limités par leur capacité de point de vue de nombre des composants intégrés limités qu'ils peuvent tester; ces tests sont indépendantes pour chaque circuit et chacun de ces tests est mémorisé dans le microcontrôleur pour qu'il sera réalisé par le numéro du circuit intégré à tester, ce qui indique la pauvreté et la gamme étroite de test.

Par exemple le testeur digital [10] de la figure 13 ci-contre est un testeur basé sur des tests qui sont déjà mémorisés dans la mémoire mais il pourra tester jusqu'à 1200 circuits intégrés comportant jusqu'à 40 broches de différentes familles: 54/74/75, CMOS CI,... etc. Mais ce produit important est toujours limité par un certain nombre de circuits qu'il est capable de tester avec toutes ces technologies de conception; par contre l'idée de



Figure 13: Testeur digital 575A par BK precision.

conception du testeur prototype "TCC" de mon projet est basé sur le pouvoir d'assigner n'importe quelle commande sur n'importe quelle broche du circuit sous test selon la structure interne du circuit et sa fiche technique; de ce point de vue les types et le nombre des tests qui peuvent être réalisés sont limités par l'utilisateur de "TCC" et non pas par le système de test.

7. Conclusion:

Dans cette partie on a bien parlé des techniques de circuits imprimés, circuits intégrés, leurs structures, leurs caractéristiques, les supports d'interconnexion, leurs types, leurs soudages, leur technologie de conception et de la CAO.

Le circuit testeur CMS à concevoir va tester des circuits CMS qui sont soudés sur les microcartes mères des ordinateurs portables dont leur carte est un circuit imprimé de six couches au moins.

En appliquant le principe de CAO nous allons concevoir dans ce projet à l'aide de VHDL en utilisant un FPGA un système qui pourra tester les circuits intégrés pour en avoir une meilleure méthodologie de travail, de conception, de production et de test.

En principe les cartes mères des ordinateurs portables utilisent des circuits intégrés CMS dont ils comportent des MOSFETs, des circuits logiques, des régulateurs de tension et des chargeurs de contrôleurs CMS assez sophistiqués.

Chapitre 2: Technologie d'un FPGA et méthode de conception le VHDL.

1.Introduction:

Les **FPGA**, sigle anglais qui signifie « **F**ield **P**rogrammable **G**ates **A**rrays » traduit en français par réseau de portes programmables, sont des circuits intégrés reprogrammables. Ils offrent la possibilité de réaliser des fonctions numériques plus ou moins complexes.

Cet FPGA est contrôlé, guidé, décrit par un langage de HDL.

L'abréviation **VHDL** signifie **VHSIC Hardware Description Language** (**VHSIC** : **V**ery **H**igh **S**peed **I**ntegrated **C**ircuit). Ce langage a été écrit dans les années 70 pour réaliser la simulation de circuits électroniques.

Auparavant pour décrire le fonctionnement d'un circuit électronique programmable les techniciens et les ingénieurs utilisaient des langages de bas niveau (ABEL, PALASM, ORCAD/PLD,..) ou plus simplement un outil de saisie de schémas.

Actuellement la densité de fonctions logiques (portes et bascules) intégrée dans les PLDs est telle (plusieurs milliers de portes voire millions de portes) qu'il n'est plus possible d'utiliser les outils d'hier pour développer les circuits d'aujourd'hui.

Les sociétés de développement et les ingénieurs ont voulu s'affranchir des contraintes technologiques des circuits. Ils ont donc créé des langages dits de haut niveau à savoir VHDL et VERILOG.

Ils permettent au code écrit d'être portable, c'est à dire qu'une description écrite pour un circuit peut être facilement utilisée pour un autre circuit.

Il faut avoir à l'esprit que ces langages dits de haut niveau permettent de matérialiser les structures électroniques d'un circuit.

En effet les instructions écrites dans ces langages se traduisent par une configuration logique de portes et de bascules qui est intégrée à l'intérieur de ces circuits. C'est pour cela que je préfère parler de description VHDL ou VERILOG que de langage.

2. FPGA:

2.1 Généralités:

Les FPGAs utilisent un grand nombre des modules logiques, les interconnexion entre ces modules ne sont pas centralisées comme des autres circuits programmables logiques. La physionomie du réseau de routage peut être vue comme une multitude de segments métalliques (figure 15 de la physionomie) continus pouvant être reliés entre eux ou connectés en entrée ou en sortie des blocs logiques. Il existe donc plusieurs chemins possibles pour relier deux blocs logiques. Les caractéristiques des technologie d'interconnexion employées dans ce type de composant (SRAM ou anti fuse) sont à considérer pour comprendre les problèmes inhérents au routage . Chaque interconnexion réalisée crée, sur la ligne formée de plusieurs segments, une résistance série supplémentaire non négligeable. Associée à la capacité du système d'interconnexion, générée par les connexions aux modules, elle engendre un délais limitant la vitesse du fonctionnement. Dans une première approche, on peut considérer que plus la distance entre deux blocs logique est grande, plus le nombre de segments et donc d'interconnexion nécessaire est important, Il serait néanmoins faux de dire que la distance est directement responsable du délais. Le réseau d'interconnexion est généralement constitué de segment métallique de longueurs différentes (Figure 14) . Ainsi, si certain segments ont une longueur correspondante à la taille d'un bloc logique, d'autre parcourt de part en part la largeur et la hauteur du circuit et permettent de relier efficacement deux modules éloignés. Suivant la technologie les ressources d'interconnexion sont plus ou moins diversifiées. Des réseaux spécifiques globaux

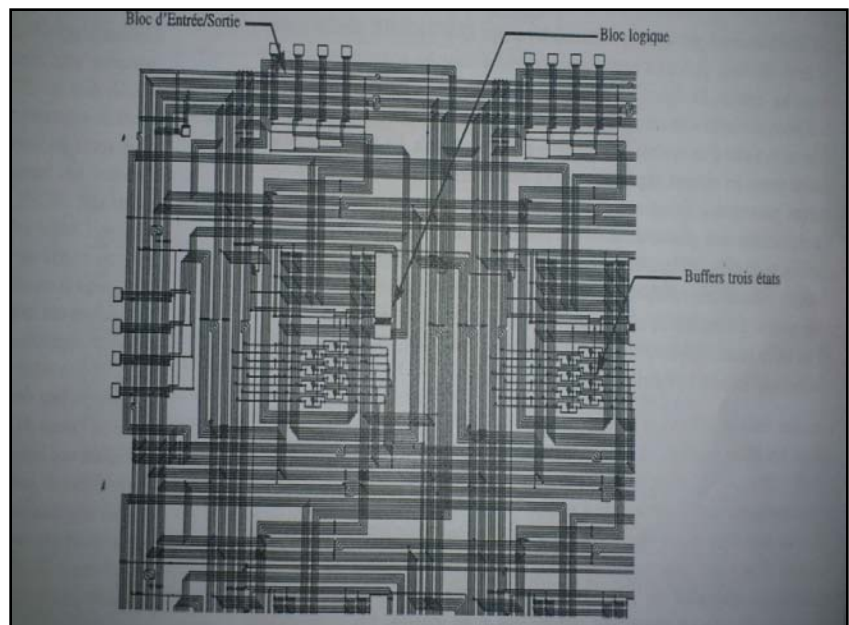


Figure 14: Vue partielle d'un FPGA.

composés uniquement de segments métalliques longs sont dédiés aux horloges et permettent d'obtenir un skew pratiquement nul du signal d'horloge au niveau de chaque module logique. Cette caractéristique est indispensable à la réalisation de systèmes synchrones^[11].

Donc les FPGAs, comme l'illustre la figure 15 ci-contre, sont constitués d'une matrice de blocs logiques programmable de différents types, constitué en général des blocs logiques, des mémoires et des multiplicateurs, entouré par un automate programmable routage tissu qui permet aux blocs programmables logiques d'interconnectés entre eux. La matrice est entourée des entrées et des sorties programmables, marquée par I/O sur la (figure 15), qui relie la puce à l'extérieur. Le «programmable» du FPGA indique une possibilité de programmer une fonction dans

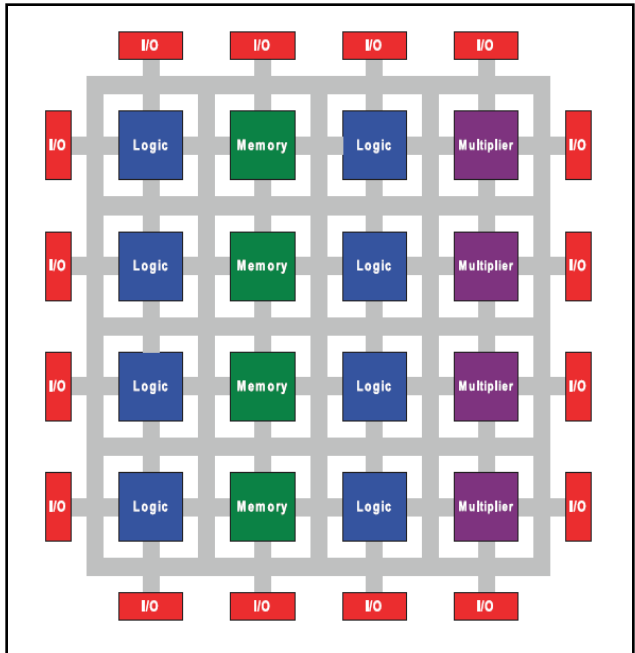


Figure 15: Physionomie et structure d'un FPGA.

la puce de silicium après la fabrication est terminée. Cette personnalisation est rendue possible par la technologie de programmation, qui est une méthode qui peut provoquer un changement dans le comportement de la préfabriqué puce après la fabrication, dans le champ «field» , où les utilisateurs du système peuvent créer des modèles de conception par exemple tout en utilisant une méthode de conception ainsi que les langages de description: le Verilog ou le VHDL^[12] .

2.2 FPGA Cyclone II:

Suite à l'immense succès de la première génération de la famille Cyclone, Altera Cyclone II a amélioré la densité du FPGA Cyclone avec un faible coût ayant une gamme de 68416 éléments logiques (LE) et peut posséder jusqu'à 622 Entrée / Sortie broches utilisables et jusqu'à 1,1 Mbits de mémoire embarquée. Le Cyclone II FPGA sont fabriqués sur des tranches de 300 mm à l'aide du TSMC 90-nm (*Taiwan Semiconductor Manufacturing Company*) est la plus

importante fonderie de semi-conducteurs indépendante. Son siège social est situé à Hsinchu, à Taïwan) diélectrique traité pour assurer une disponibilité rapide à faible coût. En minimisant la région silicium, les circuits Cyclone peuvent supporter des systèmes numériques complexes sur une seule puce à un coût qui rivalise celle des ASICs. Contrairement à d'autres fabricants des FPGAs qui compromettent entre la consommation d'énergie et la performance à faible coût, Altera Cyclone II une des dernières générations des FPGAs à faible coût, offre 60% de rendement en plus et la moitié de la consommation d'énergie d'un FPGA 90-nm concurrent. La fonction de coût bas et l'optimisation des FPGAs Cyclone qui les rendent des solutions idéales pour tous domaines ainsi la communications, le traitement vidéo, les systèmes de test et de mesure.

2.2.1 Description fonctionnelle de l'architecture d'un FPGA Cyclone II:

Cyclone II est un FPGA dont l'architecture est formée des rangées et des colonnes à deux dimensions pour pouvoir concevoir une logique personnalisée. Une colonne et une ligne s'interconnectent avec des vitesses variables dans le but de fournir un signal d'interconnexion entre les blocs de la matrice logiques (LAB: Logic Array Blocks), des blocs de mémoire embarqués, et les multiplicateurs embarqués comme l'indique la figure 16 ci-contre.

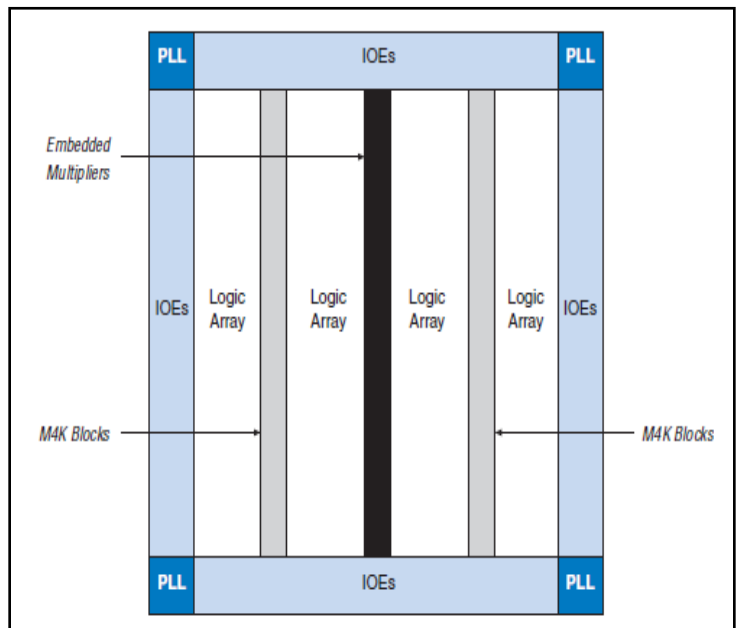


Figure 16: Le bloc diagramme d'un FPGA Cyclone II.

a.LAB:

Le réseau logique se compose d'un ensemble de LAB, avec 16 éléments logiques (LE) dans chaque LAB. Un LE est une petite unité logique qui fournit une efficacité dans l'implémentation des fonctions logiques de l'utilisateur. Les LABs sont regroupés en rangées et en colonnes dans

le circuit Cyclone II et leur densité varient de 4608 jusqu'à 68416 LEs selon le type du circuit Cyclone II.

b.PLL:

Les boucles à verrouillage de phase (PLL :Phase Locked Loops) d'un Cyclone II fournit une capacité de synthétiser une horloge principale qui permet la génération de plusieurs horloges internes qui fonctionnent à différentes fréquences issue de l'horloge d'entrée. Chaque PLL peut fournir jusqu'à trois sorties d'horloge pouvant fonctionner à des fréquences différentes. Le PLL est un système qui permet de synchroniser la phase instantanée de deux signaux.

c.M4K:

Les blocs de mémoire M4K sont de véritables blocs de mémoire à double port avec des bits de la mémoire de 4K bits arrivant jusqu'à 4608 bits. Ces blocs fournissent un véritable double accès, une simple mémoire à double accès, ou une mémoire à port unique jusqu'à 36-bits limités jusqu'à la fréquence 260 MHz. Ces blocs sont disposés en colonnes à travers le dispositif entre certains LAB. Cyclone II offre une mémoire embarquée entre 119 à 1152 Kbits.

d. Bloc multiplicateur:

Chaque bloc multiplicateur embarqués peut être implémenté jusqu'à 2 multiplicateurs de 9×9 -bits chacun, ou un multiplicateur de 18×18 -bits avec un maximum de 250 MHz de performance. Ces multiplicateurs embarqués sont disposés en colonnes dans le dispositif.

e.IOE(Input/Output Elements):

Chaque dispositif Cyclone II comporte des broches I/O alimenté par un IOE situé à l'extrémité des rangées et des colonnes des LAB autour de la périphérie du dispositif^[13].

3.VHDL:

3.1 Introduction:

Le langage VHDL permet la description des aspects les plus importants d'un système matériel (hardware system), à savoir son comportement, sa structure et ses caractéristiques

temporelles. Par système matériel, on entend un système électronique arbitrairement complexe réalisé sous la forme d'un circuit intégré ou d'un ensemble de cartes.

Le comportement définit là où les fonctions que le système remplit (p. ex. le comportement d'un microprocesseur comporte, entre autres, des fonctions arithmétiques et logiques).

La structure définit l'organisation du système en une hiérarchie de composants (p. ex. un microprocesseur est constitué d'une unité de contrôle et d'une unité opérative; cette dernière est elle-même, entre autres, constituée d'un composant réalisant les opérations arithmétiques entières et d'un composant réalisant les opérations arithmétiques en virgule flottante).

Les caractéristiques temporelles définissent des contraintes sur le comportement du système (p. ex. les signaux d'un bus de données doivent être stables depuis un temps minimum donné par rapport à un flanc d'horloge pour qu'une opération d'écriture dans la mémoire soit valable).

Un modèle VHDL est exécutable, c.à.d. qu'il est possible de lui appliquer des stimuli (également décrits en VHDL) et d'observer l'évolution des signaux du modèle dans le temps par simulation. La définition du langage précise les règles d'évaluation de l'état d'un modèle.

Le langage VHDL est aussi utilisé pour la synthèse, par exemple pour dériver automatiquement un circuit à base de portes logique optimisé à partir d'une description au niveau RTL (Register-Transfer Level) ou algorithmique.

Histoire de VHDL:

- 1980 :Début du projet VHDL financé par le US.
- 1985 :Première version 7.2 publique.
- 1987 :Première version du standard IEEE Std 1076 en 1987.
- 1993 :Mise à jour du standard (IEEE Std 1076-1993).
- 2002 :Mise à jour du standard (IEEE Std 1076-2002).

le langage VHDL est un standard IEEE depuis 1987 sous la dénomination IEEE Std. 1076-1987 (VHDL-87). Il est sujet à révision tous les cinq ans. Une première révision, qui corrige certaines

incohérences de la version initiale et qui ajoute de nouvelles fonctionnalités, a eu lieu en 1994 (IEEE Std. 1076-1993 ou VHDL-93). La dernière révision est celle de 2002 (IEEE Std. 1076-2002 ou VHDL-2002) .

L'IEEE (Institute of Electrical and Electronics Engineers) est un organisme international qui définit entre autres des normes pour la conception et l'usage de systèmes électriques et électroniques.

3.2 Importance et évolution du VHDL:

Une entrée en langage HDL (hardware description language) sous-entend la description d'un circuit, ou d'un système, sous forme syntaxique. D'une manière générale, une entrée syntaxique peut être évaluée par le compilateur du langage à différents niveaux. Le niveau le plus proche du matériel serait la description des interconnexions entre les éléments de base du circuit. Le niveau le plus élevé serait une description comportementale du circuit. Le compilateur du langage prend alors les initiatives quant à la façon d'interpréter ce comportement et la réalisation concrète du design peut varier d'un compilateur à l'autre. Alors que des langages de description comme ABEL ont communément été utilisés pour décrire des composants de petite taille, l'apparition de composants programmables par l'utilisateur, à forte densité de portes et de structures différentes, a amené l'utilisation de langages plus élaborés permettant un niveau d'abstraction plus élevé. L'aspect comportemental de ces langages permet notamment d'obtenir un code source indépendant de la cible et donc de satisfaire aux critères de <<portabilité>>. Parmi ces types de langage, nous citerons Verilog et VHDL. Paradoxalement VHDL qui est un langage relativement ancien créé pour la modélisation, semble s'imposer aujourd'hui comme standard de description (destiné à la synthèse). Tous les constructeurs de composants programmables possèdent aujourd'hui des outils intégrant les ressources VHDL. Ce langage est aujourd'hui largement employé par les concepteurs. Pour ces différentes raisons, nous considérons VHDL comme un des maillons indispensables dans la chaîne de développement des composants programmables.

Aujourd'hui, la finalité de ce langage a bien changée puisque il est essentiellement utilisé à concevoir les circuits et à les modéliser, non plus dans un but de documentation, mais de simulation.

Il est difficiles de traduire certains termes anglophones sans engendrer d'ambigüité sur leur sens exact. Le mot <<description>> est souvent employé à propos de VHDL. Il convient de savoir exactement à quoi le rattacher. Lorsque ce langage est utilisé pour concevoir un circuit, nous dirons que l'on utilise VHDL comme langage de synthèse. La description peut être comportementale. Il est alors impossible, avant d'avoir réalisé effectivement le composant, c'est-à-dire avant d'avoir compilé le code source avec un outil spécifique au composant, de présager de sa future structure, même dans le cas d'une description entièrement structurelle, il n'est pas toujours possible de présager de ses performances temporelles. Dans le cas d'un FPGA par exemple, la notation de routage engendre des performances de vitesses non prédictibles^[14].

3.3 Synthèse logique pour une bonne conception:

Le schéma de la figure 17 représente un exemple d'implantation de descriptions VHDL. Lors de la phase de synthèse chaque bloc sera matérialisé par des portes et/ou des bascules. La

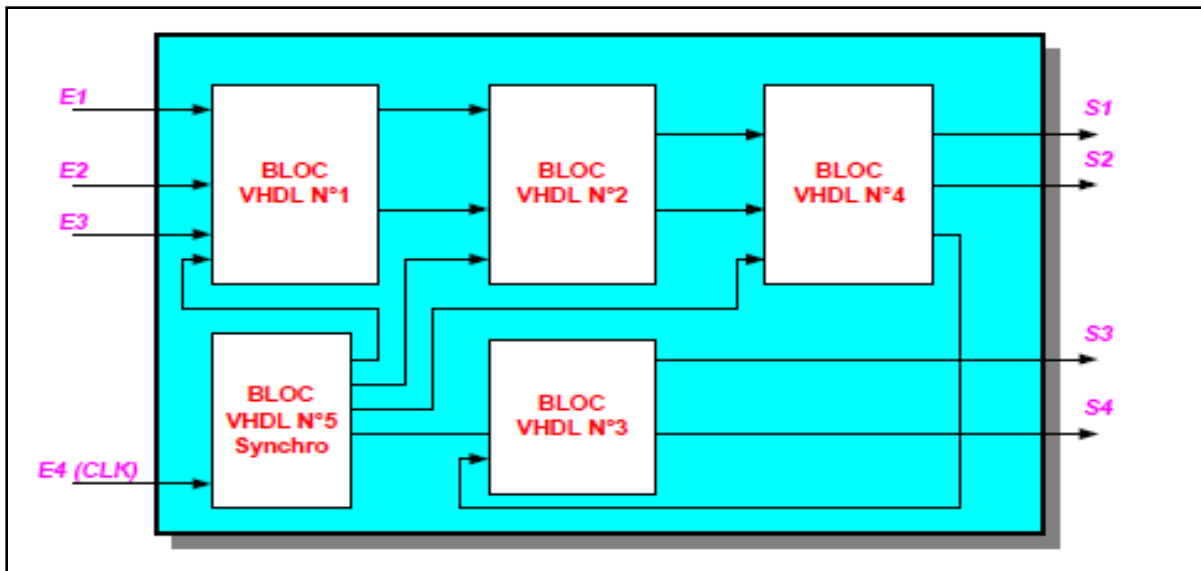


Figure 17: Schéma bloc d'un FPGA décrit par VHDL.

phase suivante sera d'implanter les portes et les bascules à l'intérieur du circuit logique.

Cette tâche sera réalisée par le logiciel placement/routage , au cours de laquelle les entrées et les sorties seront affectées à des numéros de broches.

On peut remarquer sur le schéma la fonction particulière du bloc VHDL N°5. En effet dans la description fonctionnelle d'un FPGA on a souvent besoin d'une fonction qui sert à cadencer le fonctionnement de l'ensemble, celle-ci est très souvent réalisée par une machine d'états synchronisée par une horloge.

L'affectation des broches d'entrées-sorties: c'est une affectation automatique qui dépend du synthétiseur du fabricant (« Fondateur » : Altera, Xilinx, Lattice, Cypress...») du circuit implanter la structure correspondant à la description VHDL. Les numéros de broches seront choisis de façon automatique.

Dans notre cas nous allons utiliser la programmation du FPGA à travers la technologie "USB blaster" avec deux types de programmation, on verra les détails dans le chapitre de la carte de développement DE2 par Altera.

3.4 Logique de conception:

La création du code source VHDL peut être faite au moyen d'un éditeur de texte (figure 18) ou d'outils graphiques permettant de décrire la structure du système à modéliser sous la forme de schémas ou de diagrammes de blocs et son comportement sous la forme de machines d'états, de chronogrammes ou de tables de vérité.

L'analyseur (ou compilateur) vérifie la syntaxe d'une description VHDL. Il permet la détection d'erreurs locales, qui ne concernent que de l'unité compilée. Plusieurs techniques d'analyse sont actuellement utilisées par les outils du marché. L'approche compilée

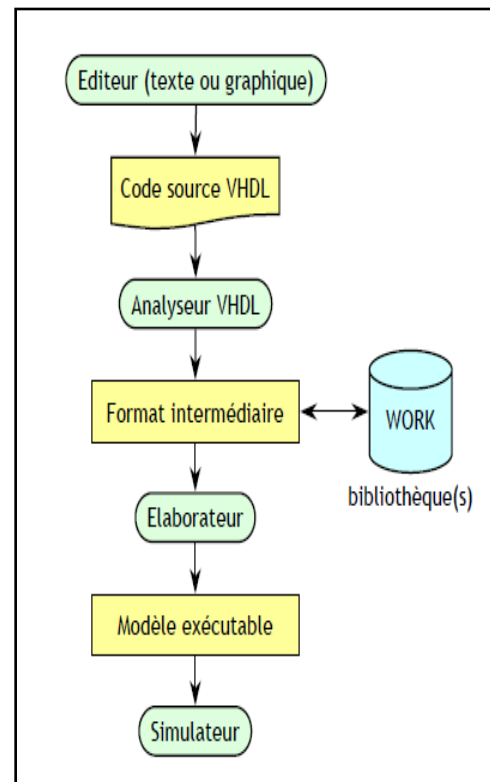


Figure 18: Utilisation du VHDL.

produit directement du code machine, ou, dans certains cas, du code C qui sera lui-même compilé. L'objet binaire est alors lié au code objet du simulateur. Cette approche réduit le temps de simulation au détriment du temps d'analyse. L'approche interprétée transforme le code source en un pseudo-code qui est interprété par le simulateur. Cette approche réduit le temps d'analyse au détriment du temps de simulation.

Chaque concepteur possède une bibliothèque de travail (*working library*) de nom logique WORK (le nom est standard) dans laquelle sont placés tous les modèles compilés. Le lien du nom logique avec l'emplacement physique de la bibliothèque dépend de l'outil de simulation ou de synthèse utilisé. Il est aussi possible de faire référence, en mode de lecture seule, à d'autres bibliothèques, des bibliothèques de ressources, contenant d'autres modèles ou des utilitaires. Plusieurs bibliothèques peuvent être actives simultanément. Chaque bibliothèque contient une collection de modèles mémorisés dans un format intermédiaire. Elle contient également un certain nombre de relations et d'attributs liant, si nécessaire, les différents modèles entre eux^[15].

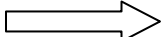
3.5 Déclaration des bibliothèques:

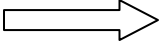
Toute description VHDL utilisée pour la synthèse a besoin de bibliothèques. L'IEEE les a normalisées et plus particulièrement la bibliothèque IEEE1164. Elles contiennent les définitions des types de signaux électroniques, des fonctions et sous programmes permettant de réaliser des opérations arithmétiques et logiques,...

Library ieee;

Use ieee.std_logic_1164.all;

Use ieee.numeric_std.all;

Use ieee.std_logic_unsigned.all;  utilisée pour l'écriture de compteurs.

Use ieee.std_logic_arith.all ;  utilisée pour les opérations de calculs (division, addition, soustraction et la multiplication).

La directive **Use** permet de sélectionner les bibliothèques à utiliser.

3.6 Les SENS du signal :

La figure 19 nous montre:

- in : pour un signal en entrée.
- out : pour un signal en sortie.
- inout : pour un signal en entrée sortie
- buffer : pour un signal en sortie mais utilisé comme entrée dans la description.

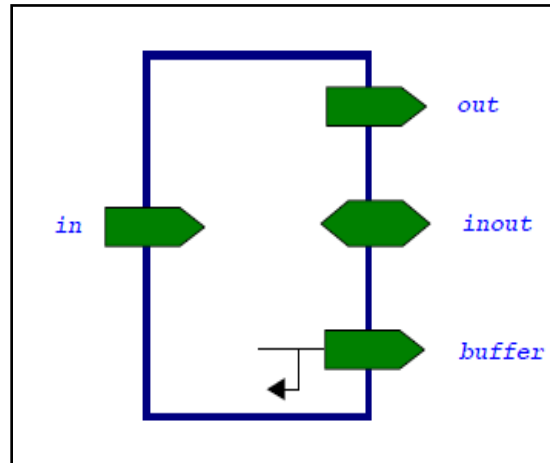


Figure 19: Les différents sens d'un signal.

3.7 Les types:

Le TYPE utilisé pour les signaux d'entrées / sorties est :

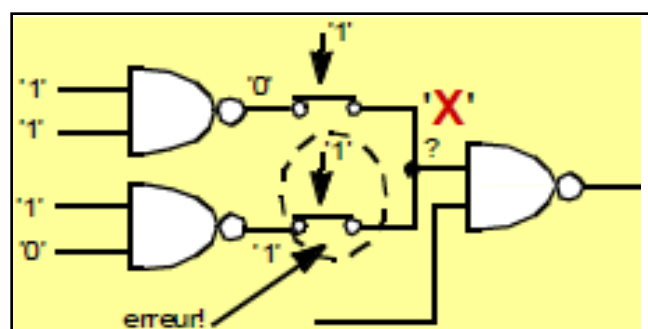
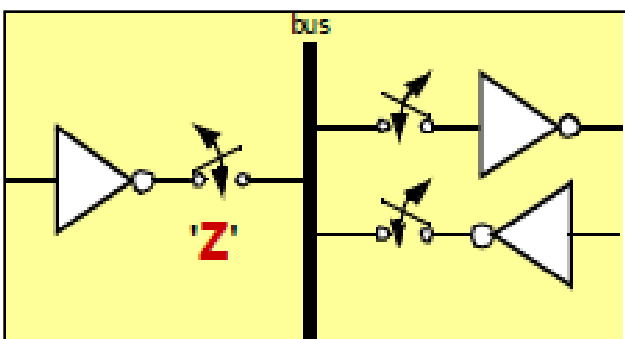
- le std_logic pour un signal.
- le std_logic_vector pour un bus composé de plusieurs signaux.

Par exemple un bus bidirectionnel de 5 bits s'écrira :

LATCH : inout std_logic_vector (4 downto 0) ;

Où LATCH(4) correspond au MSB et LATCH(0) correspond au LSB. Les valeurs que peuvent prendre un signal de type std_logic sont :

- '0' ou 'L' : pour un niveau bas.
- '1' ou 'H' : pour un niveau haut.
- 'Z' : pour état haute impédance.
- 'X' : Quelconque, c'est à dire n'importe quelle valeur.



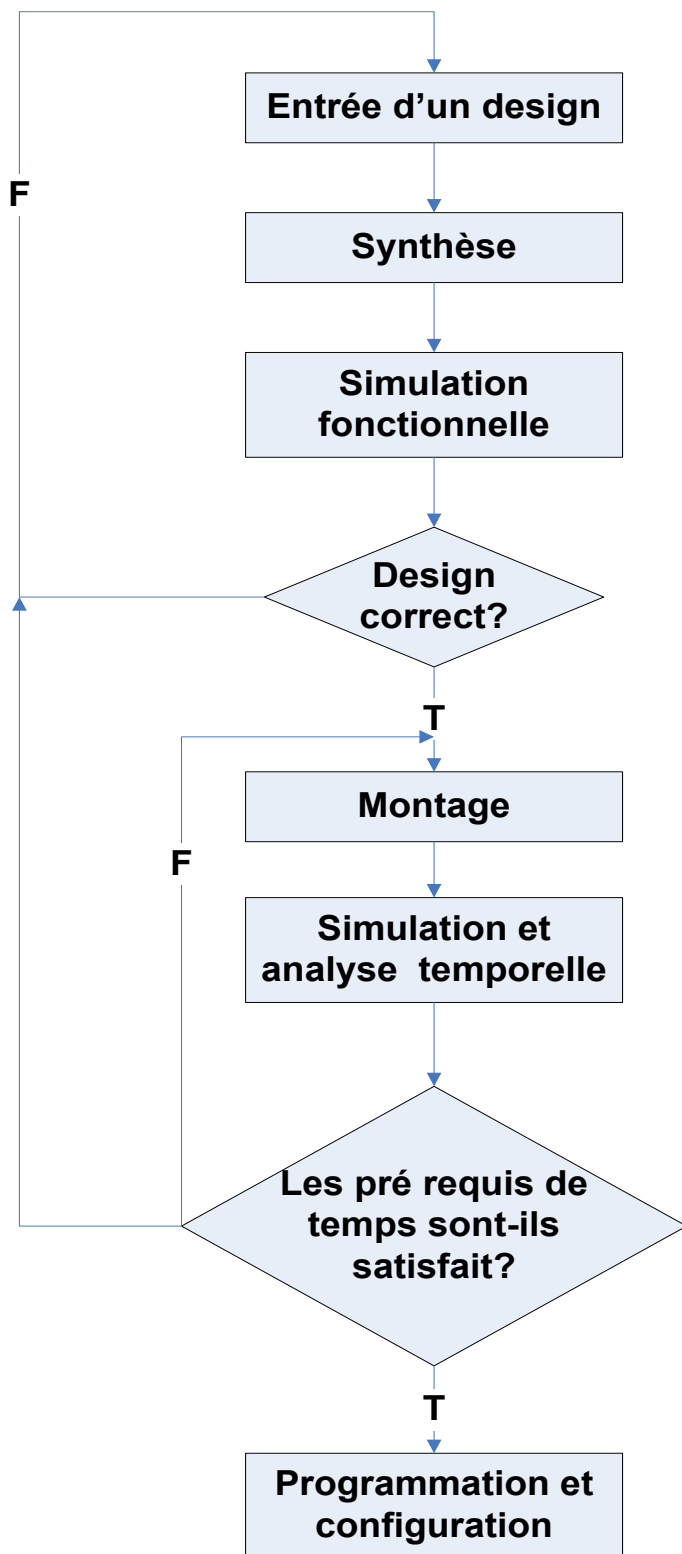
4. Le logiciel Quartus 7.2:

Le logiciel Quartus est un outil de la CAO dans le but de concevoir un meilleur prototype en utilisant un FPGA et un langage de description et de programmation HDL; il est possible de décrire en utilisant beaucoup de méthode de conception on cite: Le AHDL, la conception d'un processeur par SOPC builder, les machines d'état (State Machine), le Verilog HDL, et le VHDL. On pourra voir les résultats d'un design par une simulation tout en utilisant l'outil Vector waveform .

l'organigramme ci-contre nous représente un schéma typique CAO pour concevoir à l'aide du logiciel Quartus 7.2:

Il implique les étapes de base suivantes:

-Entrée d'un design: le circuit souhaité est spécifié, soit en utilisant un langage de description du matériel, comme le Verilog ou le VHDL, ou par un schéma.



-Synthèse: l'outil de synthèse CAO synthétise le circuit dans une "Netlist" qui donne les éléments logiques (LE) nécessaires à la réalisation du circuit et les connexions entre les éléments logiques.

-Simulation fonctionnelle: le circuit synthétisé est testé pour vérifier son exactitude fonctionnelle; la simulation ne tient pas compte des problèmes de temps.

-Montage: l'outil Ajusteur CAO détermine le placement des LEs défini dans la Netlist dans le LE en une puce FPGA réelle, il choisit également des fils de routage dans la puce pour effectuer les connexions nécessaires entre les spécifiques LE .

-Simulation et analyse temporelle: les temps de délai le long des différents trajets dans le circuit ajusté sont analysées pour fournir une indication de la performance attendue du circuit simulation de distribution.

-Programmation et configuration: le circuit conçu est implémenté dans un circuit FPGA tout en programmant les commutateurs de configuration qui configurent les LEs et qui réalisent les connexions nécessaires^[16].

5. Conclusion:

Dans ce chapitre nous avons étudié l'architecture des FPGAs en générale, la structure et les spécifications d'un FPGA Cyclone II en particulier en utilisant une méthode de conception: le langage de description le VHDL.

Les FPGAs se différencient par leurs caractéristiques de plusieurs côtés : leurs boîtiers de packaging (la puce de Cyclone II est implémentée dans un boîtier BGA), le nombre d'entrées et de sorties qui permet une grande gamme de contrôle pour l'utilisateur à travers les LEs, leur mémoires internes, la possession de 4 PLLs, leur nombre de multiplicateurs embarqués... etc.

La conception du projet a été réalisée tout en utilisant la CAO à travers le logiciel Quartus 7.2 qui nous a facilité les tâches de la description du système par VHDL , et on a aussi conçu tout en utilisant des machines d'état; on verra tous les détails dans les chapitres d'implémentation et de la conception par VHDL.

Le cœur de notre projet est un FPGA qui pourra réaliser plusieurs tâches en même temps sous le front d'une horloge dans un processus donné; notre système globale pourra contrôler jusqu'au seize broches du circuit à tester tout en appliquant six configurations différentes sur chaque broche; tous les détails de la démarche du projet se trouvent dans le chapitre de réalisation.

Chapitre 3: Conception VHDL du "TCC".

1.Introduction:

Le plan de travail dans la conception d'un prototype est indispensable pour obtenir de bons résultats pour cela dans ce chapitre nous allons en se basant sur la CAO et la logique programmable d'un langage HDL implémenté un code VHDL pour décrire les différents blocs du système "TCC": un bloc d'un système UART de la réception, un bloc mesure de la tension, un bloc pour la mesure de la fréquence et un bloc FIFO qui communique entre la réception et la transmission en se basant sur le protocole série de communication à travers le port RS-232.

2.Communication série:

Dans le but de transmettre et recevoir des données de/vers les périphériques, un ordinateur utilise soit une liaison série soit une liaison parallèle appelées « bus » ou à travers la communication USB. Depuis l'avènement des ordinateurs personnels (PC), de nombreux types de bus sont apparus dont la structure dépend du microprocesseur utilisé, de l'usage désiré mais aussi et surtout du fabricant.

La communication entre une machine et ses périphériques est un sujet aussi vaste que complexe. Nous nous intéresserons particulièrement dans ce projet à la communication par les liaisons sérieelles.

2.1 Réception et émission des octets à travers le port série RS-232:

2.1.1 Notions sur la norme RS-232 :

La norme EIA RS-232 (Recommended Standard) a été établie en 1962 par l'Electronic Industry Alliance. Il permet l'interfaçage entre un équipement terminal de données (DTE : Data Terminal Equipment) et un équipement de

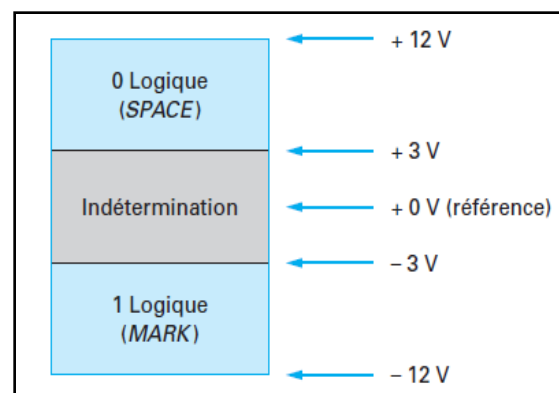


Figure 20:Tensions caractéristiques utilisées sur le bus série RS 232.

communications de données (DCE : Data Communications Equipment) employant des échanges de données en série.

Le bus série peut se présenter sous la forme d'un connecteur DB-25 mâle, mais on utilise de plus en plus un connecteur DB-9 mâle qui est moins encombrant.

Pour augmenter l'immunité aux bruits, on utilise des tensions caractéristiques (figure 20) où le 1, représenté par un signal significatif entre -3 et -12 V est dénommé Marquage (MARK) et où le 0, représenté par un signal compris entre $+3$ et $+12$ V est dénommé Espace (SPACE).

2.1.2 Numérotation des broches et description des signaux:

La figure 21 montre la forme des connecteurs et le nom attribué à chaque broche.

Les fonctions attribuées aux broches de la figure ci-dessous sont les suivantes :

- DCD (Data Carrier Detect) : détection de porteuse. C'est un signal d'entrée actif haut. Il signale à l'ordinateur qu'une liaison a été établie avec un correspondant.
- RxD (Receive Data) : réception de données. C'est un signal d'entrée. Il transmet les données du DCE vers le DTE.

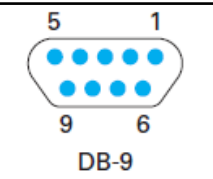
	Connecteur	Fonctions attribuées aux broches								
		DCD	RxD	TxD	DTR	GND	DSR	RTS	CTS	RI
DB-9	DB-9	1	2	3	4	5	6	7	8	9

Figure 21: Forme des connecteurs DB-9.

— TxD (Transmit Data) : émission de données. C'est un signal de sortie. Il transmet les données du DTE vers le DCE.

— DTR (Data Terminal Ready) : terminal de données prêt. C'est un signal de sortie actif haut. Il signale au DCE que le DTE est prêt à fonctionner.

— GND (GrouND) : masse. C'est le point de référence de toutes les tensions de l'interface.

— DSR (Data Set Ready) : poste de données prêt. C'est un signal d'entrée actif haut. Il signale au DTE que le DCE est prêt à fonctionner.

- RTS (Request To Send) : demande d'émission. C'est un signal de sortie actif haut. Il indique que le DTE veut transmettre des données au DCE.
- CTS (Clear To Send) : prêt pour émettre. C'est un signal d'entrée actif haut. Il indique que le DCE est prêt à recevoir des données du DTE.
- RI (Ring Indicator) : indicateur de liaison. C'est un signal d'entrée actif haut. Il permet au DTE de savoir qu'un DCE veut initier une communication avec lui.

2.2 Techniques de transmission des données:

2.2.1 Chronologie de la transmission de données:

Dans le cas de la transmission sérielle de données, les bits d'un même code numérique sont émis un par un sur le support. Dans le modèle OSI (Open Systems Interconnection), le premier bit transmis sera le bit le moins significatif (LSB : Least Significant Bit) du code numérique. Les niveaux du signal le plus élevé et le moins élevé correspondent aux tensions électriques de -12 V et $+12$ V. Par convention un support qui ne transmet pas de code numériques correspond à un état haut ou à une succession de l'état '1'.

2.2.2 Méthode de transmission:

Par méthode de transmission, on entend la manière dont est réalisée la synchronisation de bits et d'octets; il existe deux méthodes de transmission, la transmission synchrone et la transmission asynchrone. On s'intéresse dans notre cas à une transmission asynchrone car la réception et la transmission est suivant un système UART implémenté dans le FPGA tout en utilisant le VHDL qui recevra les bits par une transmission asynchrone.

2.2.3 Transmission asynchrone de Synchronisation de bits:

La synchronisation (figure 22) de bits est réalisée par un signal d'horloge généré de manière interne dans l'émetteur ou le récepteur et qui est généralement de 16 fois supérieur à la

vitesse de transmission des différents bits. Chaque code numérique est précédé d'un 0 ou bit de départ et terminé par un 1 ou un bit d'arrêt.

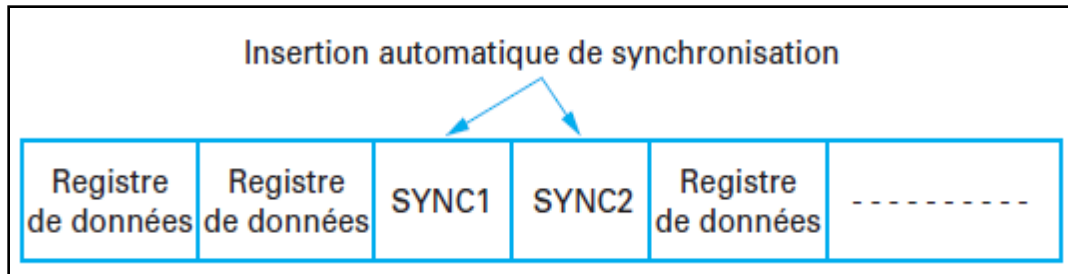


Figure 22: Synchronisation d'octets en transmission synchrone.

- L'émetteur contient un compteur qui toutes les 16 impulsions d'horloge autorise la lecture de l'état binaire du registre à décalage d'émission et le convertit ensuite en un signal numérique sur la ligne d'émission.
- Le récepteur génère son propre signal d'horloge 16 fois qui n'est pas nécessairement synchronisé avec le signal d'horloge de l'émetteur. Le récepteur doit d'abord attendre la transition du signal de 1 à 0, détection du « START » bit avant de pouvoir continuer la réception du code numérique. Cette vérification est réalisée en chargeant un compteur d'impulsions d'horloge avec 8 fronts et en le décrémentant à chaque impulsion d'horloge. Lorsque le compteur arrive à 0, le niveau de signal sur le support est examiné afin de vérifier s'il est toujours à 0, en d'autres termes s'il s'agit d'un « START » bit. Tous les niveaux de signal sont contrôlés sur la ligne de réception au milieu d'un bit et convertis en un bit qui se glisse dans le registre à décalage de réception.

2.2.4 Synchronisation d'octets:

La synchronisation d'octets est identique à la synchronisation de bits. En effet, la détection d'un « STOP » bit signifie la réception complète d'un code numérique et commande au registre de réception de lire le code numérique mémorisé dans le registre à décalage de réception.

Comme les signaux d'horloge sont générés séparément, les signaux d'horloge entre émetteur et récepteur ne seront pas échangés par des conducteurs supplémentaires. Cela signifie que la

vitesse de réception dans le récepteur ne peut être déduite de la vitesse d'émission dans l'émetteur : les vitesses d'émission et de réception devront être ajustées l'une par rapport à l'autre. Pour cela il suffit d'échanger les lignes d'émission et de réception pour réaliser une liaison asynchrone.

Dans une transmission asynchrone deux bits, le « START » bit et le « STOP » bit, sont ajoutés à tout code numérique (figure 23).

En résumé, en plus de l'information utile à transmettre, on vient placer d'autres bits comme le bit de départ, le bit de parité et le bit ou les bits d'arrêt. Ces bits sont utilisés pour la synchronisation de l'émetteur et du récepteur en mode asynchrone et pour la détection d'erreurs.

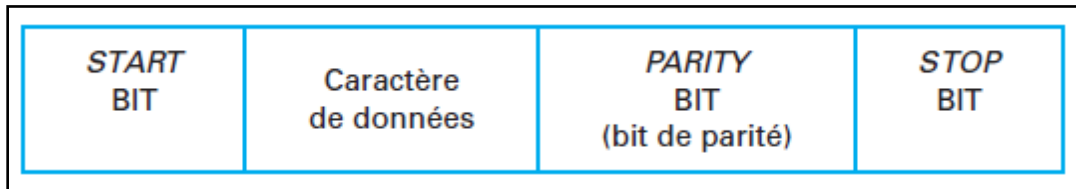


Figure 23: Synchronisation d'octet en transmission asynchrone.

Paramètres entrant en jeu lors d'une transmission sérielle asynchrone :

- Longueur caractère : 7 ou 8 bits .
- Parité : le caractère transmis peut être suivi d'un bit de parité qui sert à détecter les erreurs éventuelles de transmission.
- bit de START : lorsque rien ne circule sur la ligne, celle-ci est à l'état haut. Pour indiquer qu'un mot va être transmis, la ligne passe à l'état bas avant de commencer la transmission. Ceci permet de resynchroniser le récepteur.
- bits de STOP : ceux-ci sont à l'état haut, ils signalent la fin de la transmission.
- vitesse de transmission : la vitesse de transmission est le nombre de bits pouvant être transmis par seconde, elle est comprise entre 300 et 9600 bauds. Les cartes récentes proposent des vitesses jusqu'à 115 200 bauds^[17].

3. La communication par UART entre le PC et le système testeur "TCC":

3.1 Etapes de la transmission et de la réception:

Dans notre système UART nous avons besoin d'une vitesse de transmission de 1200 bauds et une fréquence interne du système récepteur de 1 MHz et pour établir une connexion de communication nous allons utiliser un codage ASCII (8 bits chaque code) qui va être responsable du contrôle nécessaire entre le PC et le système "Testeur des composants intégrées CMS".

On ne peut réussir une transmission asynchrone qu'à partir du moment où l'émetteur et le récepteur se sont entendu sur la vitesse de transmission, sur le nombre de bits de STOP sur la longueur des caractères et sur la parité.

Le système transmetteur UART est essentiellement un registre de décalage qui décale les bits d'un octet qui portent une information sous une vitesse de décalage spécifique.

le système récepteur peut capter les bits des informations seulement à travers des paramètres prédéfinis. On procède à un échantillonnage dans le but de se rassurer d'une bonne et correcte réception de cette information (octet), cet échantillonnage utilise une haute fréquence de 1 MHz pour mieux préciser le milieu des bits pour les capter puis les recevoir.

Comme nous avons déjà mentionné l'horloge CLK du système qui génère 16 ticks pour la détection de chaque bit et tout en se basant sur ce concept les étapes de la réception d'un seul octet sont :

1. Quand le système reçoit un train de bits qui commence par un '0' (signifie un bit de start) on procède à une initialisation d'un compteur "pulse" à zéro.
2. Si le compteur pulse=7 donc il faut le remettre à zéro et recompter de nouveau; dans ce cas on a détecté le milieu du bit start.
3. Si le compteur =15 donc il faut le remettre à zéro et recompter de nouveau; dans ce cas on a détecté le milieu du premier bit de l'octet portant l'information à recevoir.

4. Répéter l'étape 3 sept fois pour décaler tout l'octet qu'on désire le recevoir dans un registre qu'on va le nommer Pout.
5. Répéter l'étape 3 une seule fois mais cette fois si sans décalage dans le registre Pout; dans ce cas nous sommes au milieu du bit stop.

Chaque bit a besoin d'un certain temps pour qu'il soit reçu dans ce système pour cela si on assume que l'horloge CLK est de 1 MHz et la vitesse de transmission (baud rate) est de 1200 bauds; la fréquence d'échantillonnage précisé par le paramètre "pulse" doit être de 16×1200 (car chaque bit est un facteur de $1/16$) donc il faut avoir un compteur modulo X ayant comme rôle de préciser la période de temps que le système récepteur de l'UART a besoin pour recevoir un seul bit.

X est précisé par la formule suivante:

$$X = \text{fréquence de l'horloge} / (\text{baud rate} \times \text{le facteur de clk de chaque bit}).$$

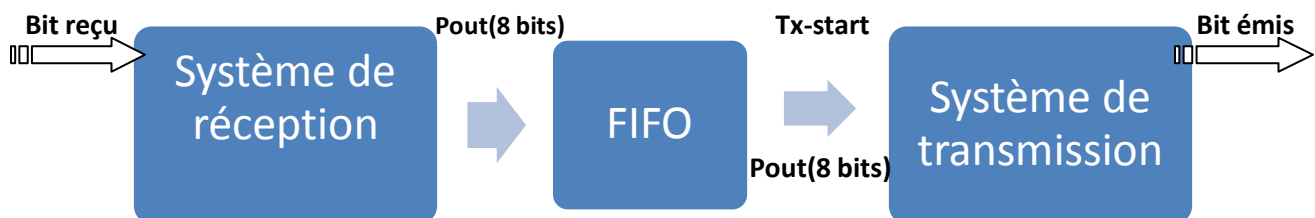
Applications numérique dans notre cas:

$$X = 1000000 / (1200 \times 16) = 52.0833$$

Donc il suffit de créer un compteur modulo-52 pour recevoir un seul bit, donc pour recevoir un octet complet le système UART récepteur aura besoin de 520 micro seconde^[18].

Au niveau de la transmission des octets reçus tout est similaire comme dans la réception à l'exception du control sur l'instant t convenable pour transmettre les bits de l'octet reçu vers le PC, ce control sera guider par un paramètre qu'on va nommer Tx_start; lorsque ce dernier est au niveau bas il commandera la transmission dans le système et au niveau haut vice versa.

Système UART est de la forme suivante:



Remarque: Pout sera émis vers le PC un bit après l'autre sous le contrôle de Tx-start par un délai bien déterminé.

3.2 FIFO (First In First Out):

Cette partie du système possède un rôle indispensable pour organiser le bus d'octets en prenant en considération le temps de la réception et le temps de la transmission et l'horloge du système; Pout le registre qui porte l'octet reçu par le système UART de la réception est capté par FIFO pour le traité tout en faisant un certain délai dans le temps pour le renvoyer dans la direction du système UART de transmission.

Le bloc FIFO est très important pour ne pas avoir des erreurs dans la transmission comme la déformation de l'information portée causé par un mauvais management du temps, encombrement des octets,...etc.

4. Description VHDL du système UART de la réception des bits:

i. Machine d'état:

Pour recevoir un octet complet nous avons besoin de 4 étapes principales (Figure 24):

1. Détection du cas Idle c'est lorsque le système est dans l'état de repos.
2. Détection du bit START.
3. Détection du 1er bit data puis la réception de la suite de l'octet.
4. Détection du bit stop.

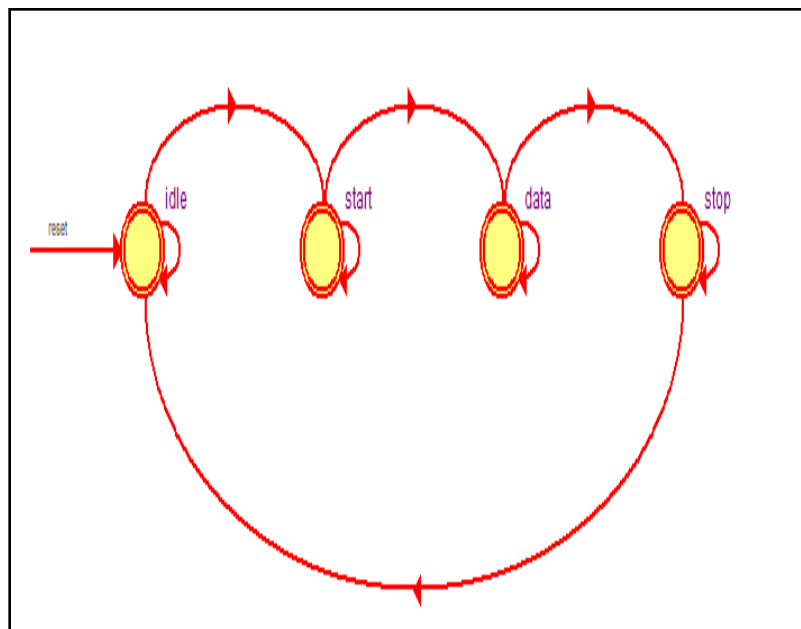
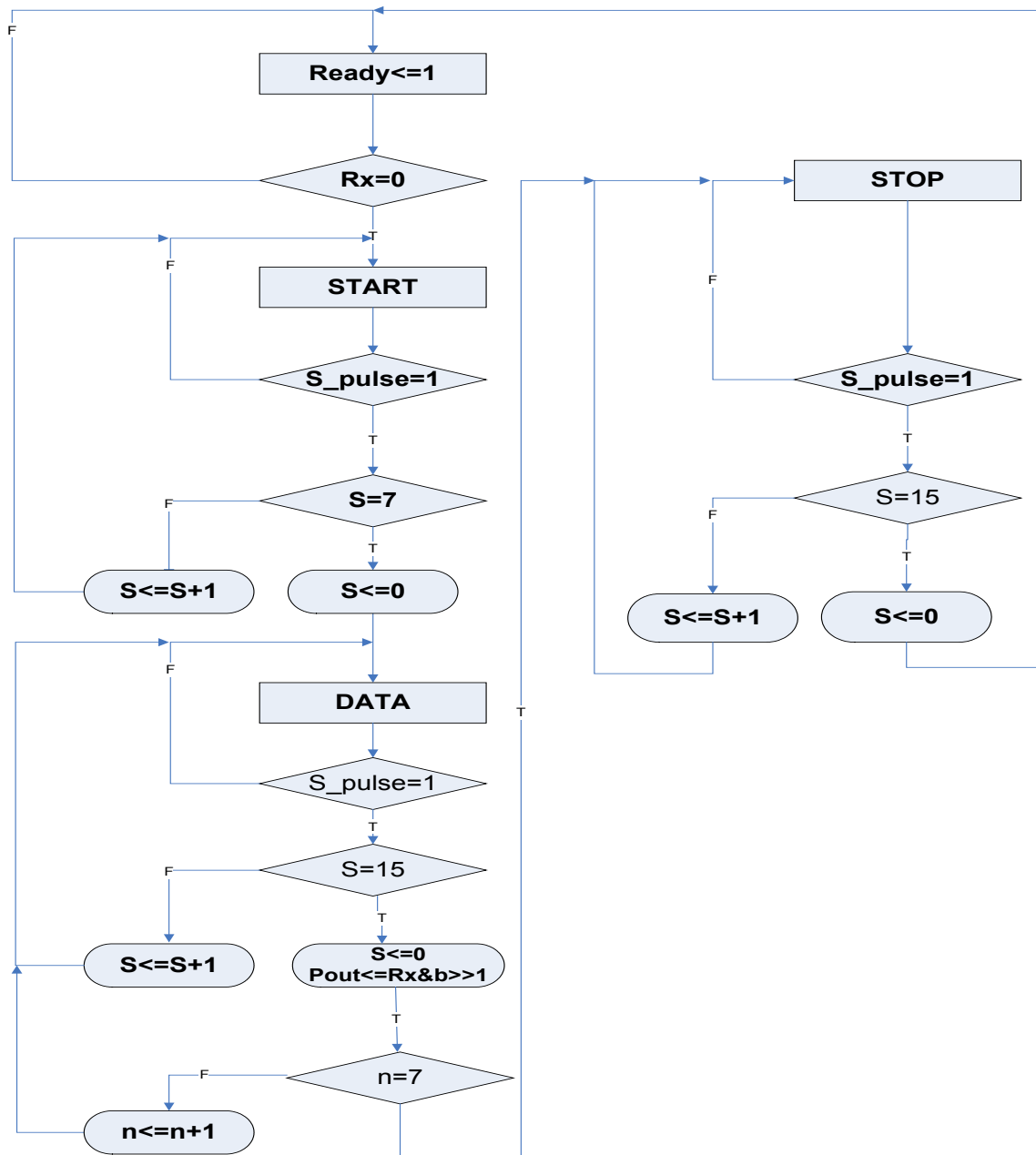


Figure 24: Système UART de la réception (Prise du logiciel Quatus 7.2).

ii. Organigramme:

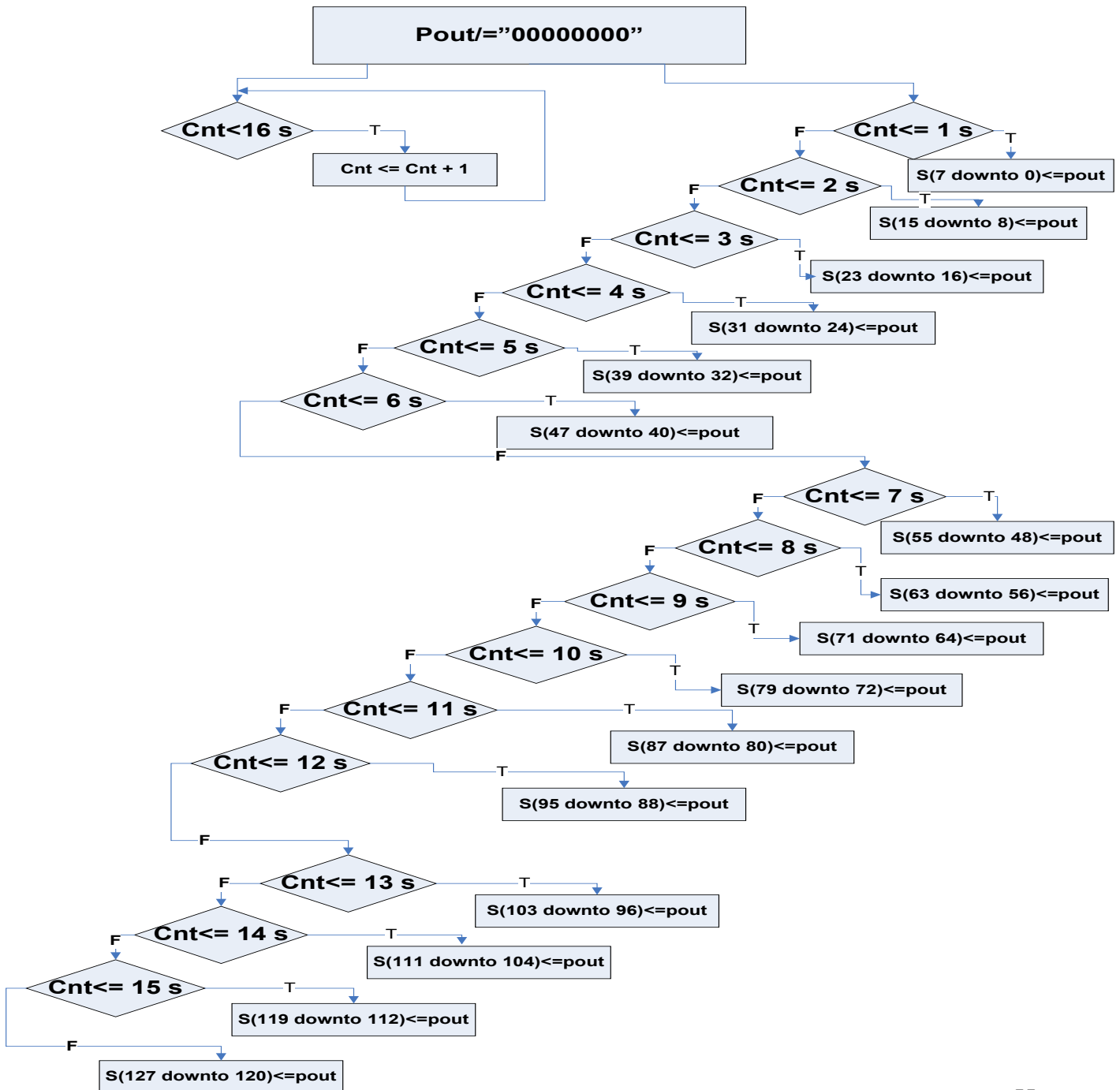
Plusieurs variables ont été utilisés dans cet organigramme :



- 1) Rx : l'entrée du bit à travers le port série.
- 2) S_pulse: paramètre qui détermine le temps nécessaire pour recevoir un seul bit.
- 3) S : compte le nombre de ticks de l'horloge pour détecter chaque bit.
- 4) n : Pour répéter l'opération de la récupération des bits DATA de l'octet.

4.1 La réception des octets :

Après la réception des bits dans un registre "Pout" de huit bits nous avons besoin de sauvegarder les seize octets reçus dans un tableau de cent vingt huit colonnes (128 bits) d'une seule ligne. Dans le but de remplir ce vecteur on va créer 16 délais dans le temps; chaque délai est représenté par un intervalle de temps qui vaut une seconde, l'organigramme ci-dessous explique en détail la procédure pour capter les seize octets de commande:

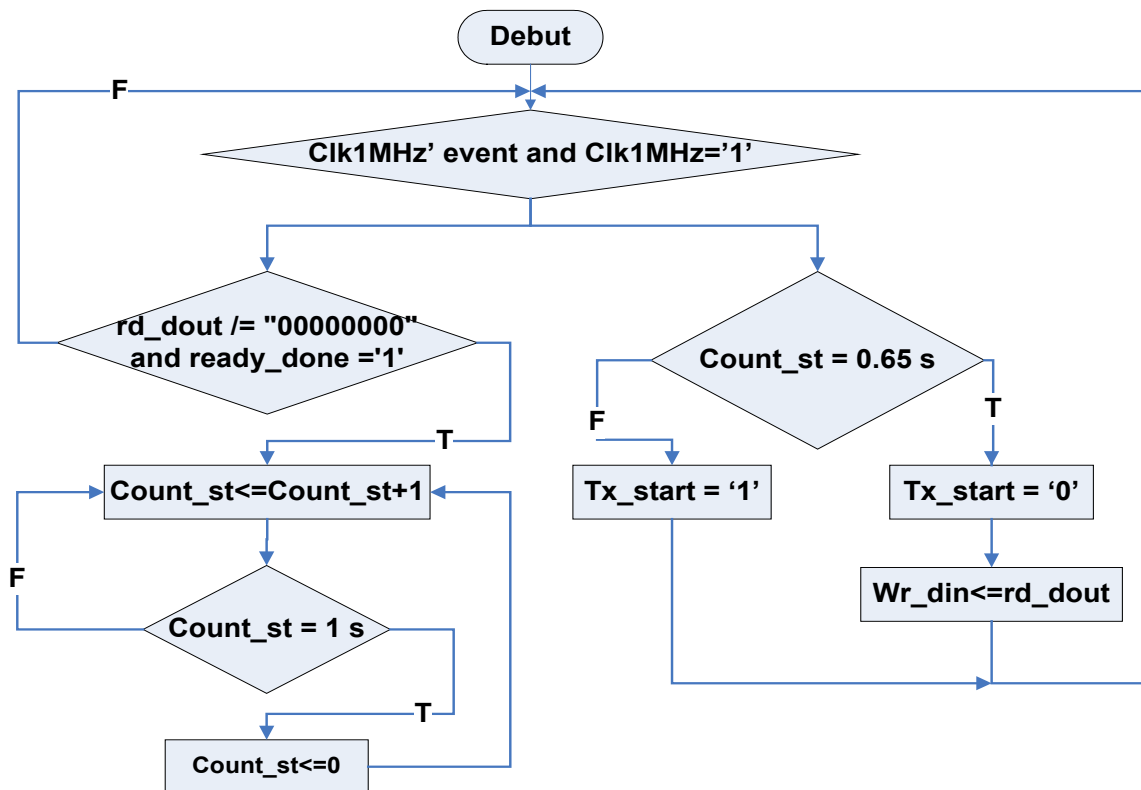


Cet organigramme est traduit en un programme en VHDL dont toutes les instructions s'exécutent en même temps sous la commande du front montant de l'horloge, mais le fait que ce programme se localise dans un PROCESS qui dépend de l'horloge et de la condition (Pout différent de "00000000") qui déclenche l'exécution de la réception des octets ci-dessus rend le système séquentielle pour recevoir ces octets l'un après l'autre pendant une durée de seize seconde exactement.

Le but d'un délai d'une seconde entre la réception de deux octets successifs est la synchronisation en fréquence avec l'émetteur de ces octets (nous allons voir dans les chapitres suivant que le LABVIEW va contrôler les octets reçus par le FPGA pour en avoir une bonne synchronisation de fréquence).

4.2 Description du bloc FIFO:

Ce bloc joue le rôle de décrire la communication interne du FPGA entre le système UART de la réception des octets qui porte l'information de commande et le système UART de la transmission de ces octets vers le port série, ce système comporte 4 entrées et 2 sortie et un signal interne: **clk_fifo**: entrée; **tx_start_rd**: sortie; **reset_fifo**: entrée; **rd_dout**: entrée; **wr_din**: buffer ; **ready_done** : entrée et **Count_st**: signal.



Ce bloc de programmation représenté par l'organigramme ci-dessus est responsable de se rassurer d'une bonne communication entre le récepteur des bits et le transmetteur de ces derniers ,donc le système suit la procédure suivante :

- Un compteur Count_st s'incrémente d'un pas d'une micro seconde sous la fréquence de l'horloge de 1 MHz lorsque rd_dout est différent de "00000000" et lorsque l'indicateur ready = '1'.
- Lorsque ce compteur atteint une seconde il se remet automatiquement à zéro .
- on affecte rd_dout dans wr_din et lorsque le compteur count_st = 0.65 s on met la sortie Tx_start à zéro , sinon on met cette sortie à un .

La sortie Tx_start permet de libérer l'octet à transmettre envers le port série donc le bloc FIFO attend la réception complète du registre Pout (l'octet reçu) pour l'envoyer de nouveau envers le bloc transmetteur.

4.3 Description du bloc de mesure de la fréquence:

Dans ce système nous avons besoin d'une mesure automatique du signal entrant portant la fréquence à mesurer; pour une mesure de fréquence bien précise il faut générer une horloge référence pour la comparer avec le signal entrant qu'on mesure sa fréquence. On s'intéresse dans notre cas à trouver une méthode dont la valeur mesuré ne dépassant pas une représentation binaire de 8 bits; pour cela il suffit de compter le nombre de front montant de l'horloge référence pendant deux fronts montants du signal entrant que nous allons mesurer sa fréquence; ce nombre de fronts montants compté est sauvegardé dans une variable "res"; pour en tirer la valeur de fréquence il suffit de diviser la fréquence de l'horloge référence par cette variable "res".

- Simulation :

La simulation ci-dessus montre en détail la mesure de la fréquence du signal entrant tout en se basant sur l'horloge référence qui vaut 50 MHz, on remarque que le signal clkIn de la simulation entre ces deux premiers front montant incrémente la variable res pour atteindre le chiffre 5 qui représente 5 fronts montants de l'horloge référence (Figure 25); donc la fréquence dans ce cas du signal clkIn vaut la fréquence de l'horloge référence divisé par la valeur de res :

$$\begin{aligned} \text{fréquence de clkIn} &= \text{fréquence de l'horloge référence} / \text{res} \\ &= 50000000 / 5 = 10 \text{ MHz.} \end{aligned}$$

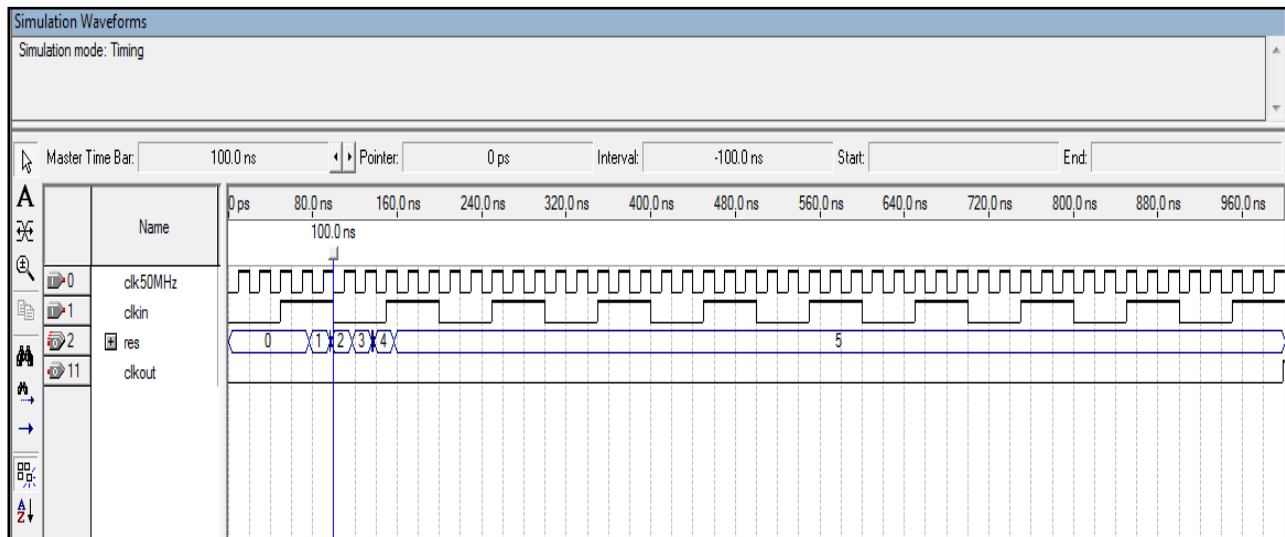


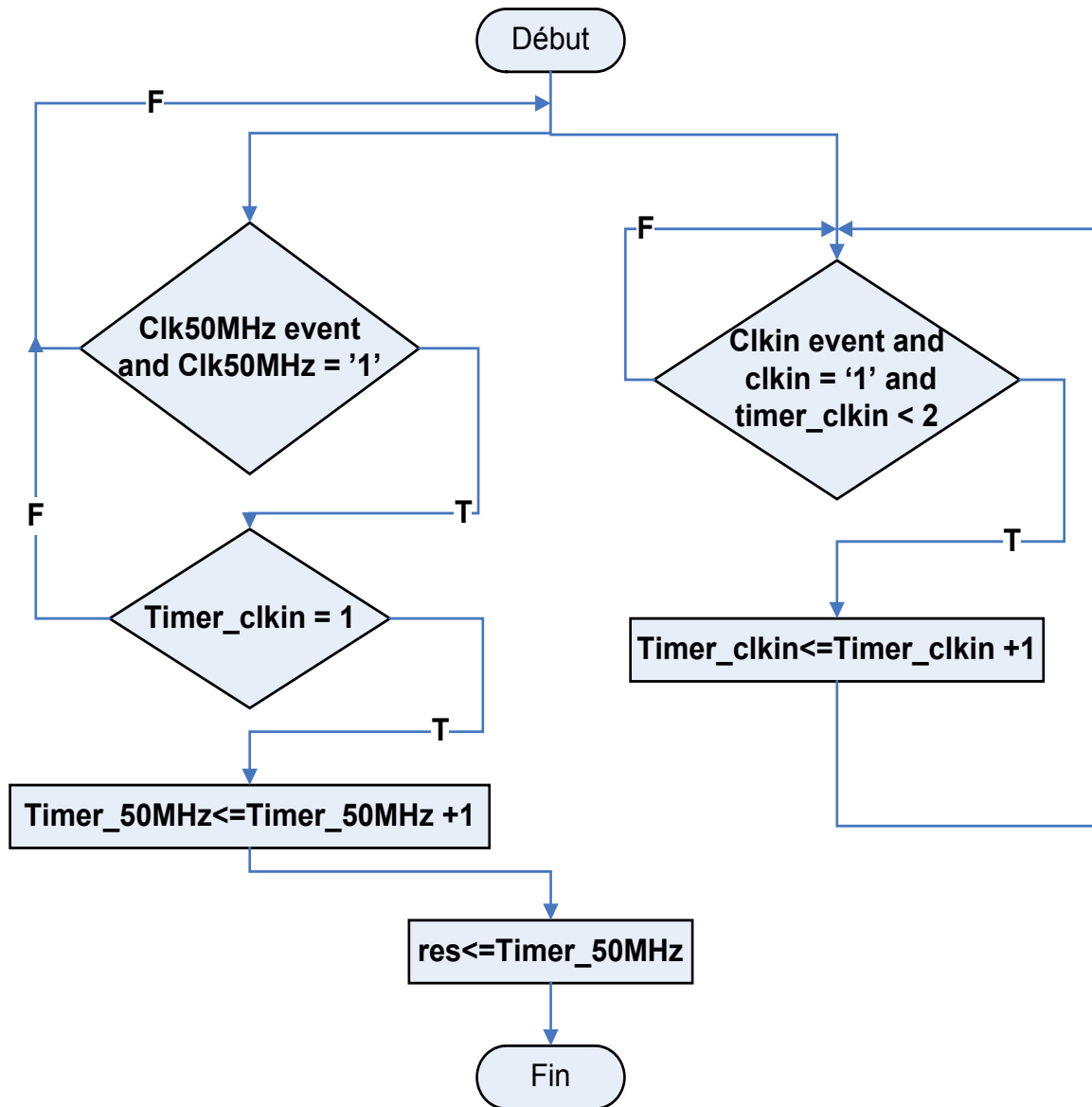
Figure 25: Simulation tiré du logiciel Quartus 7.2

Plusieurs essais de simulation ont eu lieu et ils sont récapitulés dans le tableau 2 ci-dessous:

Tableau 2 montre les résultats de la simulation de la mesure de plusieurs fréquences:

Clk50MHz	Clkin	res	Fréquence mesuré par simulation
50 MHz = 20 ns	10 MHz = 100 ns	5	$F_{\text{clkIn}} = 50 \text{ MHz} / 5 = 10 \text{ MHz.}$
50 MHz = 20 ns	5 MHz = 200 ns	10	$F_{\text{clkIn}} = 50 \text{ MHz} / 10 = 5 \text{ MHz.}$
50 MHz = 20 ns	2 MHz = 500 ns	25	$F_{\text{clkIn}} = 50 \text{ MHz} / 25 = 2 \text{ MHz.}$
50 MHz = 20 ns	500 KHz = 2 μs	100	$F_{\text{clkIn}} = 50 \text{ MHz} / 100 = 500 \text{ KHz.}$

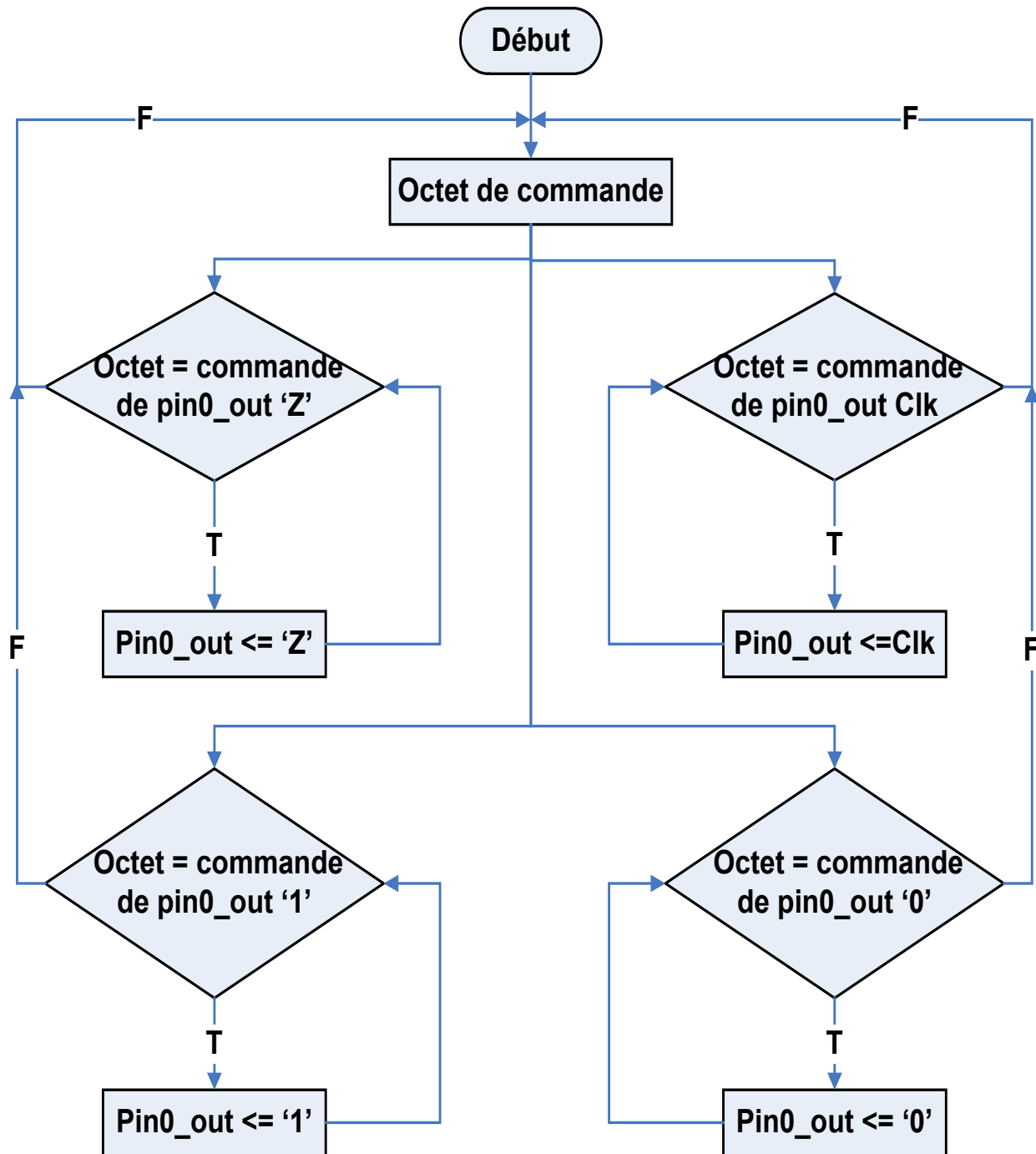
- Le programme VHDL de la fréquence est représenté par l'organigramme ci-dessous:



4.4 Description du contrôle des entrées / sorties par les octets de commande:

Après la réception des octets qui portent les informations de commande nous allons appliquer ces commandes sur les entrées et les sorties du système général du projet; pour cela nous allons expliquer dans cette partie comment nous avons pu avec succès de relier les octets de commande avec l'aspect des sorties et des entrées correspondant.

Par exemple nous avons traité le cas de l'assignation de la première broche du système général; cette broche est nommée "pin0_out" et peut être une sortie pour affecter une des commandes (niveau logique '1', niveau logique '0', haute impédance 'Z' ou un signal carré à une fréquence bien déterminée) d'une part ou d'autre part peut être une entrée envers le FPGA qui

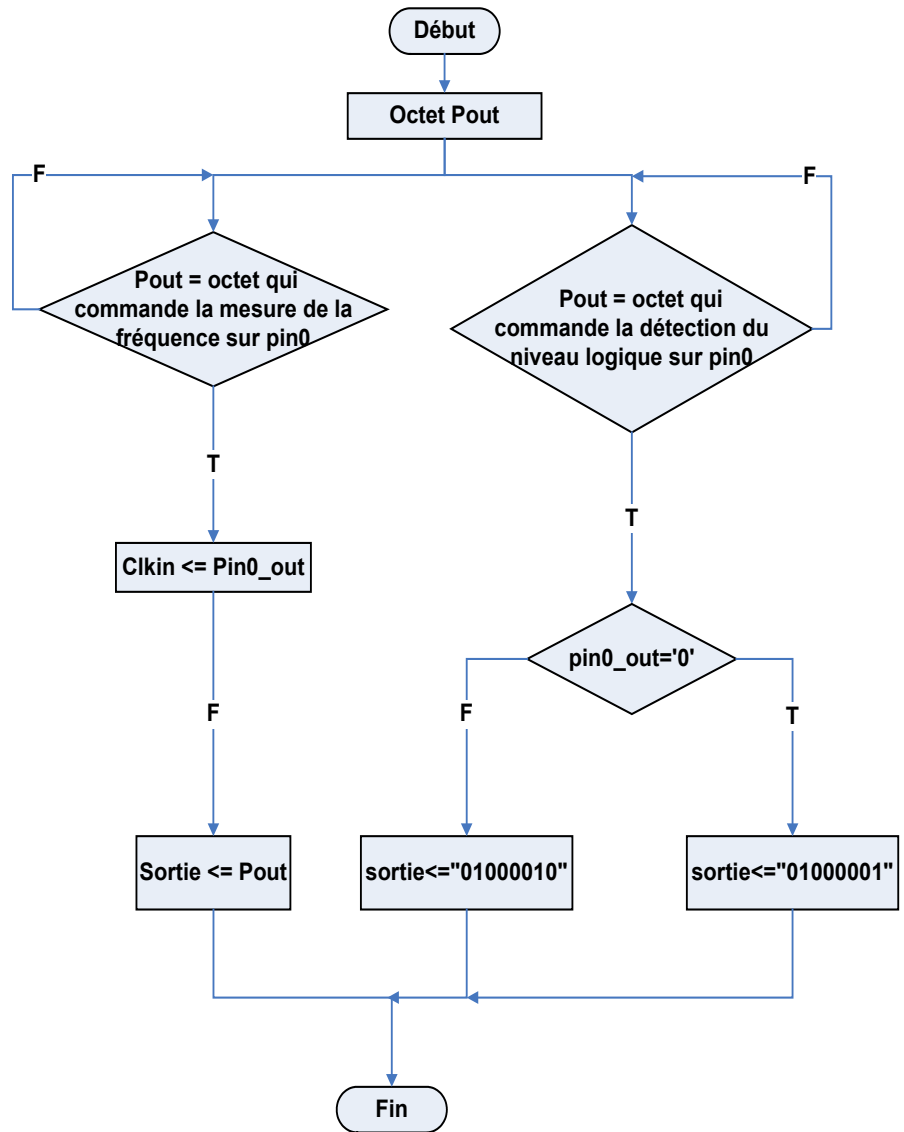


reçoit des signaux des informations à analyser ainsi que la détection du niveau logique ou bien la mesure de la fréquence du signal entrant.

a. Dans le but d'accomplir toutes ces tâches nous allons procéder dans la programmation VHDL de la manière suivi dans l'organigramme ci-dessus qui sera responsable de l'affectation des sorties du système général par la commande correspondante de l'octet reçu.

b. Dans le cas où la broche pin0_out est une entrée il suffit de comparer Pout par l'octet de commande correspondant dans un même intervalle de temps pour connaître l'état de la broche pin0_out; l'organigramme ci-contre explique en détail la procédure suivi:

Dans ce cas la "Sortie" porte une information pour qu'elle sera renvoyer vers le programme de contrôle.



4.5 Description de la mesure de la tension:

Pour mesurer une tension analogique DC numériquement nous devons toujours créer un signal de référence analogique contrôlé par le FPGA pour qu'on puisse après comparer cette

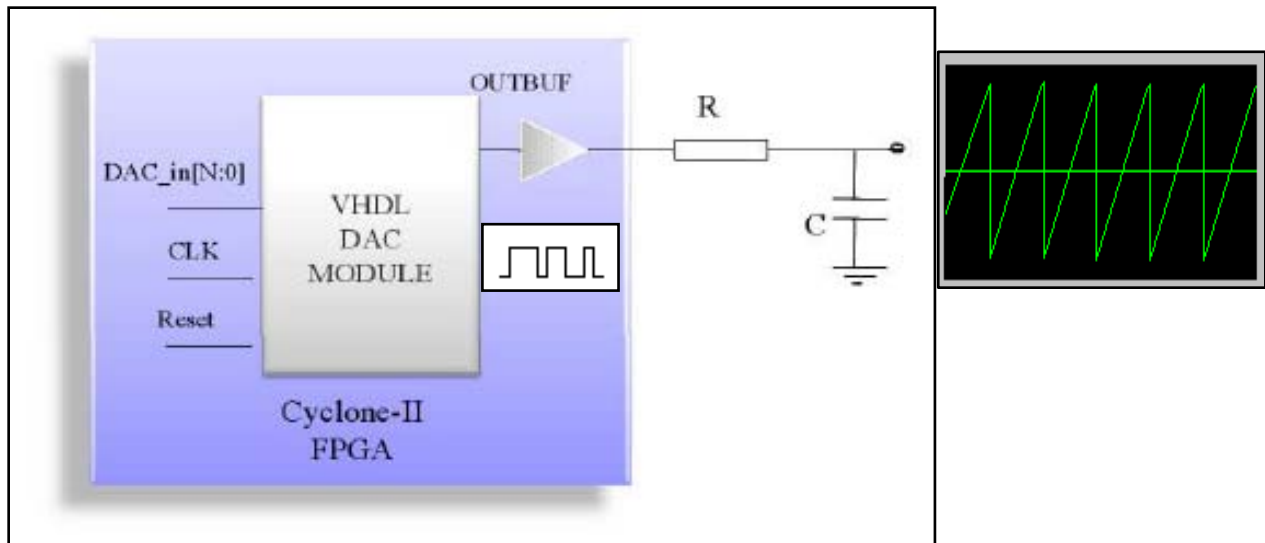
référence; pour tirer après les résultats mesuré. Dans cette partie on s'intéresse à deux méthodes pour créer un signal de référence robuste pour avoir des valeurs de mesure précise:

4.5.1 Mesure de tension à l'aide d'un signal MLI(1er méthode):

La première méthode consiste à générer un signal MLI qui sera un signal dent de scie référence par un filtrage convenable.

4.5.1.1 Construction d'un signal référence dent de scie:

Le bloc ci-dessous nous montre l'implémentation d'un CNA en utilisant un FPGA cyclone II, dans cette partie il s'agit d'une conversion durée tension tout en utilisant un signal d'entrée MLI $e(t)$ (décrit en VHDL) et un filtre passe bas $h(t)$ (R et C) pour générer un signal dent de scie analogique $s(t)$ qui sera contrôler numériquement par le FPGA.



Signal MLI:

1.Caractéristique:

Dans ce cas nous avons besoin d'un signal MLI (La Modulation de Largeur d'Impulsions; en anglais PWM: Pulse Width Modulation) spéciale dans le but de créer un signal dent de scie référence; ce signal doit être caractérisé par la variation de son rapport cyclique de 0 jusqu'à 100 % chaque période M par un bond de 0.1 % .

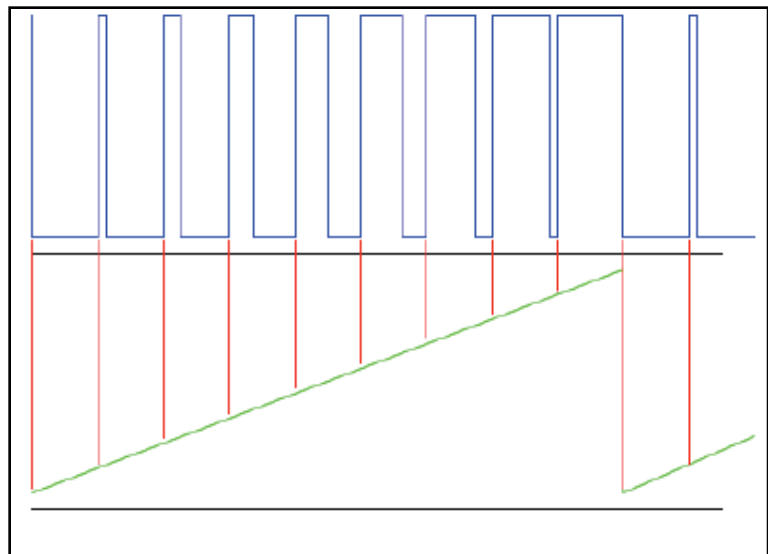
Pour créer le signal MLI $e(t)$ nous avons utilisé un compteur 10 bits à une fréquence de 50 MHz; donc on tire dans ce cas que la fréquence de $e(t)$ sera $50000000 / 1024 = 48828.125 \text{ Hz} = 48.8 \text{ KHz}$.

2. Conversion numérique analogique:

La modulation de largeur d'impulsion peut fonctionner efficacement comme un convertisseur numérique-analogique, en particulier combiné à un filtrage approprié. Le fait que le rapport cyclique du signal MLI peut être contrôlé avec précision par de simples procédures de comptage est une des raisons pour lesquelles les signaux MLI peuvent être utilisés pour accomplir la conversion numérique-analogique.

Lorsque le terme "MLI" est utilisé, un élément clé est «la modulation», pour "M" dans "MLI". Dans ce contexte, moduler signifie «varier ou changer". C'est parce que quelques applications MLI est de régler le rapport cyclique à une valeur fixe et ne jamais le changer. Généralement, le rapport cyclique est décalée dans le temps pour contrôler le courant du moteur ou la tension

de sortie ou ce qui doit être toujours sous contrôle. La figure 26 ci-contre nous montre un signal MLI qui est grossièrement modulé avec un signal de rampe (sa modulation), il est grossier parce que le changement du rapport cyclique à chaque cycle de ce signal MLI est très grande (juste pour le



rendre visible dans un petit **Figure 26: Le signal $e(t)$ MLI en bleue et signal $s(t)$ dent de scie.** graphique (car sur l'oscilloscope il paraît un signal rectangulaire dont sa largeur croît continuellement de 0 à M), la fréquence du signal rampe serait trop proche de la fréquence de MLI pour qu'il soit utile et considéré comme un signal de référence.

Donc la figure 26 ci-dessus comprend une largeur d'impulsion modulée (MLI) du signal d'onde carrée $e(t)$ en bleu et la modulation un signal de rampe $s(t)$ en vert. Les traits verticaux rouges

marquent le début de chaque cycle MLI et la valeur correspondante de rampe qui détermine la largeur de l'impulsion suivante.

Dans de nombreuses applications, la modulation, elle-même, a une fréquence. Cela est particulièrement vrai si la modulation représente une seule tonalité. Il est également vrai si la modulation est simplement périodique, comme c'est dans notre cas avec la rampe de la figure ci-dessus. Il faut être un peu prudent, cependant, parce que un signal périodique qui n'est pas un pur "sinus" ou "cosinus" est en fait composée d'un nombre d'harmoniques.

Un concept important à prendre en considération : le signal MLI est en réalité une combinaison de deux signaux; le premier est le signal d'impulsion évidente et l'autre est la modulation (un peu caché).

3.Choix du filtre:

Pour l'obtention d'un signal dent de scie référence $s(t)$ nous aurons besoin de filtrer le signal MLI $e(t)$ tout en utilisant filtre passe bas de premier ordre (R et C) comme le montre la figure 27 ci-contre. Pour avoir un signal dent de scie bien structuré il faut concevoir un bon filtre dont la fréquence de coupure F_c respecte les deux conditions suivantes:

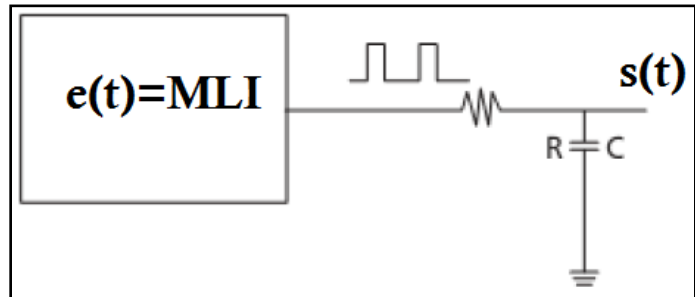
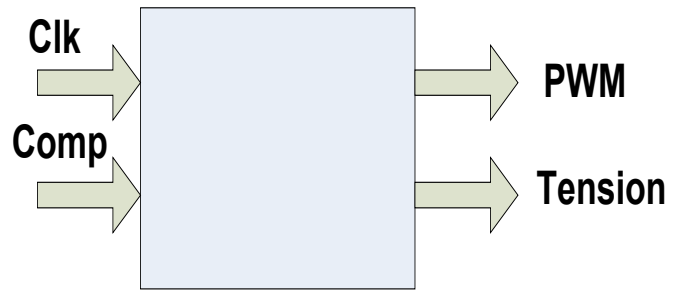


Figure 27: Filtre passe bas RC.

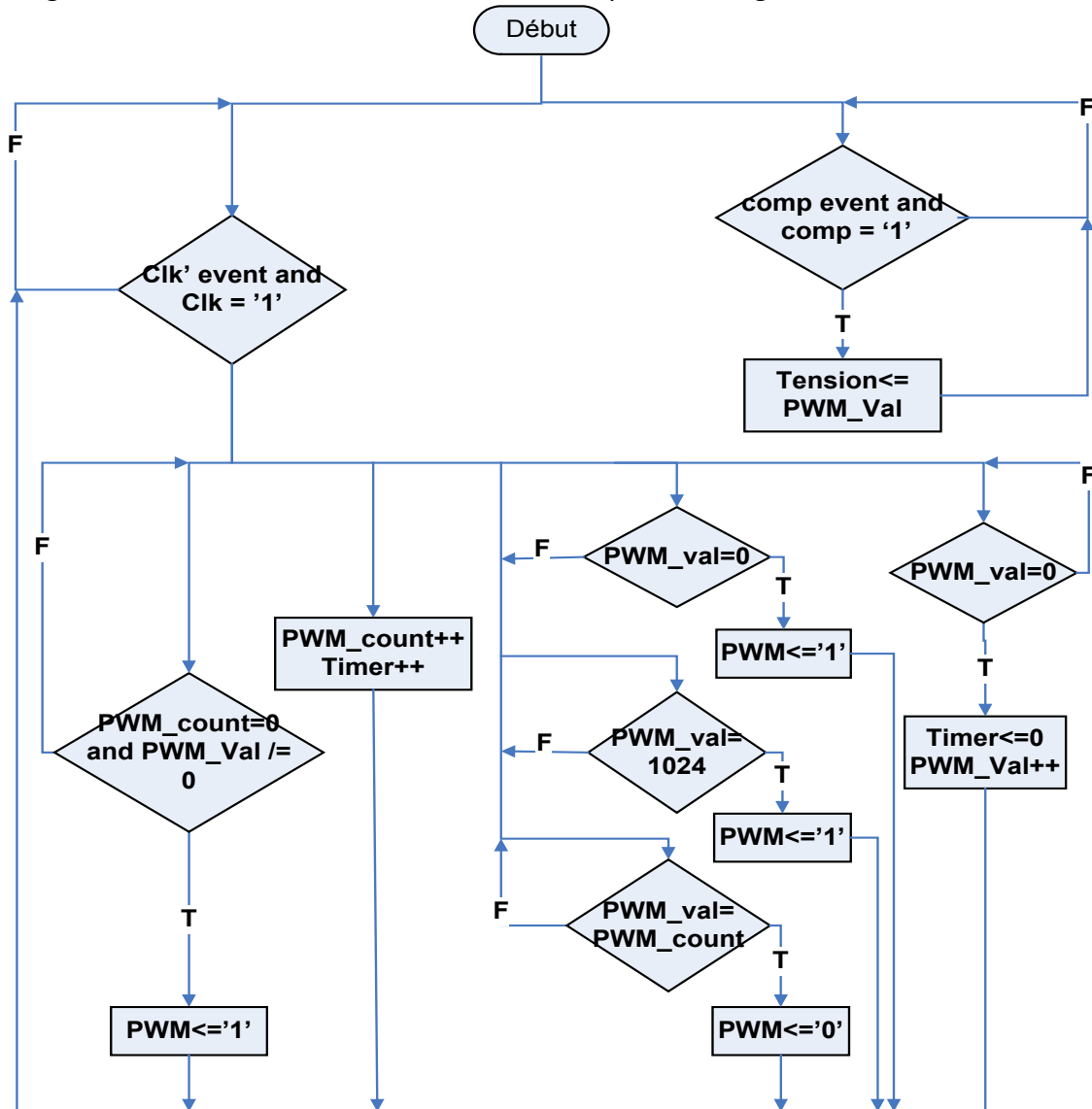
1. Respecter la condition d'échantillonnage de Shannon $f_c \geq 2 f_{max}$; pour ne pas avoir un chevauchement après le filtrage donc la F_c doit être au moins plus petite que la moitié de de la fréquence du signal MLI $e(t)$.
2. Il est préférable de prendre F_c le tiers de fréquence de $e(t)$ pour obtenir la moyenne de ce dernier, selon les différentes essais au laboratoire nous avons constaté que la meilleur fréquence $F_c = 16.267$ KHz par rapport au signal MLI $e(t)$ de 48.8 KHz.

4.5.1.2 Description VHDL de la première méthode :

Le bloc ci contre nous décrit les entrées et les sorties: Clk étant l'horloge, comp: la sortie du comparateur, PWM: le comportement du signal MLI générer de la figure 26 et la Tension: nous indique la valeur de la tension que nous allons mesurer.



L'organigramme ci-dessous nous montre en détails la description de la mesure de la tension tout en générant un dent de scie référence contrôlé par notre signal MLI.



4.5.1.3 Calcul théorique:

Signal échelon unité (figure 28):

$$1(t) = \begin{cases} 1 & \text{si } t \geq 0. \\ 0 & \text{si } t < 0. \end{cases}$$

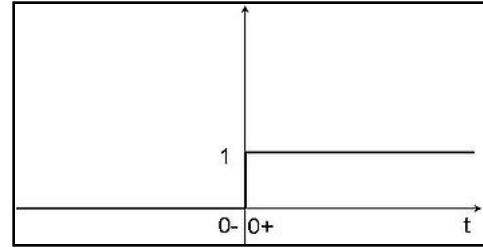


Figure 28: Signal échelon 1(t).

On considère le signal M-périodique défini sur [0;M] par :

$$e(t) = \sum_{dc=1}^T \sum_{r=0}^{R-1} \mathbf{1}[(dc-1)RT + rT; (dc-1)RT + rT + dc](t) = \sum_{dc,r} \mathbf{1}[L, H](t).$$

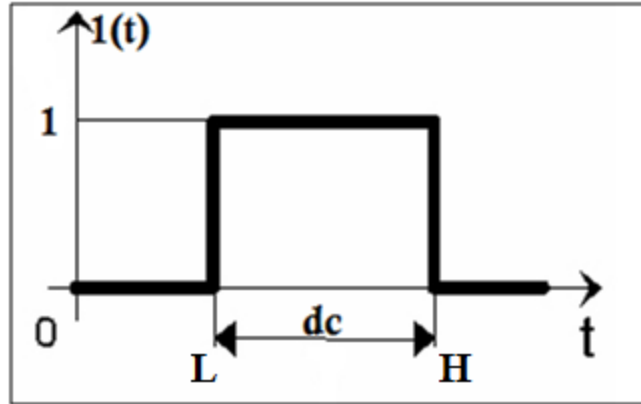


Figure 29: Forme du signal e(t).

Ce signal décrit le processus suivant : on choisit dc (pour "duty cycle") et on génère un pulse de largeur dc qu'on répète R fois (indice r). Ensuite, on incrémente dc et on répète. On vérifie alors qu'on a bien $M = RT^2$.

On cherche à filtrer les hautes fréquences de ce signal (filtre passe-bas). Commençons par chercher son développement en série de Fourier.

$$U_0 = \frac{1}{M} \int_0^M e(t) dt = \frac{1}{M} \sum_{dc=1}^T \sum_{r=0}^{R-1} H - L = \frac{1}{M} \sum_{dc=1}^T \sum_{r=0}^{R-1} dc = \frac{T + 1}{2T}.$$

$$U_n = \frac{1}{M} \int_0^M e(t) e^{-jnt} dt.$$

$$U_n = \sum_{dc,r} \frac{1}{M} \frac{1}{-2j\pi \frac{n}{M} H} (e^{-j2\pi \frac{n}{M} H} - e^{-j2\pi \frac{n}{M} L}).$$

Pour avoir une forme sans sommation, Il suffit de savoir comment sommer des séries géométriques $\sum_k a^k = \frac{1-a^{k+1}}{1-a}$ pour en avoir la forme simple ci-dessous.

$$U_n = \frac{j}{2\pi n} \frac{\sin(\pi \frac{n}{T})}{\sin(\pi \frac{n}{T} + \pi \frac{n}{M})} e^{-j \frac{2\pi n}{M}}.$$

U_{-n} est égal au conjugué complexe de U_n et ceci est indispensable pour que la synthèse de Fourier redonne un signal réel et non pas complexe.

Enfin, avec $U_{-n} = U_n^*$, on obtient :

$$e(t) = \frac{T+1}{2T} + \sum_{n \neq 0} U_n e^{j2\pi \frac{n}{M} t}.$$

$$e(t) = \frac{T+1}{2T} + \sum_{n > 0} U_n e^{j2\pi \frac{n}{M} t} + U_{-n} e^{-j2\pi \frac{n}{M} t}.$$

$$e(t) = \frac{T+1}{2T} + \sum_{n > 0} U_n e^{j2\pi \frac{n}{M} t} + \overline{U_n e^{j2\pi \frac{n}{M} t}}.$$

$$e(t) = \frac{T+1}{2T} + 2 \sum_{n > 0} \operatorname{Re}(U_n e^{j2\pi \frac{n}{M} t}).$$

$$e(t) = \frac{T+1}{2T} - \sum_{n > 0} \frac{1}{\pi n} \frac{\sin(\frac{\pi n}{T})}{\sin(\frac{\pi n}{T} + \frac{\pi n}{M})} \sin(2\pi \frac{n}{M}(t-1)).$$

On aimera maintenant filtrer le signal. On note F_c la fréquence de coupure. On a alors

$2\pi \frac{n}{M} \leq F_c$ ou encore $n \leq \frac{MF_c}{2\pi} = N$. La somme n'est plus infinie, elle s'écrit :

$$s(t) = e_{\text{filtré}}(t) = \frac{T+1}{2T} - \sum_{n=1}^N \frac{1}{\pi n} \frac{\sin(\frac{\pi n}{T})}{\sin(\frac{\pi n}{T} + \frac{\pi n}{M})} \sin(2\pi \frac{n}{M}(t-1)).$$

Voici, ci-dessous, le résultat pour $T = 8$ et $R = 64$ (donc $M = 4096$) et une fréquence de coupure qui correspond à $N = 225$. En particulier, on peut compter 8 marches, chaque marche correspond à un dc entre 1 et $T = 8$; nous avons obtenu les résultats en utilisant le logiciel MAPLE.

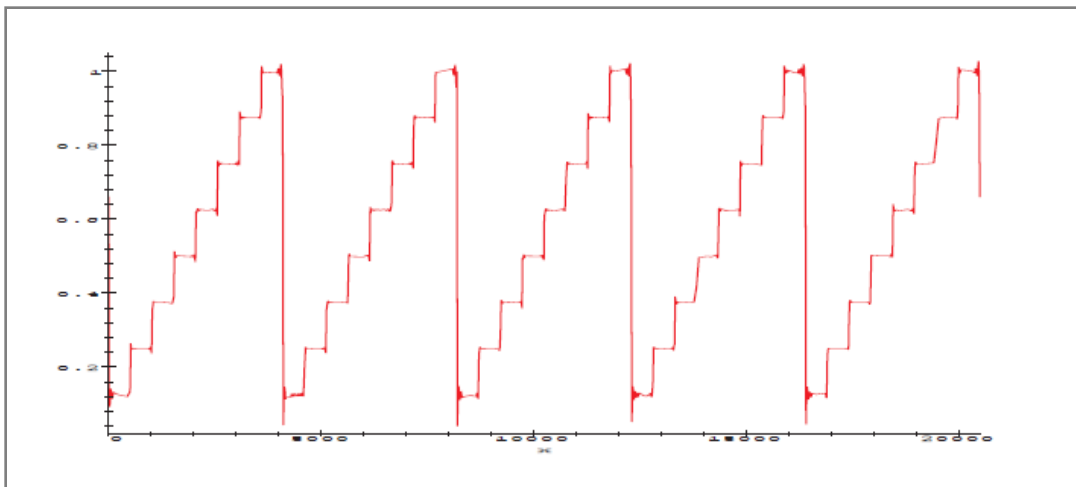


Figure 30: Construction de signal dent de scie sur 3 bits en utilisant Maple.

Pour des valeurs plus précises nous allons utiliser le logiciel MATLAB 7.8.0 version 2009 et pour les valeurs $T=1024$ (10 bits de précision de CNA), pour $R=2$ ($M=2097152$) et pour $n=225$ comme fréquence de coupure on obtient la figure 31 ci-dessous.

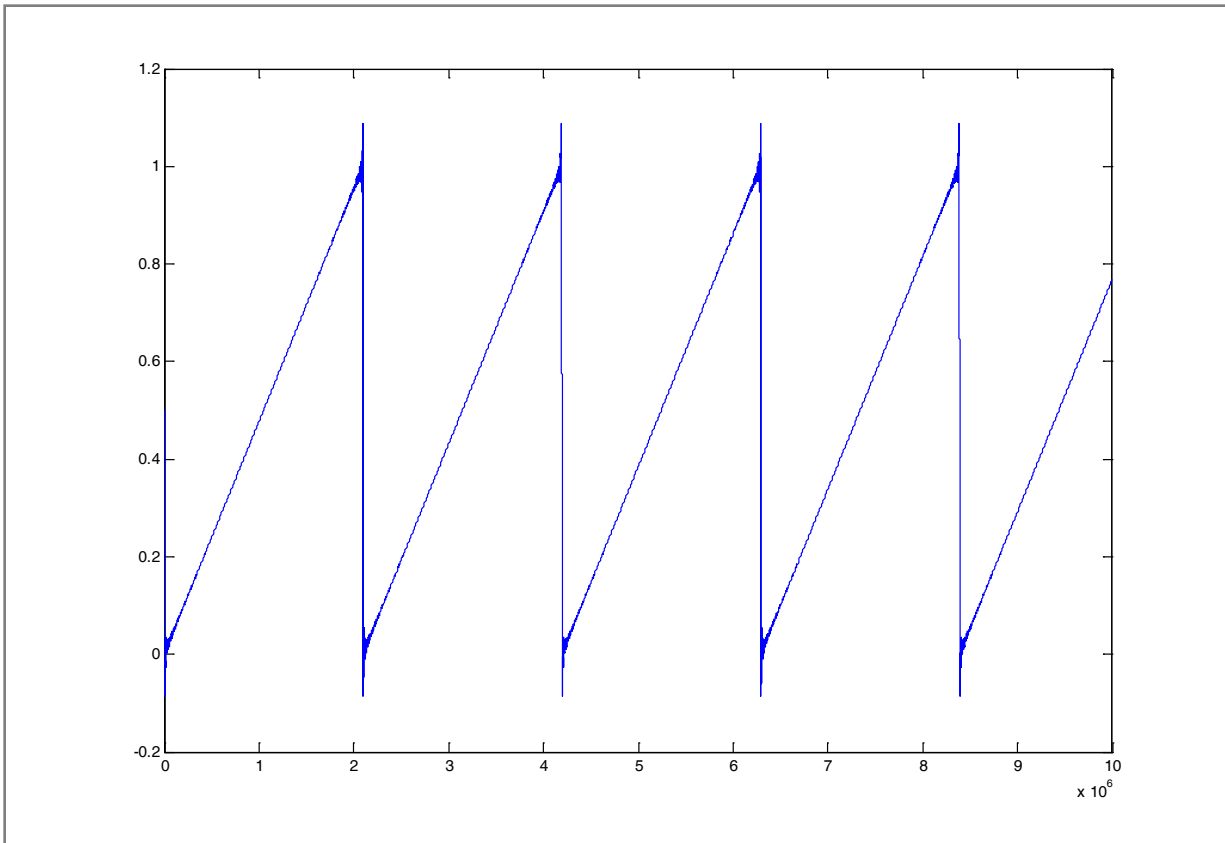


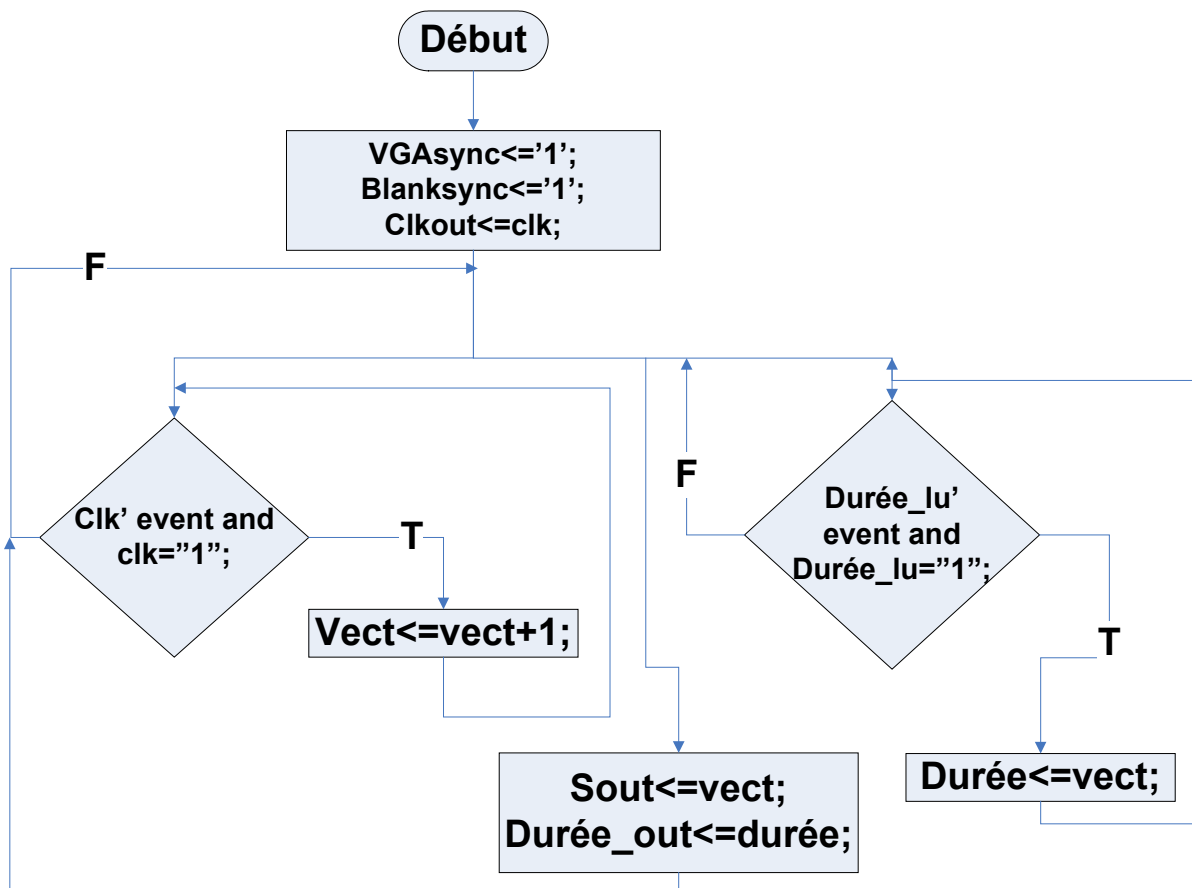
Figure 31: Signal dent de scie avec précision de 10 bits en utilisant MATLAB.

4.5.2 Mesure de tension à l'aide d'un CNA (2eme méthode):

Le diagramme ci-dessous énumère les entrées et les sorties du code VHDL qui décrit le comportement de la description du bloc qui est responsable de la mesure de la tension analogique.



Les détails du code VHDL figurent dans l'organigramme ci-dessous; en plus des entrées et des sorties nous avons besoins de 2 signaux internes de type `std_logic_vector(9 downto 0)`: vect et durée;



Cette méthode consiste à l'utilisation d'un circuit CNA de type ADV7123 et un FPGA pour la génération du signal de référence; différemment à la première méthode: le FPGA seul avec un simple filtre; dans notre système "TCC" nous allons utiliser la 2eme méthode car le signal référence sera plus stable et mieux utilisable malgré l'utilisation de grand nombre des broches du FPGA (36 broches) pour 3 broches dans la première méthode; mais ce n'est pas grave car le FPGA possède 475 broches.

5. Conclusion:

Dans ce chapitre nous avons vu le projet "TCC" de point de vu programmation, nous avons décrit en VHDL toutes les parties de la communication sérielle: le système UART de la réception et de la transmission et du FIFO à travers le port série RS-232; de même nous avons décrit la méthode de réception des octets et la formation d'un bus de donnée, le bloc de mesure de la fréquence , de la tension et du niveau logique.

Le langage de VHDL permet une meilleur conception dans la logique programmable ce qui favorise un meilleur contrôle sur les différents périphériques de la carte de développement DE2 guidés par le FPGA qui sera programmé par un train de bit qui désigne la conception logique de l'utilisateur.

Le chapitre de l'implémentation et du test va se baser sur le code VHDL du système "TCC" pour réaliser les différentes tâches pour tester un composants CMS; donc le VHDL est considéré dans ce cas un outil indispensable pour la démarche de ce projet parce qu'il sera en charge de guider, contrôler et manager correctement les différentes commandes pour un meilleur test.

Chapitre 4: Implémentation du système "TCC" et test des composants CMS.

1. Introduction:

Dans le monde, l'électronique est devenu un besoin dans tous les domaines, la maintenance électronique se classifie dans les priorités des utilisateurs et surtout les consommateurs de cette technologie produite par la conception des inventeurs.

La maintenance répond aux besoins de la majorité des gens ce qui a permis la création de firmes, compagnies et des protocoles qui se spécialisent dans ce domaine ainsi que les fonctions de la maintenabilité et de la maintenance pour un bon service à faible coût et en minimum de temps de réparation .

Dans ce projet nous allons concevoir un système qui doit nous servir dans la maintenance électronique des ordinateurs en général et des pc portables en particulier, ce système sous le nom de "TCC" (testeur des composants CMS) teste les circuits intégrés qui possèdent jusqu'à seize broches dans leur composition structurale, ce système va être contrôlé par le programme Labview et il sera capable de tester à travers la commande nécessaire sur chaque broche du circuit CMS à tester selon la structure interne de ce dernier, de même les sorties du circuit sous test seront détectées par des commandes provenant du Labview, le cœur de ce système est un FPGA Cyclone II qui a un rôle commutatif et affectif pour relier le logiciel de contrôle avec le hardware à travers un code VHDL qui est considéré dans ce cas un logiciel de pilotage et la communication utilisée sera série.

Le contrôle par commande est réalisé par un codage ASCII significatif; ce code sera envoyé du Labview envers le FPGA pour appliquer sur les broches du circuit intégré à tester des configurations multiples.

L'utilisateur aura besoin d'un ordinateur à port série et le circuit testeur CMS pour qu'il puisse tester une vaste gamme des circuits intégrés selon la fiche technique de chaque circuit; donc ce prototype est un testeur basé sur un système logique sans l'utilisation d'une mémoire comme

les testeurs des circuits intégrés traditionnelles qui sont très limités dans leur tests dont ils ont la possibilité de tester seulement les circuits qui se trouvent dans leur base de donnée.

Cette idée révolutionnaire dans ce domaine est un outil de test basé sur la logique et les connaissances de son utilisateur technicien; ce produit génèrera un signal carré à une fréquence donnée à l'entrée, et possède le pouvoir de détecter cette fréquence à la sortie, de même il pourra détecter le niveau logique à la sortie et il commandera le niveau logique désiré à l'entrée.

Donc c'est un système qui pourra remplacer plusieurs appareils de test comme le générateur de fréquence, le fréquencemètre, le voltmètre, l'oscilloscope.

2. Maintenance et maintenabilité:

La maintenabilité est une caractéristique précisant la facilité et la rapidité avec lesquelles un système peut être remis en un état de fonctionnement total avec une fiabilité correspondant à son âge.

La rapidité de remise en état d'un système peut être mesurée par la durée active du dépannage. Par active, on entend qu'on ne comptera pas les temps morts non imputables à la conception du système, tels que les délais de réponse des dépanneurs, les durées d'attente des pièces de rechange ou les temps passés à la rédaction des pièces administratives, car ces temps dépendent de l'organisation et de l'efficacité du service de maintenance et non de la conception du système.

Pour rendre le dépannage plus facile et plus rapide, nous devons prévoir, dès la conception, les moyens pour faciliter :

- le diagnostic des pannes existantes et de celles risquant de survenir rapidement (défaillances par dégradation).
- l'accès aux pièces à remplacer, leur démontage et leur remplacement.
- le contrôle de la validité de l'action de maintenance.

La durée de maintenance active, qui concerne la maintenabilité comme la durée de maintenance totale incluant les temps morts, est très variable en fonction de la panne, de

l'aptitude du dépanneur et des moyens d'aide dont il dispose. Ce sont des variables aléatoires caractérisées par une densité de probabilité et une fonction de répartition appelée fonction maintenabilité. Il en résulte que la maintenabilité peut être mesurée par une probabilité, d'où une définition possible :

La maintenabilité est une caractéristique d'un système mesurée par la probabilité d'être remis, par une action de maintenance, dans des conditions opérationnelles définies, dans une période fixe, les ressources et les conditions d'environnement étant préalablement spécifiées.

Les conditions opérationnelles comprennent l'aptitude à remplir les fonctions spécifiées avec un niveau de fiabilité et de sécurité conforme au cahier des charges. Les ressources et les conditions d'environnement doivent être conformes au plan de maintenance du système.

Une action de maintenance comporte plusieurs tâches successives. On peut considérer les tâches suivantes comme typiques :

- vérifier la réalité de la panne.
- identifier la pièce défectueuse.
- démonter le système pour accéder à la pièce.
- retirer la pièce.
- la remplacer par une pièce en bon état.
- remonter le système.
- contrôler le bon résultat de la réparation.

Donc la maintenabilité est une caractéristique du système et elle est définie en terme de probabilité. En revanche, la maintenance est une action réalisée par les techniciens de maintenance sur le système pour le remettre en bon état^[19].

L'entreprise Jamal CO où je travaille s'intéresse à des objectifs commerciaux multiples; la vente du matériel informatique et électronique, la maintenance de ces produits et aux services des clients après vente afin de satisfaire la clientèle de l'entreprise.

Dans le département de la maintenance nous appliquons plusieurs protocoles de travail pour en assurer une bonne démarche des tâches de travail dans la société;

Le département de la maintenance électronique comporte plusieurs rayons:

- La réception des appareils à réparer (carte mère d'un PC, d'un écran LCD, des ordinateurs portables, des adaptateurs, etc....).
- Un rayon qui sert à la classification de type de pannes pour que chaque technicien pourra exercer ses tâches spécifiques.
- Un rayon de désassemblage et de l'assemblage des pièces réparé ou à réparer.
- Un dernier rayon "niveau bas" qui détecte et précise la cause de la panne et il la répare pour un refonctionnement normal du système; dans cette activité on reçoit les cartes électroniques après désassemblage dans le rayon précédent, à ce niveau j'applique mes connaissances de formation pour identifier les composants électroniques (les diodes, les transistors normaux et intégrés, ...etc.) pour les examiner à l'aide des outils de réparations (station de soudage à vapeur pour les composants CMS, fer à souder, multimètre, le pince magnétique, l'oscilloscope, le générateur de tension continu, générateur de fréquence(GBF) ,les supports qui fixe etc..) les ruptures qui causent le mal fonctionnement du système, lors de la détection de l'erreur on répare par le changement du composants détériorés par un autre convenable.

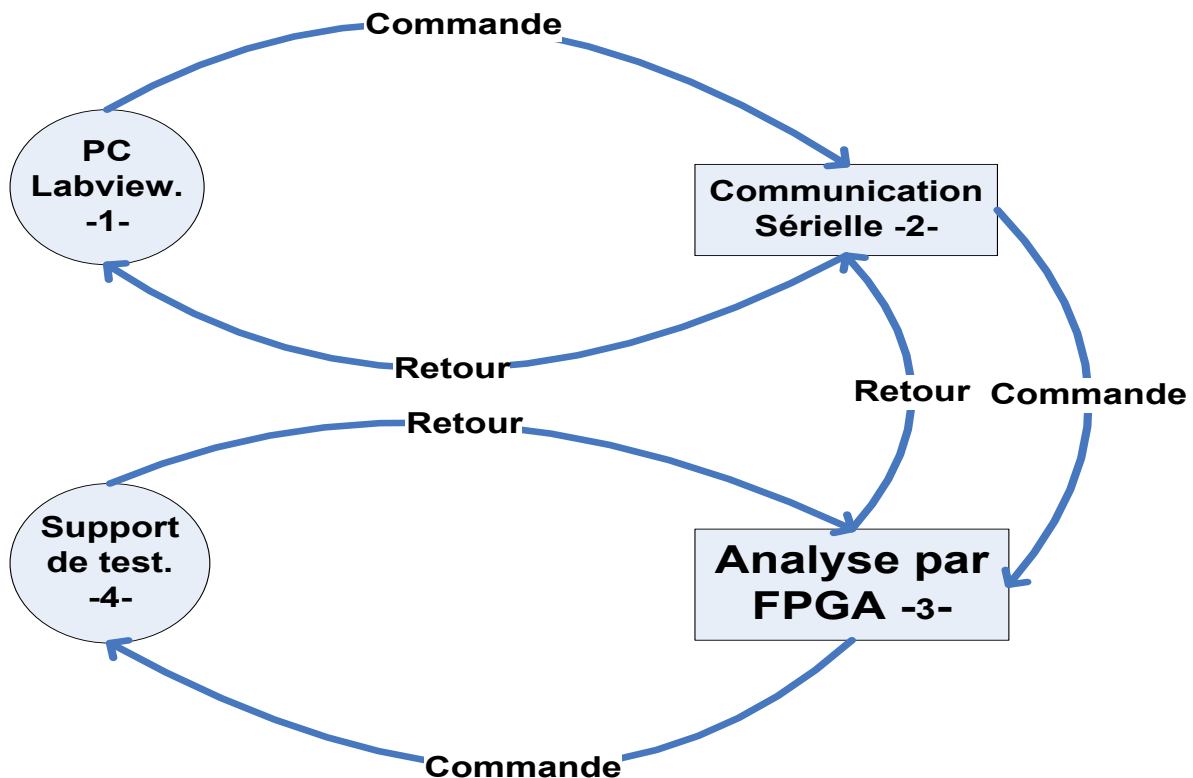
Enfin un bureau de gestion de travail dans le but de surveiller et de contrôler la démarche du travail correctement et convenablement aux procédures de travail et de sécurité pour assurer le fonctionnement des appareils de nouveau sans aucune erreur commise.

Dans mon travail dans ce département j'avais besoin de tester les circuits intégrés des cartes mères des ordinateurs pc et portables. Ces circuits se diffèrent aléatoirement d'une carte à une autre où il ya une grande variation de ces circuits dans le but de les tester; pour cela dans mon projet j'avais besoin d'un système "testeur des circuits CMS" qui sera capable de tester la majorité des circuits intégrés étant numériques ou analogiques.

3. Réalisation:

3.1 Généralité:

Notre projet "TCC" (testeur des composants CMS) est un système globale qui comporte quatre parties principales: le logiciel de contrôle Labview, l'utilisation d'un FPGA Cyclone II, la communication sérielle ,une partie hardware. L'union de ces quatre parties va construire un système complet qui pourra remplacer plusieurs appareils de test dans le but de l'utiliser comme un appareil de test unique pour économiser le temps parce qu'on a maintenant le pouvoir de tester sans remplacer les circuits par une pièce de rechange qu'on doute s'ils sont défectueux ou ils ne le sont pas.



Le diagramme ci-dessus nous montre la chronologie des commandes qui portent l'information qui sert à appliquer une configuration choisie sur une broche donnée et le retour des résultats des commandes aussi; donc dans ce diagramme le Labview envoie un octet de commande à travers le port série puis le FPGA reçoit cet octet pour générer une commande sur une des broches du support des tests puis il y aura un retour envers le FPGA qui par son tour communique avec le port série pour afficher les résultats sur le PC sous le contrôle de Labview.

3.2 Vue RTL du FPGA Cyclone II :

Après l'implémentation du code VHDL dans le FPGA, la vue RTL (Regiter Transfer Level) nous informe que le code est composé de quatre blocs logiques comme le montre la figure 32.

Le système UART de la réception et de la transmission est contrôlé par un seul bit de commande à l'entrée et un seul bit de retour à la sortie; ces deux bits vont designer le contrôle

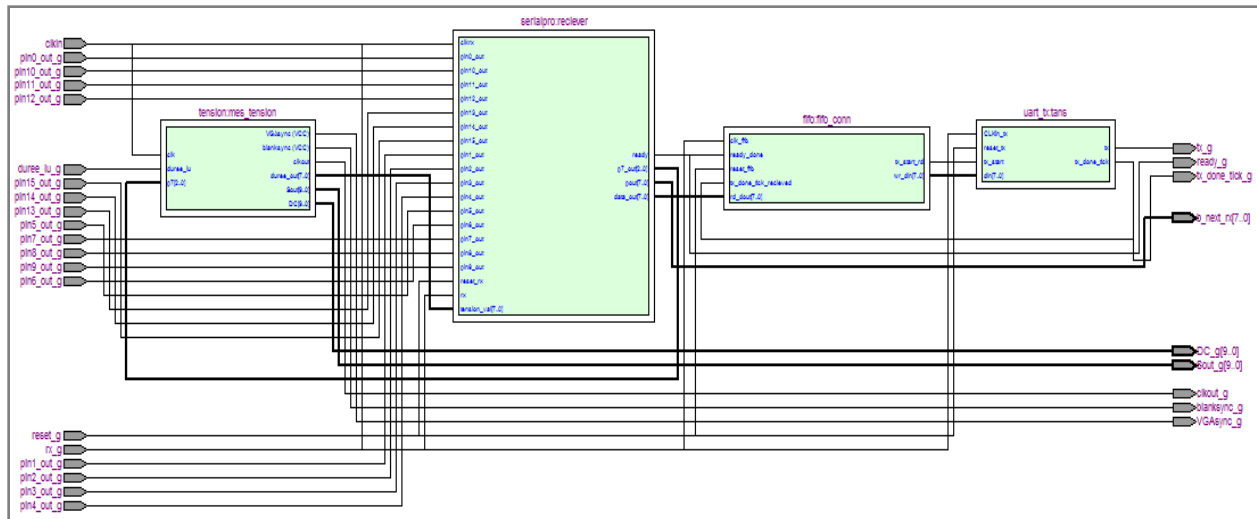


Figure 32: Vue RTL d'un code VHDL implémenté dans le FPGA.

et la réponse de ce de système.

Le bloc "reciever" reçoit un bit du port série RS-232 pour construire un vecteur Pout de huit bits portant l'octet commande provenant du logiciel de contrôle Labview, les seize octets commandes seront décalés dans un registre S de 128 bits considéré comme un bus de donnée pour contrôler les broches du support de test; ce bloc pourra aussi détecter le niveau logique à la sortie d'une broche d'un circuit sous test, lorsque chaque octet commande est transformé en un octet de retour portant l'information nécessaire qui décrit le comportement des sorties des broches du circuit sous test il est envoyé vers le bloc "FIFO" pour qu'il soit renvoyé de nouveau vers le bloc de transmission "trans" après avoir confirmé que cet octet est arrivé complètement au registre "FIFO"; l'octet arrivé au bloc "trans" sera décomposé en huit bits séparés pour qu'ils soient envoyés envers le port série un bit après l'autre.

Le bloc de mesure de la fréquence "Freq" est intégré dans le bloc "reciever" pour recevoir l'octet de commande de la détection de la fréquence dont il calculera la fréquence sur la broche désirée directement pour renvoyer après l'octet de retour envers le bloc FIFO.

Un bloc de tension qui commande le niveau analogique et mesure la tension analogique aux sorties lors d'un test tout en communiquant avec les autres blocs.

Les seize broches du support de test seront commandées à partir du bloc "receiver" et de même la lecture des informations sur les sorties du support de test seront en relief avec ce même bloc "receiver".

Ce système possède une horloge commune divisée sur tous les blocs logiques.

3.3 Principe de fonctionnement de "TCC":

Le système global "TCC" est un système qui fonctionne sous une commande par utilisateur dont il pourra par six configurations différentes contrôler jusqu'à seize broches du circuit intégré à tester; donc il suffit d'assigner la configuration sur la broche correspondante pour faire le test désiré et ceci est appliqué par un interfaçage graphique sur Labview, la commande est désignée par un code ASCII qui sera envoyé par Labview vers le FPGA à travers un port série RS-232 de l'ordinateur et le FPGA par son tour traite ce code pour l'envoyer vers la broche correspondante du composant à tester sous la forme d'une commande. Puis ce code va revenir dans le bus de données déjà envoyé par Labview; les codes de retour sont des informations qui décrivent la situation et le comportement à la sortie des broches du composant à tester .

L'ensemble de ces codes octets est envoyé sous la forme d'un bus de données de 128 bits car le Labview envoie 16 octets de commande dans ce bus; donc on peut considérer le code VHDL qui décrit la situation de commande et de réponse comme un logiciel de pilotage parce que le code de description traite ce bus pour exécuter les commandes sur les broches du circuit à tester.

Ce bus de données est composé de seize octets et chaque octet est considéré comme un code significatif portant deux informations; une information dans les 4 MSB bits qui indique le type de la configuration et une autre information dans les autres 4 LSB bits de l'octet qui indique le numéro de la broche du circuit à tester.

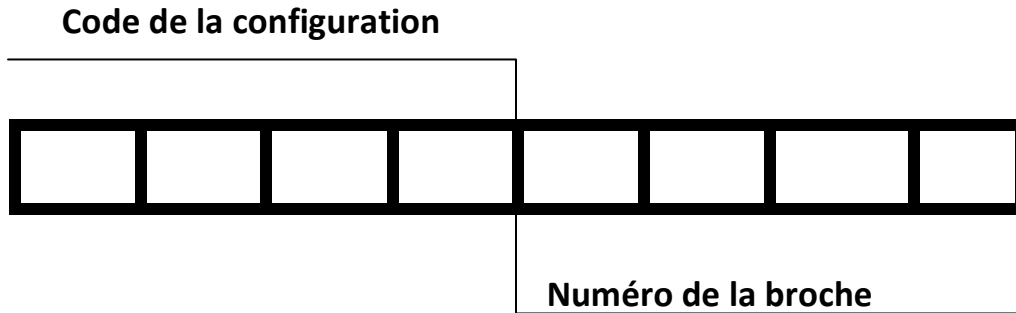


Figure 33: Codage significatif.

Comme le montre la figure 33 ce codage est très important car il suffit de savoir la valeur binaire du code pour en savoir le type de la configuration et sur quelle broche cette configuration est appliquée.

Le tableau 3 ci-dessous montre toutes les possibilités des codes de toutes les configurations sur toutes les broches; six configurations sur seize broches sa fait 96 cas pour couvrir toutes ces possibilités.

Tableau 3: Codage de l'octet de commande:

Type de la configuration	Numéro de la broche	Caractère ASCII	Code binaire	
			Configuration.	N.de la broche.
Haute Impédance	0	P	0101	0000
	1	Q	0101	0001
	2	R	0101	0010
	3	S	0101	0011
	4	T	0101	0100
	5	U	0101	0101
	6	V	0101	0110

	7	W	0101	0111	
	8	X	0101	1000	
	9	Y	0101	1001	
	10	Z	0101	1010	
	11	[0101	1011	
	12	\	0101	1100	
	13]	0101	1101	
	14	^	0101	1110	
	15	_	0101	1111	
	Fréquence	0	0	0011	0000
		1	1	0011	0001
		2	2	0011	0010
		3	3	0011	0011
		4	4	0011	0100
		5	5	0011	0101
6		6	0011	0110	
7		7	0011	0111	
8		8	0011	1000	
9		9	0011	1001	
10		:	0011	1010	
11		;	0011	1011	
12		<	0011	1100	
13		=	0011	1101	
14		>	0011	1110	

	15	?	0011	1111
Niveau logique '1' ou 3.3V DC	0	espace	0010	0000
	1	!	0010	0001
	2	"	0010	0010
	3	#	0010	0011
	4	\$	0010	0100
	5	%	0010	0101
	6	&	0010	0110
	7	'	0010	0111
	8	(0010	1000
	9)	0010	1001
	10	*	0010	1010
	11	+	0010	1011
	12	,	0010	1100
	13	-	0010	1101
	14	.	0010	1110
	15	/	0010	1111
Niveau logique '0'	0	@	0100	0000
	1	A	0100	0001
	2	B	0100	0010
	3	C	0100	0011
	4	D	0100	0100
	5	E	0100	0101
	6	F	0100	0110

	7	G	0100	0111
	8	H	0100	1000
	9	I	0100	1001
	10	J	0100	1010
	11	K	0100	1011
	12	L	0100	1100
	13	M	0100	1101
	14	N	0100	1110
	15	O	0100	1111
Détection du niveau logique : Sortie	0	,	0110	0000
	1	a	0110	0001
	2	b	0110	0010
	3	c	0110	0011
	4	d	0110	0100
	5	e	0110	0101
	6	f	0110	0110
	7	g	0110	0111
	8	h	0110	1000
	9	i	0110	1001
	10	j	0110	1010
	11	k	0110	1011
	12	l	0110	1100
	13	m	0110	1101
	14	n	0110	1110

	15	o	0110	1111
Mesure de la fréquence: Freq	0	p	0111	0000
	1	q	0111	0001
	2	r	0111	0010
	3	s	0111	0011
	4	t	0111	0100
	5	u	0111	0101
	6	v	0111	0110
	7	w	0111	0111
	8	x	0111	1000
	9	y	0111	1001
	10	z	0111	1010
	11	{	0111	1011
	12	 	0111	1100
	13	}	0111	1101
	14	~	0111	1110
	15	€	1000	0000

Remarque: le dernier code le "Euro" a été choisi de cette façon car le code qui vient après celui qui le précède n'est pas valable en ASCII.

Dans les deux dernières configurations leurs codes envoyés dans le bus de données ne retournent pas le même; mais avec un code ASCII différent portant une information à propos du comportement à la sortie de la broche, ici on a deux cas à prendre en considération:

1. Dans le cas d'un code envoyé étant une détection de la sortie le code retourner dans le bus de donné est 'A' ("01000001") si le niveau logique est bas sinon le code sera 'B' ("01000010").
2. Dans le cas d'un code envoyé étant une détection de la fréquence le code de retour sera la valeur de la fréquence mesuré sur la broche correspondante.

3.4 Utilisation du logiciel Labview:

Le Labview est un logiciel de programmation graphique qui garantie un meilleur contrôle sur les différentes parties d'un projet donné à réaliser; pour cela nous allons dans ce "TCC" prototype utilisé ce logiciel comme un système de contrôle qui facilitera la réalisation des tests que ce "TCC" pourra effectuez par un utilisateur non expert (un technicien, un étudiant, ... etc.).

3.4.1 Interfaçage graphique utilisateur:

Le logiciel Labview 2009 utilisé dans ce prototypage a pour rôle de contrôler le système globale avec un interfaçage graphique dans le but de faciliter l'utilisation du "TCC" par un

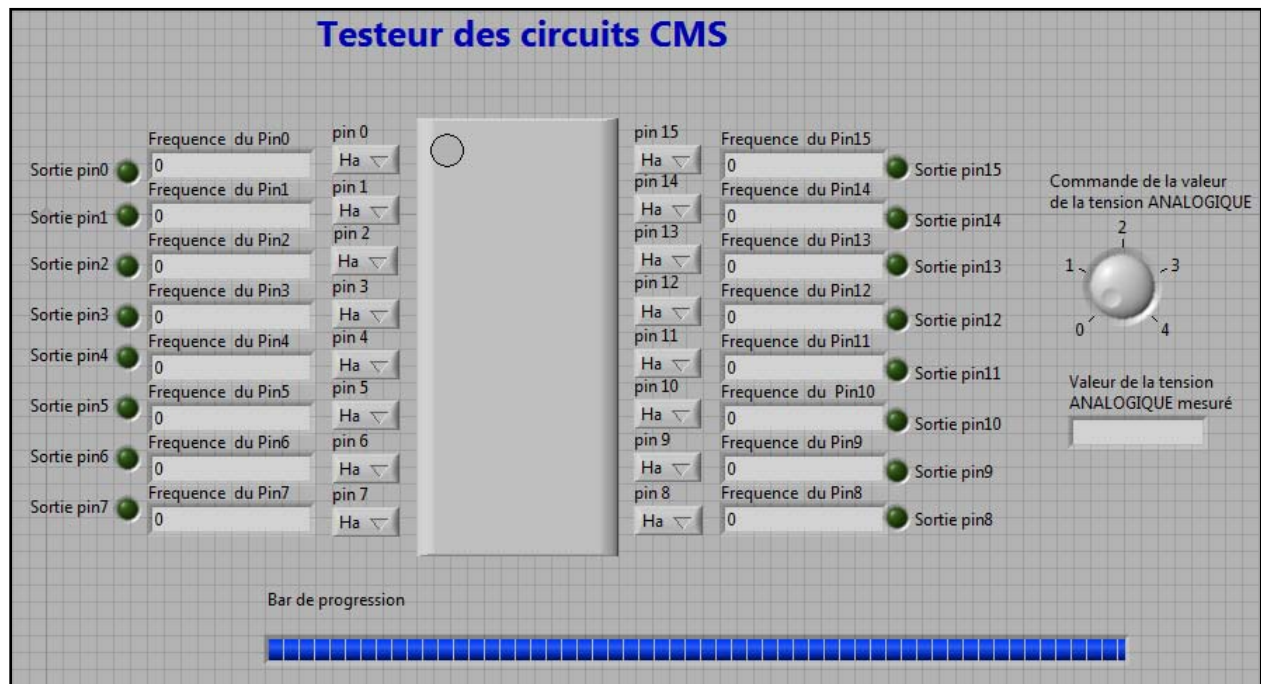


Figure 34: Interface Labview de l'utilisateur du système TCC.

utilisateur technicien qui désirera tester un circuit intègre CMS comme l'indique la figure 34.

L'interfaçage dans ce projet a été conçu pour qu'il soit familier avec l'idée de projet pour cela la fenêtre de navigation de l'utilisateur lui montre une simplicité pour effectuer les tests qu'il

voudra car il pourra voir le contrôle sur le circuit à tester sur cette fenêtre tout en précisant sur chaque broche les commandes et les configurations d'entrée et de sortie nécessaires pour un bon résultat de test.

3.4.2 Configuration du "TCC":

Pour configurer chaque broche du circuit à tester il suffit de choisir la configuration correspondante du menu sur chaque broche comme l'indique la figure 35 , et puis exécuter le système globale et attendre la fin de l'exécution après 16 secondes; une seconde pour chaque broche à configurer.

Le système sera initialiser au niveau bas de la sortie et la valeur de fréquence sera nulle au début et une haute impédance sur toutes les broches.

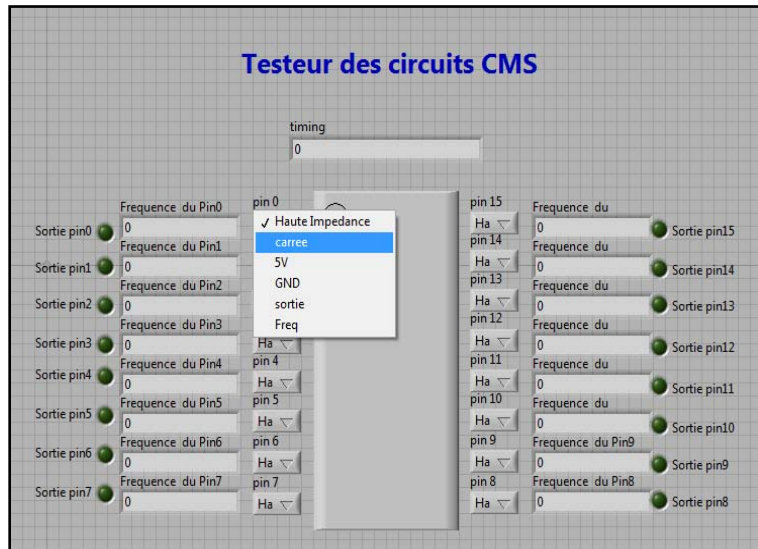


Figure 35: Choix de la configuration sur chaque broche.

3.4.3 Réalisation de l'interfaçage et le contrôle par Labview:

Au niveau de logiciel Labview chaque configuration se représente par une valeur numérique dans le menu dont l'utilisateur choisi la configuration correspondante à chaque broche.



Figure 36: Réalisation d'une configuration sur la broche 0.

la haute impédance par un '0', le signal carré par '1', le niveau de tension 3.3 V ou '1' logique par un '2', la terre ou le niveau logique '0' par un '3', et la détection de la sortie par un '4' et enfin la mesure de la fréquence par un '5'.

Puis chaque broche qui porte les six configurations est reliée à un "Switch case" pour choisir quelle code correspondant doit être envoyer vers le port série (figure 36). Le même contrôle sera

appliquer sur les autres broches l'une après l'autre séquentiellement pour qu'ils soient envoyés vers le port série RS-232; pour réaliser cette séquence nous allons utiliser la fonction Labview de structure "Stacked Sequence Structure" (figure 37) .

Cette fonction consiste à grouper séquentiellement plusieurs sous programmes ou actions tout en contrôlant le nombre de séquences de 0 jusqu'à n. Dans les deux dernières configurations la mesure de la fréquence et la détection de la sortie; nous avons deux cas à prendre en considération:

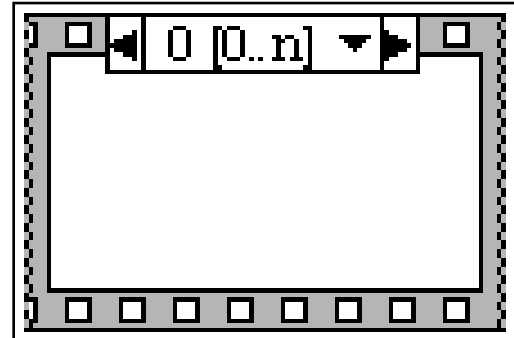


Figure 37: La fonction "Stacked Sequence Structure".

1. Lors de la configuration qui commande la détection de la sortie nous allons faire une

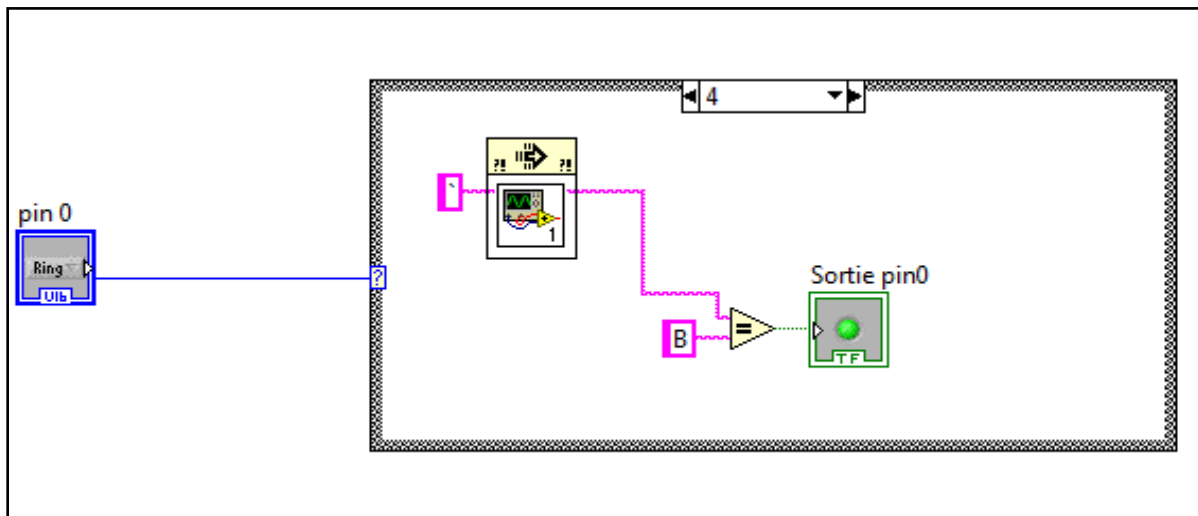


Figure 38: Détection du niveau logique et Interfaçage de l'indicateur "Sortie pin0".

comparaison de l'octet de retour de cette commande avec le code 'B' ASCII (figure 38) s'il est égale à l'indicateur logique "Sortie pin0", ce dernier s'allume (figure 34) sinon il reste éteint.

2. Lors de la configuration qui commande la mesure de la fréquence nous allons faire trois étapes (figure 39):

a. Transformer le code ASCII en code binaire en utilisant la fonction "String To Byte Array Function" pour l'envoyer après vers une matrice pour conserver cette valeur binaire.

b. Puis en utilisant la fonction "Index Array Function" tout en choisissant la première ligne de la matrice de cette fonction à la sortie.

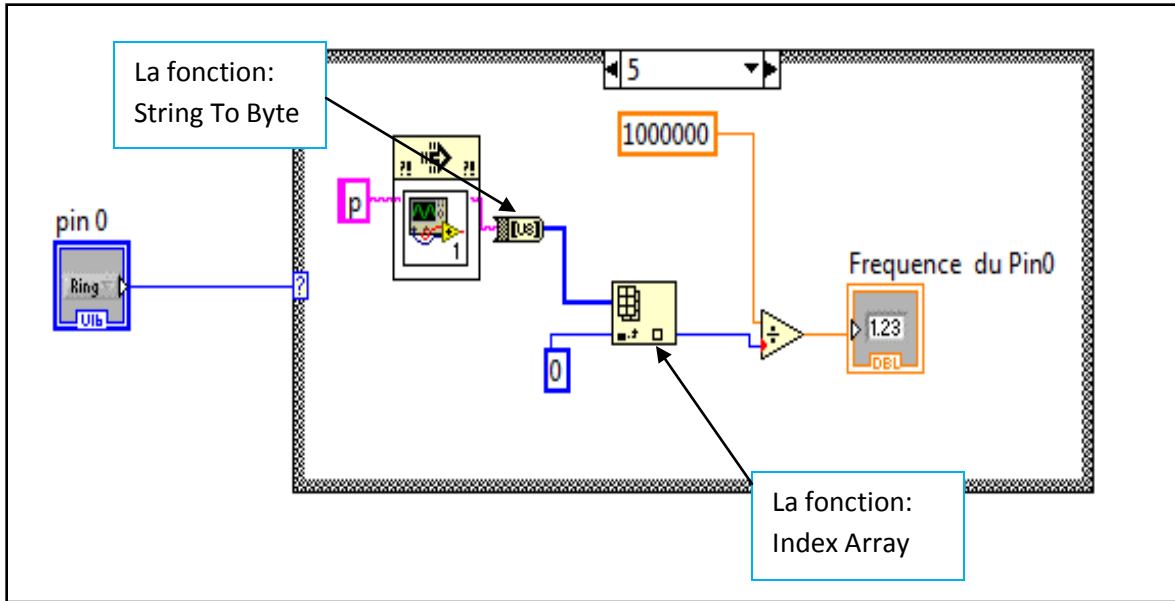


Figure 39: Mesure de la fréquence et son Interfaçage sur l'indicateur "Fréquence du Pin0".

c. Enfin on divise un million par la sortie de la fonction "Index Array" pour afficher la valeur de la fréquence dans l'indicateur " Fréquence du Pin0".

3.4.4 Le sous programme "Call serial":

a. Un sous programme Labview "Call serial" a été utilisé pour faciliter la tâche de communication avec le port série RS-232 pour envoyer seize octet du code ASCII portant une information de commande envers ce port de communication pour qu'ils seront traiter après par le FPGA pour contrôler les configuration sur les broches du circuit intégré à tester.

Ce sous programme comporte une entrée pour envoyer l'octet envers le port série et une sortie pour la lecture des octets provenant du port série.

Nous allons utilisé cette liaison dans tous les cas de configurations possibles pour construire le bus de donné qui porte les différents commande sur les seize broches du circuit intégré sous test (figure 40).



Figure 40: Le sous programme "Call serial".

b. La structure du sous programme "Call serial" est formée de cinq parties principales pour avoir un bon déroulement des actions au niveau de la réception et de la transmission des octets commandes:

1. La fonction "VISA Configure Serial Port" permet l'initialisation du port série pour détecter la source de connexion par l'entrée de cette fonction "Visa resource name" (figure 41), et elle permet la

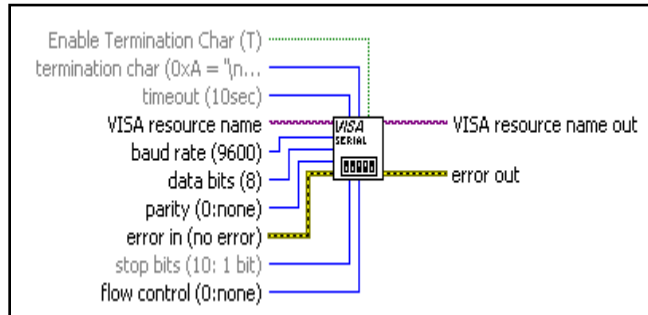


Figure 41: La fonction "VISA Configure Serial Port".

configuration type de protocole série ainsi que la vitesse de transmission ("baud rate"), le bit de START, la parité, le bit de STOP,... etc.

2. Cette fonction va nous permettre d'écrire dans le port série à travers une entrée "write buffer" pour envoyer les octets commandes (figure 42), cette fonction dépend aussi de la source d'information comme celle qui la précède.

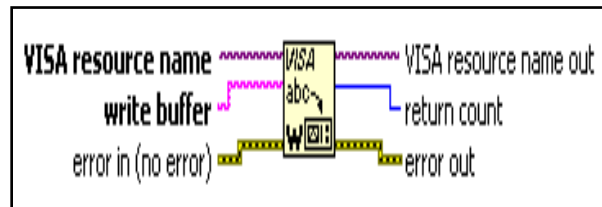


Figure 42: La fonction "VISA Write Function".

3. Cette fonction (figure 43) va nous permettre de lire les octets de retour qui porte une information à propos de l'état et le comportement de la sortie des broches du circuits sous test à travers une sortie "read buffer", de même cette fonction

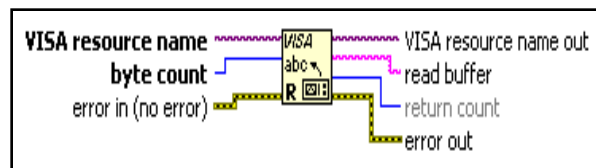


Figure 43: La fonction "VISA Read .

dépend aussi de la source d'information et de nombre des octets déjà lu qui seront détectés par une entrée "byte count".

4. Dans cette fonction (figure 44). nous allons clôturer le schéma de la réception et la transmission des octets et elle dépend bien sur de la source d'information.



Figure 44: La fonction " VISA Close Function".

5. Les nœuds " Property Node " (figure 45) ont pour rôle d'adapter automatiquement les classes d'un objet à qui on se réfère ; dans ce cas le rôle de ce nœud est de compter le nombre des octets qui se trouvent dans le port série pour obtenir une bonne réception des octets provenant du port série par la fonction "VISA Read Function" [20].

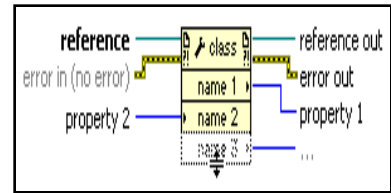


Figure 45: Property Node.

le système complet de la transmission et de la réception est de la forme suivant (figure 46):

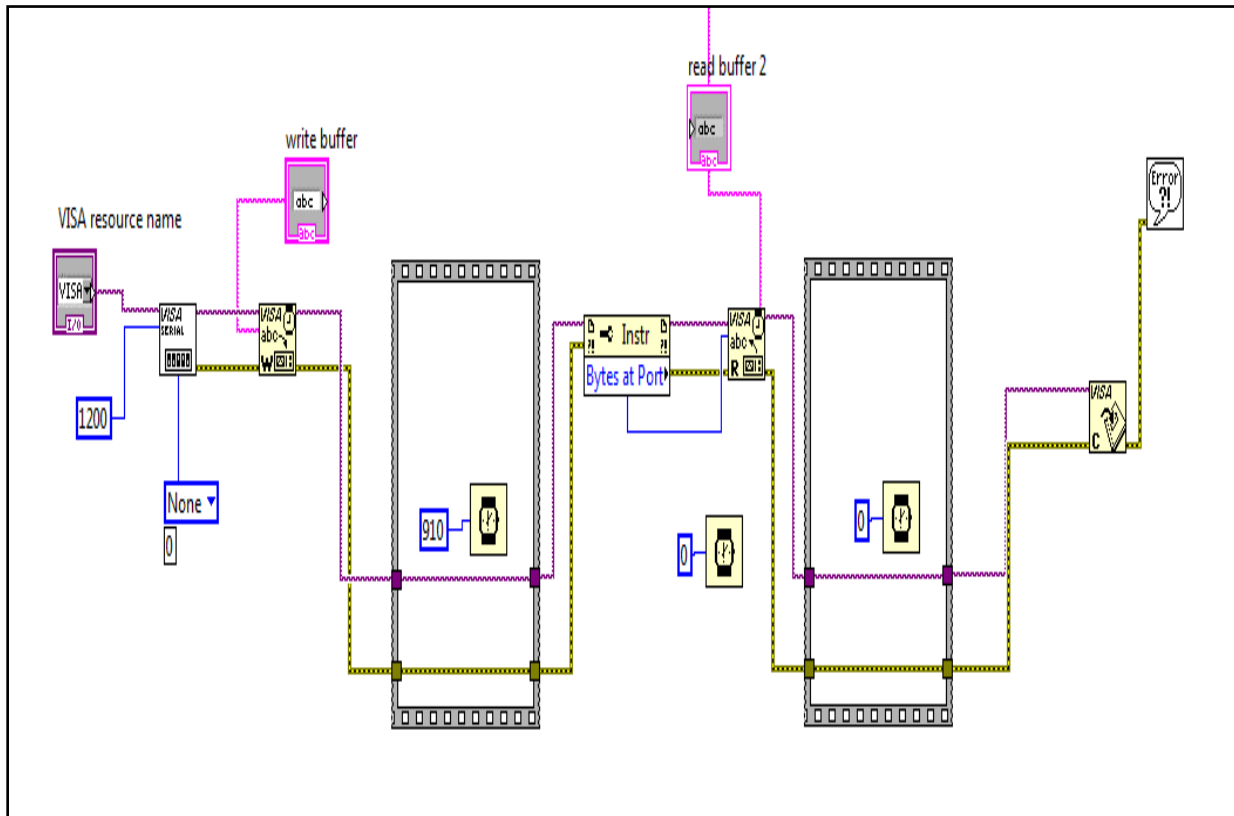


Figure 46: Système de la transmission et de la réception à travers le port série.

le sous programme "Call Serial" sera de la forme suivante: on précise la vitesse de transmission de 1200 bauds et la source d'information "visa source name"; on envoie des octets commandes à travers le "write buffer" et on reçoit les octets de retour à travers le "read buffer " et on contrôle le nombre des octets dans le port série à travers le nœuds (Property Node) et on doit créer un délai de 910 ms en ce qui correspond au FIFO du système UART du FPGA et à la fin on clôture le système avec la fonction "VISA Close Function".

4. Utilisation d'un FPGA:

4.1 Importance d'un FPGA dans ce type de projet:

Un FPGA dans ce projet est utilisé pour des raisons majeures: la fréquence interne supérieure pour déterminer les hautes fréquences à la sortie des circuits sous test, un bon et large contrôle sur plusieurs événements en même temps ainsi que la commande de la sortie et le retour de cette commande qui doivent être presque simultanés et de même la commande de fréquence puis la détection de la fréquence à la sortie dans un intervalle de temps le plus petit possible.

Grâce à sa composition reconfigurable dont on peut en mode de programmation JTAG de faire beaucoup d'essais pour obtenir la configuration convenable à notre cahier de charge, le grand nombre des broches que comporte cet FPGA nous a donné la chance de faciliter le contrôle sur les broches où les différents tests auront lieu.

L'implémentation de cet FPGA Cyclone II dans la carte de développement DE2 nous a facilité l'utilisation de plusieurs modes de programmation: la programmation JTAG et la programmation AS à travers le système programmeur USB-BLASTER fourni par le logiciel Quartus 7.2 par ALTERA, de même les extensions des broches sous la forme des connecteurs de 40 broches de type "TRANS 40 DIL" qui nous a permis de contacter directement le support de test à l'extérieur de la DE2 pour faire les différents tests, les 26 LEDs rouges et verts pour mieux comprendre le comportement du code VHDL aux sorties du FPGA et la présence d'un port série implémenté dans la carte DE2 avec le circuit de conversion MAX-232.

4.2 Statuts du FPGA utilisé:

Chaque FPGA est constitué d'un certain nombre de composants ainsi que les LEs, les PLLs, les broches, les blocs logiques, les registres, ...etc. Dans notre FPGA on a consommé plusieurs composants intérieurs de ce dispositif le tableau 4 ci-dessous nous montre ceci en détails:

Tableau 4: Capacité d'utilisation du FPGA.

Composant intérieur	Quantité utilisé	Pourcentage d'utilisation
LEs	623/33216	2 %
Les registres	333	-
Les broches	54/475	11 %

4.3 Les Horloges:

Dans la carte DE2 nous avons la possibilité d'utiliser trois ressources d'horloges deux à partir d'un oscillateurs 50 MHz qui est relié à la broche N2 du FPGA et à partir d'un oscillateurs 27 MHz qui est relié à la broche D13 et le troisième à partir d'une horloge extérieur qui est relié à la broche P20 du FPGA.

5. Utilisation de la carte de développement DE2 :

La carte DE2 est une carte de développement et d'éducation qui facilite les différentes tâches que l'utilisateur voudra concevoir pour réaliser un projet bien déterminé tout en allant des simples projets jusqu'à atteindre les projets complexes ainsi que les projets multimédias, traitement d'image et les systèmes de test et de mesure.

5.1 Le FPGA Altera Cyclone II EP2C35F672C6:

Nous allons utilisé le circuit EP2C35F672C6 comme FPGA pour la réalisation de notre projet, l'importance de ce circuit (figure 47) dans le grand nombre d'entrée et de sortie qu'ils possèdent, une fréquence interne importante qui peut atteindre 402.5 MHz pour générer des horloges, pour la lecture des hautes fréquences ... etc., 105 M4K RAM blocs de mémoire interne jusqu'à la mémoire totale de 483.840 Kbits, la

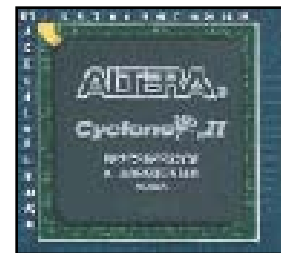


Figure 48:FPGA EP2C35F672C6.

possession de 4 PLLs ce qui donne au système un management des horloges très robuste, 35 multiplicateurs embarqués, 33216 LEs et 475 broches IOs pour le control de l'utilisateur. La puce de ce circuit se localise dans un boitier de type BGA (Bold Grid Array) comme l'indique la figure 48 ci-contre.

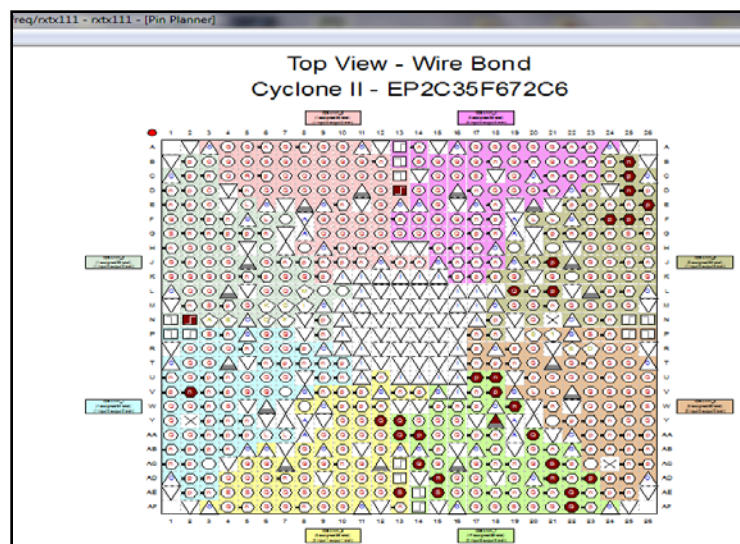


Figure 47:Assignment des broches IOs (logiciel Quartus 7.2).

Dans le but de contrôler les IOs de cet FPGA le logiciel Quartus 7.2 offre un système d'assignation des broches: "Pin Planner " dont chaque IO de cet FPGA possède un code qui déterminera la position de la broche à utiliser; par exemple sur la position N2 de cet FPGA nous avons assigné l'horloge dont l'oscillateur est de 50 MHz comme dans la figure 42 ci-dessus. toutes les broches assignées sur cette figure ont la couleur de leurs cases rouge brique.

Cet FPGA est implémenté dans la carte de développement et d'éducation DE2 réalisé par le programme universitaire d'éducation de la firme Altera.

5.2 La carte DE2:

La carte DE2 nous donne la possibilité d'utiliser un grand nombre de périphériques dont ils sont implémentés, dans le but de concevoir un système bien déterminé; la DE2 possède de nombreuses fonctionnalités qui permettent à l'utilisateur d'implémenter une large gamme de circuits conçus tout en allant des circuits simples jusqu'aux divers projets multimédias.

5.2.1 composition de la carte DE2:

Les périphériques qui composent la carte DE2 sont les suivant (Figure 49):

- Un FPGA Altera Cyclone II 2C35 .
- Un dispositif de configuration série Altera - EPCS16.
- USB Blaster (intégré dans la carte) pour la programmation et le contrôle de

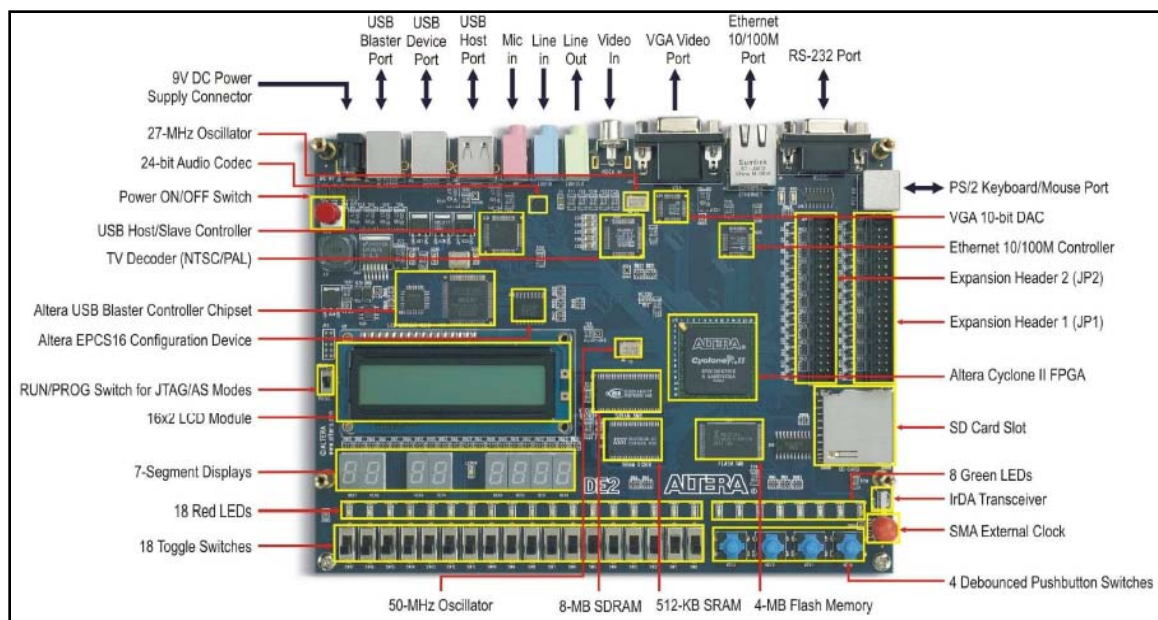


Figure 49: Composition de la carte DE2.

l'utilisateur, deux types: JTAG et mode de programmation série active (AS).

- 512 Ko de SRAM et 8 Mo SDRAM.
- 4-Mo de mémoire flash.
- Carte SD socket.
- 4 boutons poussoirs.
- 18 interrupteurs à bascule.
- 18 DEL rouges.
- 9 DEL verts.
- 50 MHz oscillateur et 27 MHz et oscillateur pour les sources d'horloge.
- 24-bits de qualité CD audio CODEC avec line-in, line-out et microphone.
- CDA VGA (10-bit CDA haut débit triple) avec connecteur sortie de type VGA.

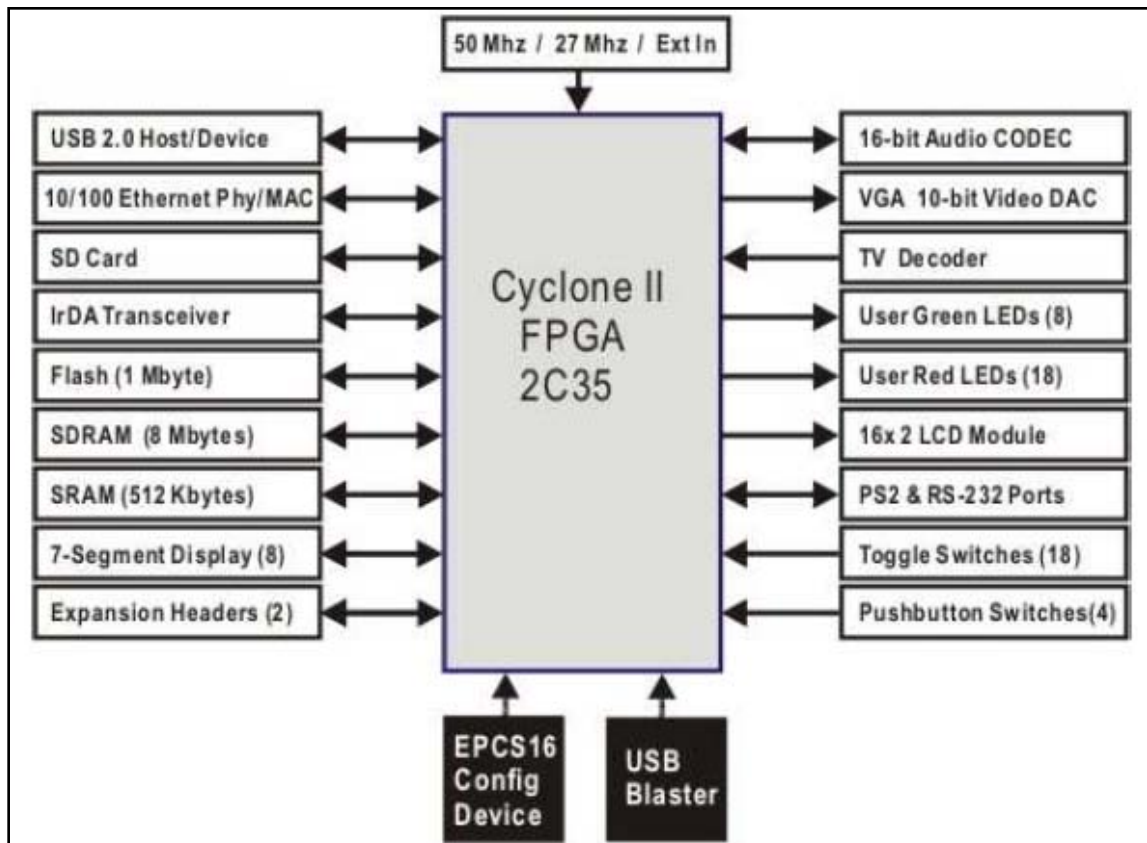


Figure 50: Block diagramme de la carte DE2.

- Décodeur TV (NTSC / PAL).
- un contrôleur 10/100 Ethernet avec un connecteur de type RJ-45.

- USB Host / Slave avec contrôleur USB de type A et de type B connecteurs
- Un port Émetteur-récepteur RS-232 à 9 broches.
- Un connecteur PS / 2 (souris / clavier) .
- IrDA émetteur-récepteur.
- Deux extensions à 40 broches avec protection par des diodes.

Toutes ces périphériques seront guider et contrôler par l'utilisateur à travers cet FPGA la figure 50 ci-dessus montre le digramme de contrôle du FPGA.

5.2.2 Configuration du FPGA Cyclone II 2C35:

Pour la configuration du FPGA dans cette carte il existe deux méthodes:

1. Programmation JTAG: Dans ce mode de programmation, nommé d'après la norme IEEE (Joint Test Action Group), le train de bits de configuration est téléchargé directement dans le FPGA Cyclone II. Le FPGA conservera cette configuration tant que l'alimentation est appliquée à la carte sinon la configuration est perdue lorsque l'alimentation est coupée.

La figure 51 illustre la procédure de configuration JTAG. Pour télécharger un flux de bits de

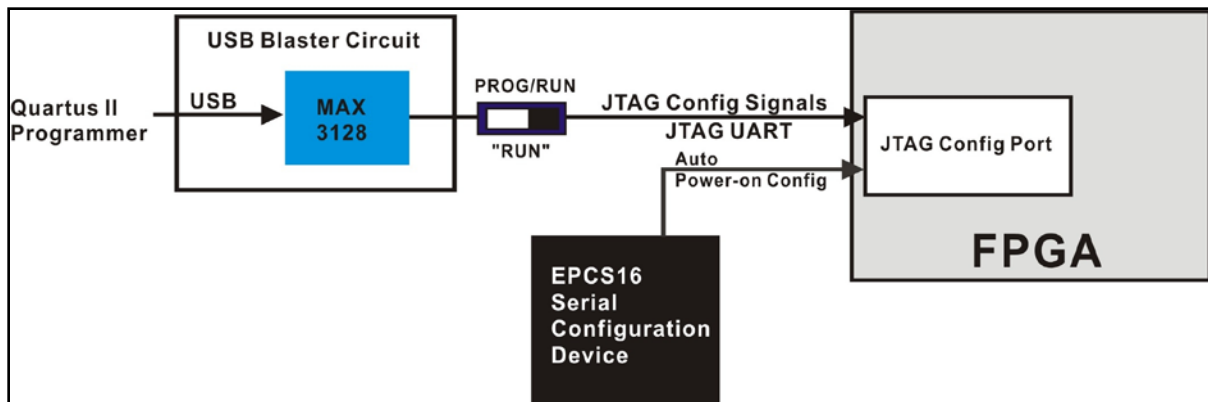


Figure 51: Configuration JTAG du FPGA.

configuration dans le FPGA Cyclone II, il faut effectuez les étapes suivantes:

- Alimenter la carte DE2.
- Branchez le câble USB sur le port USB Blaster de la carte DE2 .
- Configurer le circuit de programmation JTAG en réglant le l'interrupteur RUN / PROG (sur le côté gauche de la carte) à la position RUN.

- Le FPGA peut maintenant être programmé à l'aide du module de Quartus programmeur pour sélectionner un fichier binaire de configuration flux avec l'extension de fichier. Sof .

2. Programmation AS: Dans cette méthode, appelée programmation Active en Série, le train de bits de configuration est téléchargé dans la puce EEPROM série de EPCS16. Il fournit une mémoire non volatile du flux de bits, de sorte que l'information est conservée même lorsque l'alimentation électrique à la carte DE2 est éteint. Quand l'alimentation est appliqué de nouveau, les données de configuration dans l'appareil EPCS16 est automatiquement chargé dans le FPGA Cyclone II.

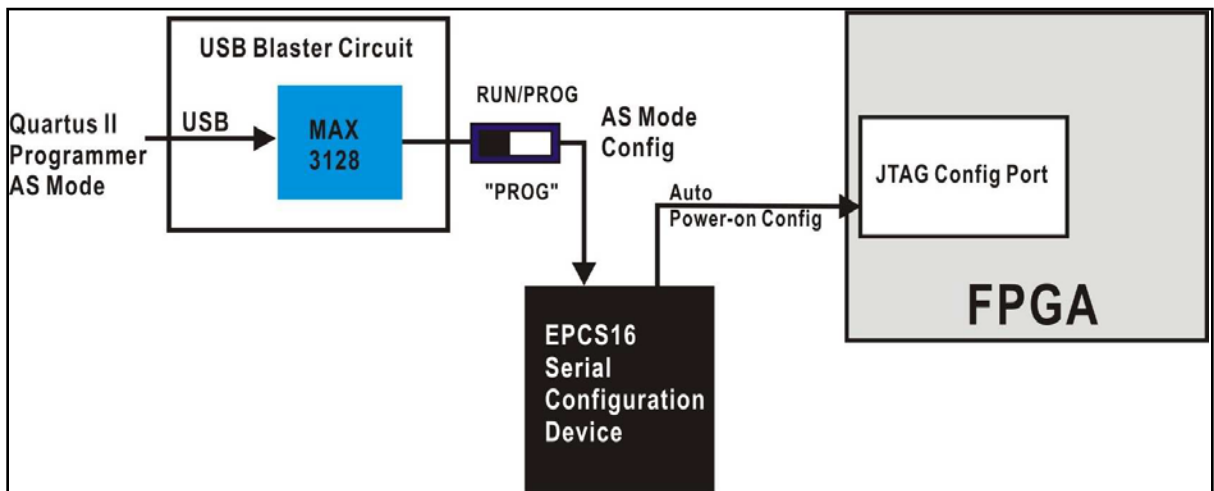


Figure 52: Configuration AS du FPGA.

La figure 52 illustre la configuration AS. Pour télécharger un flux de bits de configuration dans le dispositif EPCS16 à EEPROM série, effectuez les étapes suivantes:

- Alimenter la carte DE2.
- Branchez le câble USB fourni sur le port USB Blaster de la carte DE2.
- Configurer le circuit de programmation JTAG en réglant le commutateur RUN / PROG. (sur le coté gauche de la carte) sur la position PROG.
- La puce EPCS16 peut maintenant être programmé à l'aide du module de Quartus programmeur pour sélectionner un fichier binaire de configuration flux avec un fichier dont l'extension .pof.

- Une fois l'opération de programmation est terminée, réglez l'interrupteur RUN / PROG de nouveau à la position RUN, puis réinitialiser la carte en tournant l'appareil hors tension, ensuite sous tension; cette action provoque la nouvelle configuration de données de l'appareil EPCS16 qui va être charger dans le puce FPGA.

5.2.3 Communication Série RS-232:

La carte DE2 utilise le circuit MAX232 émetteur-récepteur et un connecteur RS-232 de 9-pin pour une communication sérielle. La figure 53 montre le schéma des connexions, et le tableau ci-dessous énumère les broches de connexions entre le FPGA Cyclone II le circuit MAX232 .

Tableau 5: Assignment des broches de l'UART.

Nom du signal	Le numéro de la broche	Description
UART_RXD	PIN_C25	Système de réception de l'UART
UART_TXD	PIN_B25	Système de transmission de l'UART

Le but du circuit MAX 232 est la conversion des informations qui arrivent du connecteur R1IN RS-232 (12 V et -12 V) en un niveau logique R1OUT ('1': 3.3 V et '0': 0 V) pour pouvoir communiquer avec le FPGA (figure 53).

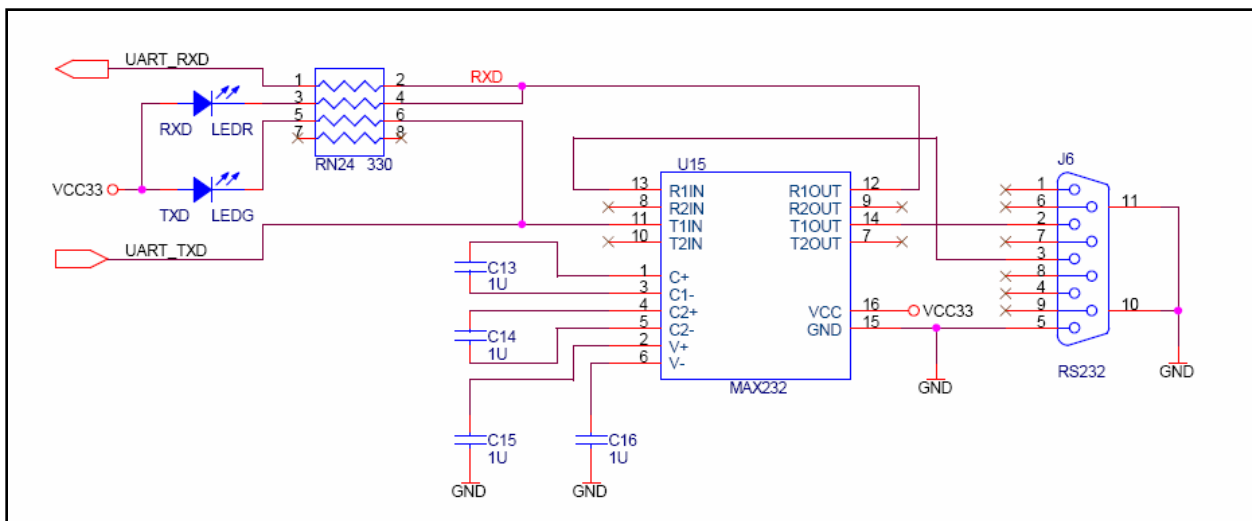


Figure 53: Schéma de la communication sérielle.

5.2.4 Les extensions des broches IOs :

La carte DE2 fournit deux en-têtes d'extension à 40 broches chacune. Chaque en-tête se connecte directement à 36 broches sur le FPGA Cyclone II, et fournit également des DC +5 V (VCC5), +3,3 V DC (VCC33), et deux broches GND.

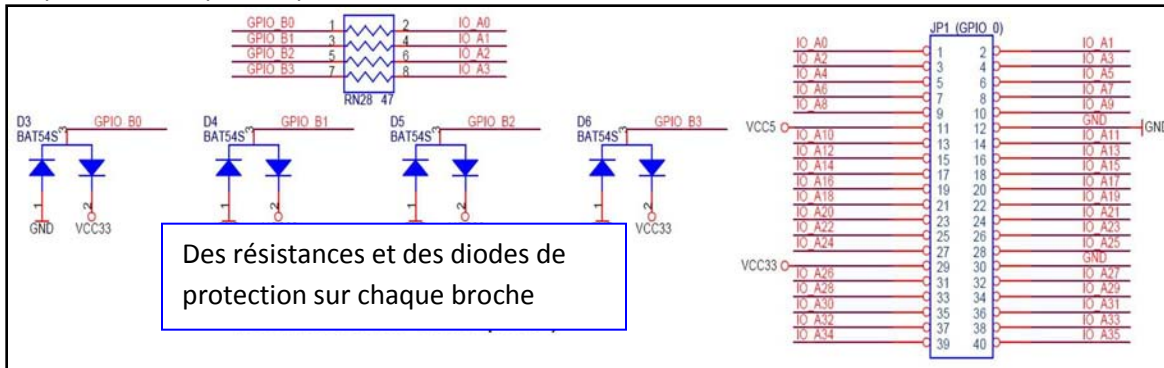


Figure 54: Les extensions des broches IOs avec les résistances et les diodes de protection.

La figure 54 montre le schéma des connexions. Chaque broche sur les en-têtes d'extension est connectée à deux diodes et une résistance qui garantit une protection contre les hautes et basses tensions. La figure 54 montre le circuit de protection pour seulement quatre des broches sur chaque tête, mais ce circuit est inclus pour les 72 broches des extensions.

Dans notre projet on a assigné pour le contrôle des broches du circuit intégré à tester les premières seize extensions des broches du FPGA (JP1, GPIO) ; les broches utilisées sont les suivantes: A0,A2,A4,.....,A30 comme l'indique la figure 54.

Cette extension est reliée de la carte DE2 envers une petite carte imprimée dont nous avons implémenté le support de test pour réaliser les différents tests.

5.3 Utilisation du VGA pour la génération d'un signal analogique :

La carte DE2 comporte un connecteur de sortie analogique VGA (video graphique adapter) de type D-SUB de 16 broches. Les signaux de synchronisation de la VGA sont fournis directement à partir du FPGA Cyclone II, et le circuit Analog Devices ADV7123 (figure 55) est un convertisseur numérique analogique DAC 10-bit triplé à grande vitesse; il est utilisé pour produire les signaux de données analogiques (rouge, vert et bleu) envers un écran. Pour que ce circuit fonctionne nous avons besoin de l'alimenter de 5 V sur ces entrées VAA, bien sure relier les broches GND à la terre, sur la broche VGA_CLOCK on assigne une horloge de 50 MHz et puis

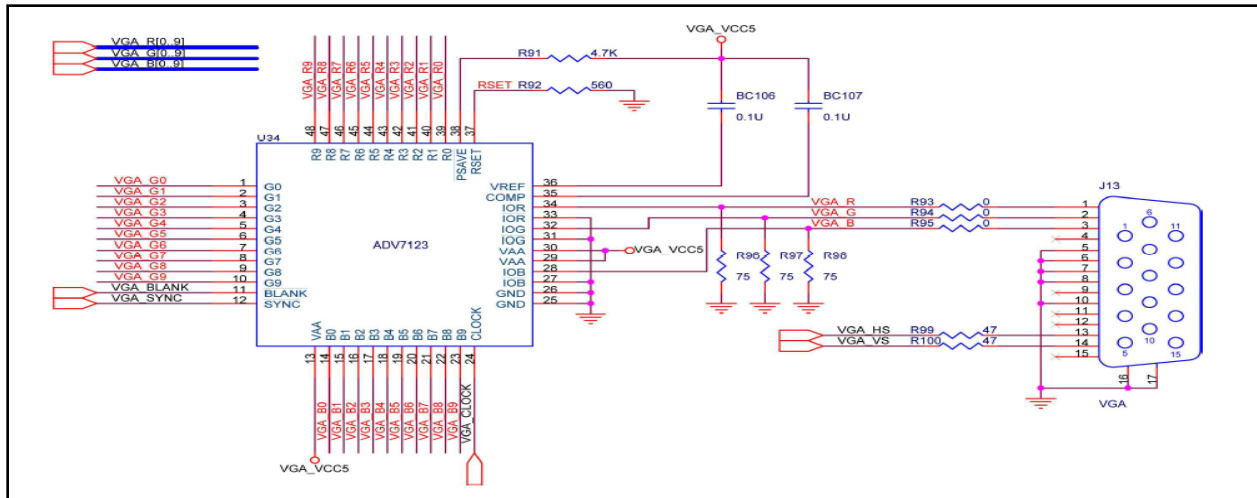


Figure 55: Schéma du DAC connecté à la sortie D-SUB.

choisir les entrées des bits à convertir (minimum dix jusqu'à trente bits sur trois voies analogiques) et il faut alimenter les 2 broches VGA_BLANK et VGA_SYNC par une tension continue de 3.3 Volts.

Dans notre projet nous avons utilisé les broches VGA_RX avec X=0,.....,9. Dans le but de créer un signal analogique référence sous la forme d'une dent de scie qui croit strictement d'une valeur nulle jusqu'à une amplitude maximale de 1.35 V à une fréquence de 48.5 KHz comme le montre la figure 56.

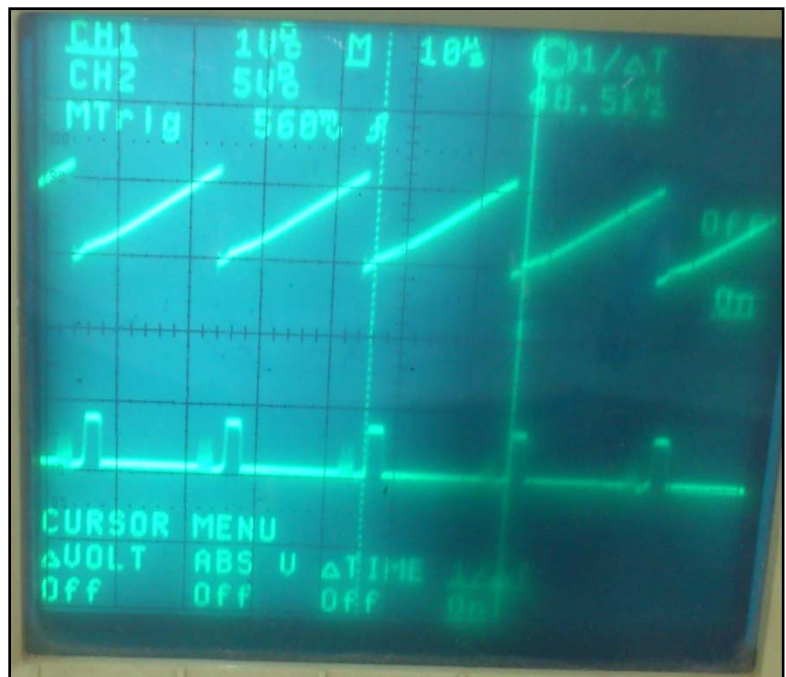
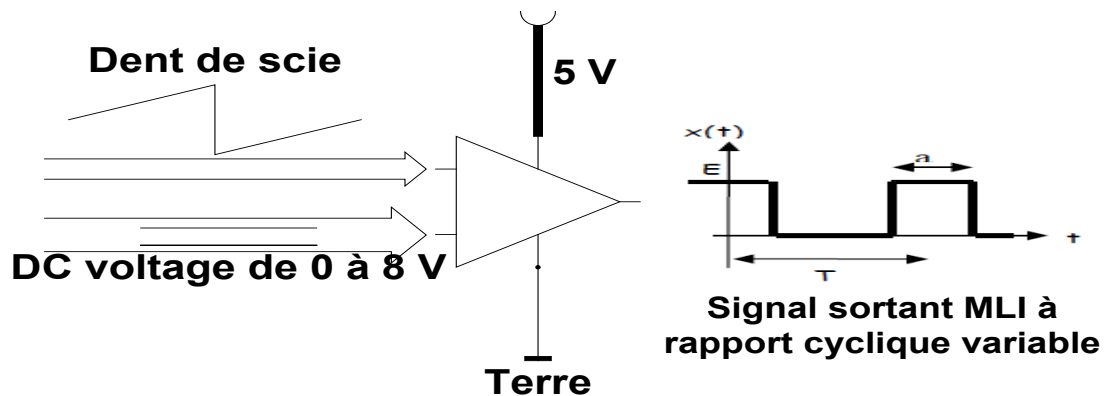


Figure 56: Signal dent de scie analogique de fréquence 48.5 KHz.

Ce signal dent de scie est prélevé à l'aide d'un oscilloscope Tektronix à la sortie du connecteur VGA de la carte DE2. Ce signal est considéré un signal référence qui pourra être comparé à d'autre valeur de tension analogique entre 0 et 1.35 V sur 1024 niveaux d'amplitude qui croit de $(1/1024) * 1.35 = 1.318 \text{ mV}$ chaque pas.

On désire dans notre cas de mesurer toutes les valeurs d'une tension DC analogique entre 0 V et 8 V pour cela nous allons comparer le signal référence de dent de scie au signal DC à mesurer tout en utilisant un comparateur de type LM311 pour après réinjecter le signal à la sortie du comparateur dans le FPGA pour détecter l'amplitude du signal à mesurer par la variation du rapport cyclique (figure 56) du signal à la sortie du comparateur.



Le schéma ci-dessus nous montre exactement la comparaison entre le signal dent de scie et le signal DC à mesurer dont la comparaison de ces 2 derniers fournit un signal MLI à la sortie du comparateur pour détecter par le FPGA le niveau d'amplitude à travers la variation du rapport cyclique dans la période du signal sortant.

Cette méthode nous a donné une possibilité de contrôler le mesure analogique de la tension tout en le contrôlant numériquement par un FPGA en temps réelle avec une précision de mesure d'au moins trois chiffres après la virgule.

5.4 Réalisation de la maquette de support de test:

La réalisation du support de test là où nous allons tester les circuits intégrés nécessite la

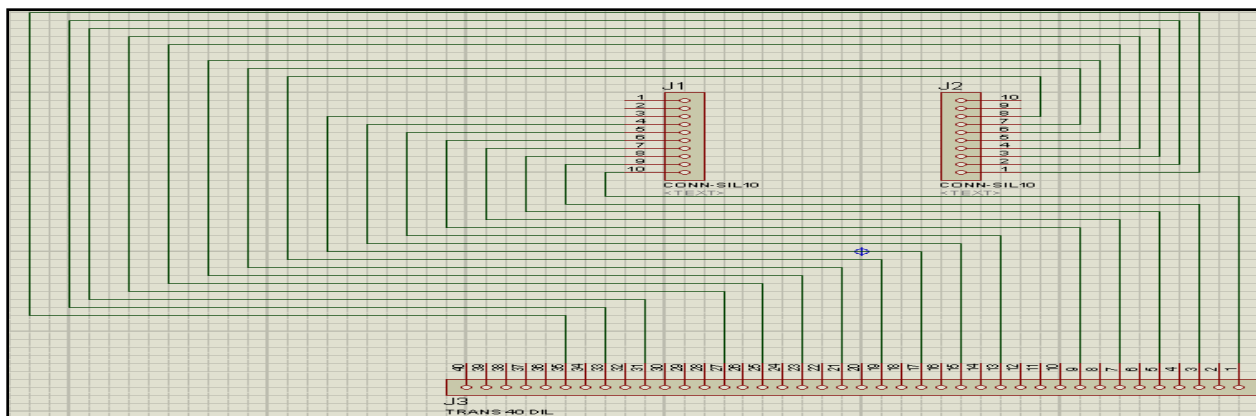


Figure 57: Conception du support de test à l'aide du logiciels Proteus 7.2

conception d'un circuit imprimé à une seule couche pour cela nous allons utiliser le logiciel de conception des circuits électroniques Proteus 7.6 .

Deux étapes seront prises en considération pour une bonne réalisation de cette maquette:1. La conception de cette carte à l'aide de Proteus (ISIS): on utilisera deux connecteurs de type "CONN-SIL10" pour faire une place pour les broches du support, et un connecteur de 40 broches de type "TRANS 40 DIL" (figure 57) pour établir la communication avec le FPGA Cyclone II de la carte de développement DE2.

2. La conception de cette carte à l'aide de Proteus (ARES):

Dans cette partie du logiciel il faut bien concevoir le placement des connexions d'une façon ordonnée et impeccable pour ne pas avoir de problème lorsque nous allons imprimer en réelle le circuit sur une carte imprimée (PCB); par exemple l'épaisseur des connexions joue un rôle important, la direction de la carte dont on va imprimer le schéma doit être correcte pour un bon placement des pièces électroniques.

6.Diagnostic et circuits à tester:

6.1 Système d'alimentation et de protection d'une carte mère:

En général la maintenance électronique des cartes mères est appliquée sur les circuits intégrés qui sont implémentés sur les cartes imprimées d'une carte mère par exemple dans une carte mère d'un ordinateur portable (figure 58).

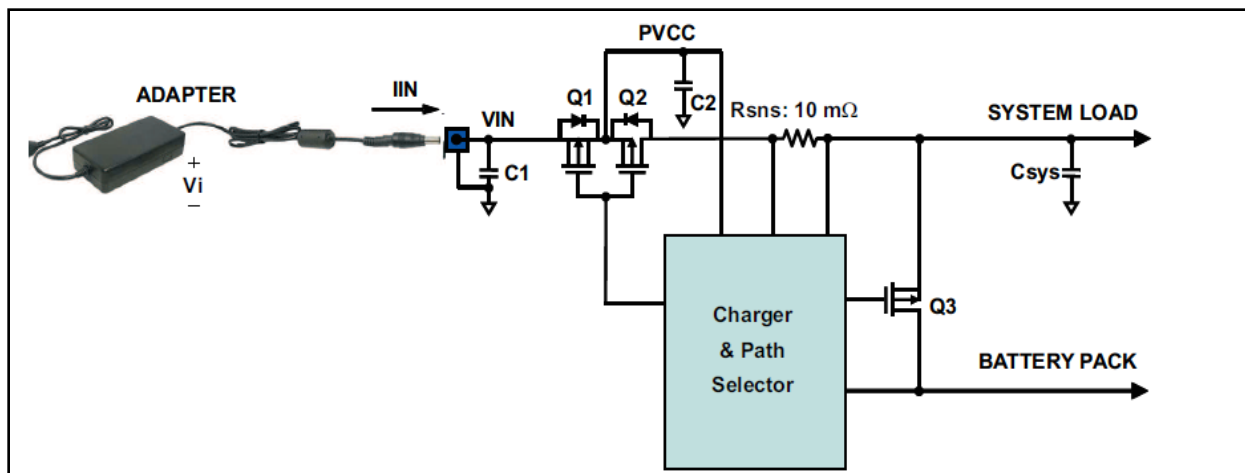


Figure 58: Partie alimentation dans une carte mère d'un ordinateur portable(charger contrôleur intégré typique).

Les circuits intégrés Q1, Q2 et Q3 sont des transistors P-Channel Mosfet ont comme rôle la protection contre une alimentation inverse ou surtension causé par un adaptateur, ces circuits sont de type CMS de huit boches possédant une architecture interne comme l'indique la figure 59 ci-contre.

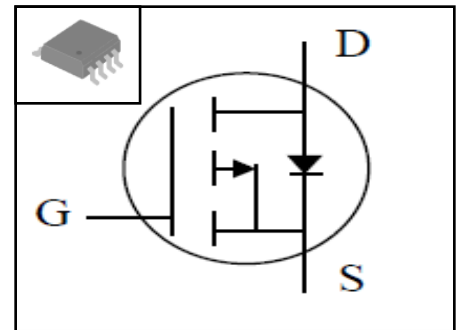


Figure 59: Architecture d'un circuit P-Channel Mosfet 4407

Lors d'une alimentation continue par un chargeur externe("ADAPTER"), ayant comme rôle de transformer le courant sinusoïdale AC (220 V) en courant continue DC (0.3-30 V), les transistors Q1 et Q2 sont ouverts car le chargeur contrôle l'alimentation des grilles de Q1 et Q2 par un signal DC entre 3 et 8 V; dans ce cas le circuit de contrôle intégré sera alimenté par la source de Q1 à travers la diode de Q1 pour démarrer le système à travers "SYSTEM LOAD" comme l'indique la figure 58 si l'alimentation est en polarisation directe; mais si la polarisation provenant de l'adaptateur est inversée l'ordinateur ne démarrera jamais, c'est ici où figure le système de protection et parfois lorsque ces circuits Q1 et Q2 sont détériorés la carte mère du système ne démarrera pas même si l'alimentation est incorrecte.

Le système "TCC" peut tester toute la famille de ce circuit P-Channel Mosfet (4407, 4435,4433...) tout en appliquant sur son grille 3.3 V DC, en alimentant son drain par une tension DC de 3.3 V et en détectant le niveau de tension sur sa source si elle vaut la même tension qui est déjà appliquée sur son drain alors ce composant fonctionne bien.

Ce test va faciliter cette tâche de travail car au lieu de commander une pièce de rechange convenable pour un essai; maintenant et grâce au système "TCC" on pourra tout de suite savoir l'état de fonctionnalité du sujet à tester.

Un exemple de réparation de la même panne discuter ci-dessus de la carte mère d'un ordinateur portable HP de modèle DV7 à microprocesseur AMD Turion, cette erreur est difficilement détectée car les circuits détériorés ne sont pas déformés et ne sont pas en état court circuit. Donc avant la conception du "TCC", il fallait avoir la pièce de rechange convenable de même type et caractéristique pour savoir si ce composant CMS est défectueux ou pas mais

maintenant avec la présence d'un testeur des circuits CMS nous avons la possibilité de tester rapidement si ces composants sont à recharger ou pas.

La figure 60 ci-dessous montre le positionnement exacte des circuits Mosfet qui sont responsable du mal fonctionneme de la carte mère de l'ordinateur.

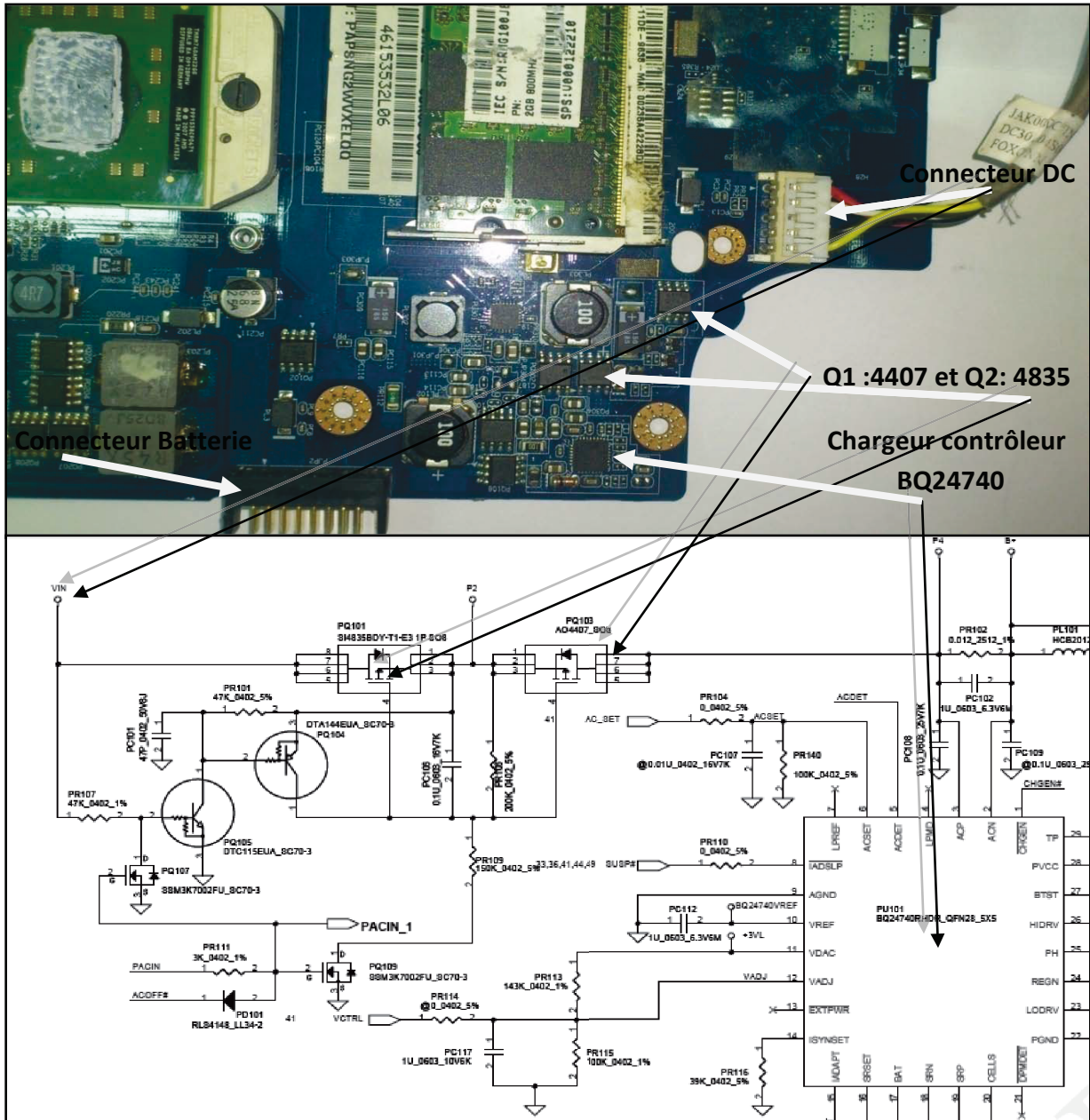


Figure 60:Une photo de la partie alimentation dans la carte mère DV7 avec son schéma descriptif par HP coopération.

6.2 Diagnostic des circuits de commutation à haute fréquence:

Le Microprocesseur de la carte mère de l'ordinateur portable HP DV7 fonctionne de point de vue alimentation à travers quatre circuits de type N-Channel Mosfet qui se localisent dans l'entourage du socket du processeur comme l'indique la figure 61 ci-dessous.

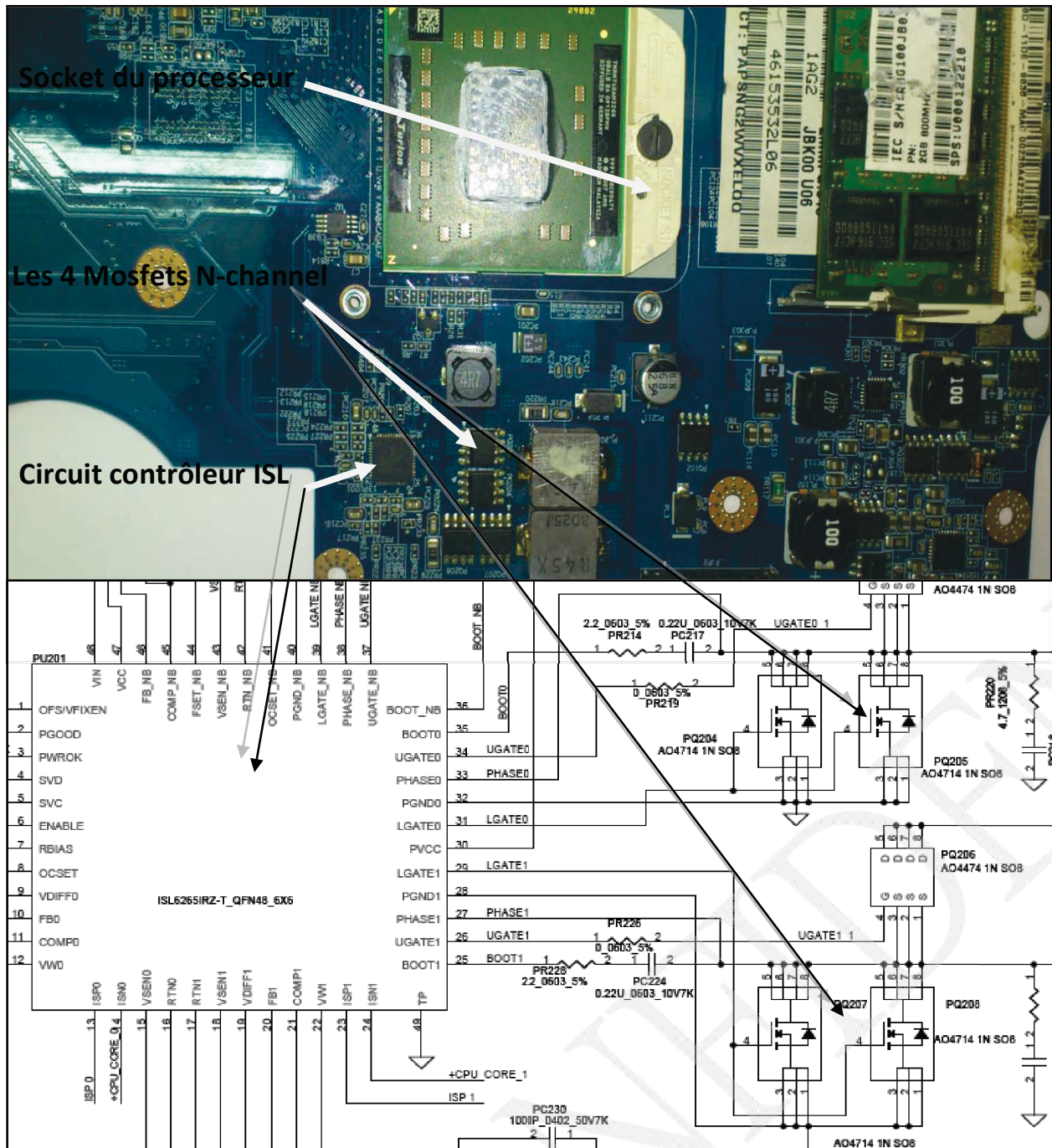


Figure 61: Une photo de l'entourage de socket du processeur d'une carte d'un HP DV7.

Le circuit ISL6265 (figure 61) est un contrôleur multi-sorties avec un système de pilotage embarqués de la grille^[21]. c'est un contrôleur monophasé qui alimente le Northbridge et une partie du CPU AMD à travers une commande des grilles des circuit N-Channel Mosfets comme l'indique la figure 61 ci-dessus par une fréquence entre 250 KHz et 300 KHz pour qu'ils subissent une commutation sur leurs drains puis pour alimenter le processeur.

Les N-Channel Mofsets (figure 62) de la famille 446X, 471X, 4466, etc. seront sujet de test.

Le système "TCC" pourra tester ces circuits tout en générant une commande de fréquence de 250 KHz sur la grille du Mosfet à tester

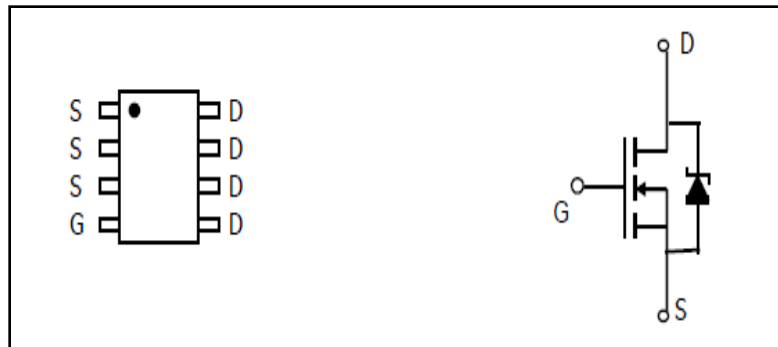


Figure 62: Structure interne d'un Mosfet N-Channel.

et en reliant la source à la terre et en alimentant le drain par une tension DC de 3.3 V et pour assumer le bon fonctionnement du circuit sous test on commande l'une des broches du drain par la commande détection de la fréquence et puis on s'assure que la fréquence en sortie est la même qu'en entrée.

Ce diagnostic est très important car la moindre erreur de commutation par les circuits N-Channel Mosfets va perturber le processeur par suite le système informatique ne démarrera pas. Le microprocesseur AMD dont la carte mère est conçue par HP pour qu'elle sera compatible avec ce chef d'orchestre qui exécute toutes les instructions avec une synchronisation de fréquence totale avec le système globale.

6.3 Test des circuits numériques:

Les cartes mères des ordinateurs pc non portable utilisent quelque circuits intégrés dont la structure est composée de portes logiques ainsi que les circuits de la familles 74HCXX.

Notre prototype "TCC" possède la capabilité de tester toute cette famille logiquement .

Un circuit numérique de type MM74HCT00 est utilisé comme un interfaçage entre les TTL et les composants NMOS et CMOS standard d'un dispositif.

La procédure de test dans ce cas se fait en appliquant un '1' logique sur la broche B4 et un '0' logique sur la broche A4 et on détectant le niveau logique correspondant sur la sortie Y4 (il faut détecter un '1' logique dans ce cas) et bien sur il faut alimenté le circuit par un VCC et un GND (figure 63).

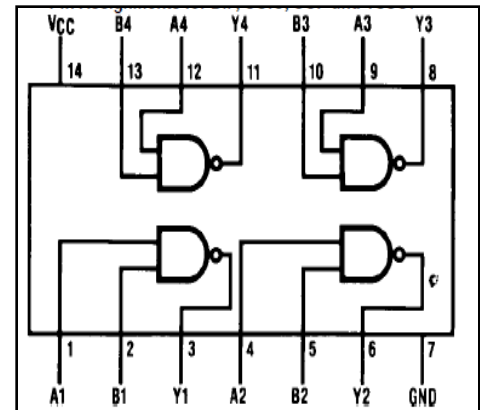


Figure 63: structure interne d'un circuit intégré MM74HCT00.

Un autre type de circuit numérique pourra être tester par le système "TCC" ainsi que les composants multiplexeurs 3 à 8 dont nous allons tester le circuit de la famille 74HC/HCT138 :

Tableau 6: Fonctionnement du circuit HCT138.

\bar{E}_1	\bar{E}_2	E_3	A_0	A_1	A_2	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	\bar{Y}_3	\bar{Y}_4	\bar{Y}_5	\bar{Y}_6	\bar{Y}_7
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

Selon le tableau 6 de fonctionnement ci-dessus il suffit de configurer de la façon appropriée les broches (figure 64) par le système "TCC" tout en alimentant le circuit par un Vcc de 3.3 V et le GND par un terre comme le montre la figure 58 ci-contre .Puis commander par exemple un '1' logique sur A0 pour détecter un niveau logique bas sur Y1.

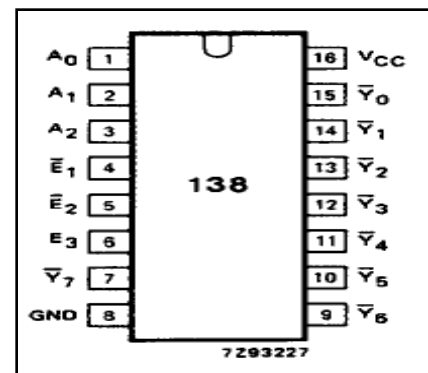


Figure 64: Configuration des broches du 74HC138.

6.4 Test du composant APL59xx:

Le circuit APL est un produit régulateur linéaire ultra bas conçu pour fournir une alimentation continue à la terminaison de la partie puissance d'une carte mère d'un ordinateur portable.

L'importance de ce circuit se traduit par le pouvoir de détecter à travers une résistance thermique les limites des niveaux thermiques pour procéder aux

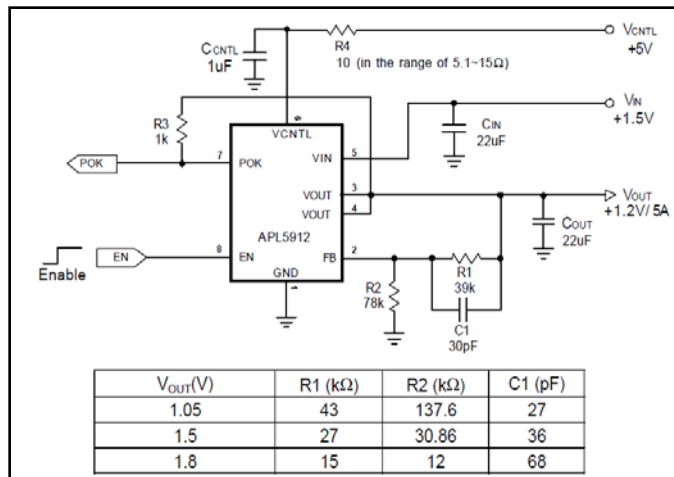


Figure 65: Schéma de test typique du circuit APL59xx.

fonctions responsables pour éteindre l'ordinateur lors d'un arrêt thermique ou des surcharges de courant. Pour appliquer le test typique du circuit APL (figure 65) il suffit d'alimenter l'entrée Vin par une tension continue entre 0 et 3.3 V pour qu'elle soit régulée à 1.2 V généralement en sortie sur Vout.

Comme ce circuit est un circuit à sortie analogique on lui a conçu un support spécial et un schéma typique de test spécial aussi dont les composants de schéma sont (figure 66):

Un ampli-op 741 pour amplifier la commande DC du signal entrant commandé par Labview et un comparateur LM311 pour mesurer la tension continue à la broche de sortie et des résistances et des capacités.

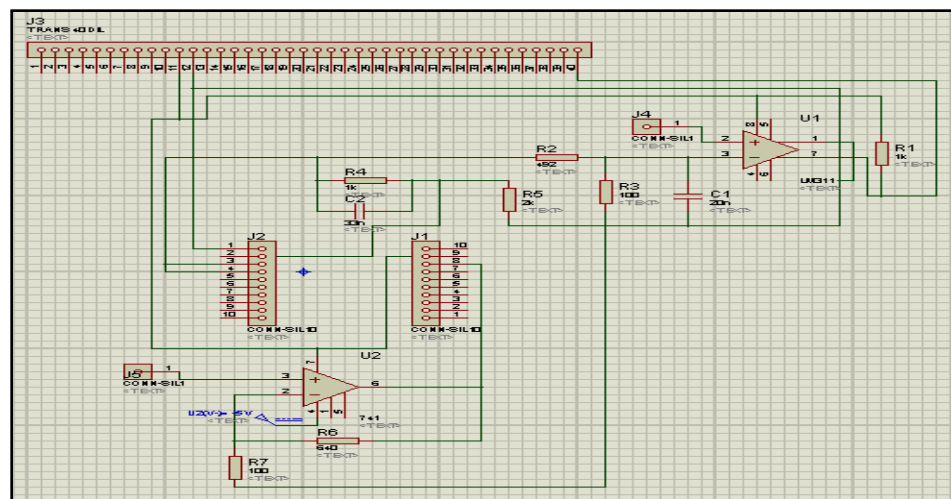


Figure 66: Schéma du support du test pour les composants analogiques.

6.5 Vision du "TCC" avec la maquette du test:



Figure 67: La carte DE2 avec la maquette ou les tests auront lieu.

7. Conclusion:

Le système "TCC" est considéré révolutionnaire vu qu'on pourra tester n'importe quelle composant numérique selon la composition de sa structure interne. Les résultats d'un test effectué seront affichés sur le logiciel de contrôle Labview d'une façon simple pour faciliter l'utilisation de ce système par un utilisateur technicien.

Le cœur de ce système est un FPGA que nous avons utilisé dans la réalisation du projet pour un système "TCC" robuste sans erreur avec un contrôle facile et certain; et aussi pour exécuter plusieurs tâches simultanées avec de très courtes variations de temps entre ces tâches à réaliser dans un système qui commande bits par bits séquentiellement.

Le testeur "TCC" pourra facilement sans erreurs de commander les seize broches du support de test pour en revenir avec un statut clair de l'état du circuit intégré sous test.

Enfin on a conçu un circuit imprimé qui sera le support où les différents tests auront lieu, ce support assure la bonne connectivité surtout lors de l'utilisation de la commande de fréquence.

Conclusion générale:

Le système "TCC" est un aide diagnostic pour un technicien dans une tâche de travail donnée pour un bon résultat de maintenance, tout en utilisant ce prototype on peut tester un grand nombre de circuits digitaux; il suffit de connaître la fonction du circuit à tester et le placer correctement dans le support de test pour en savoir son statut de fonctionnement. L'efficacité et la performance de ce produit est garantie parce qu'il est contrôlé par le logiciel de contrôle le Labview, managé par un FPGA de haute densité; décrit par un langage de haut niveau le VHDL et une communication certaine à une fréquence adéquate et une vitesse convenable.

Le logiciel Labview contrôle le système "TCC" par des octets codés en ASCII pour faciliter la communication sérielle et la certitude des échange des codes entre la réception et la transmission sous les lois du protocole de la communication série, le programme graphique conçu en Labview sera sensé d'assurer un bon lien entre l'ordinateur et le système de test à travers le port série RS-232.

Le FPGA reçoit les octets commandes pour agir d'une façon convenable avec les demandes provenant du l'utilisateur suivant l'interface graphique du logiciel Labview, de même le FPGA va générer six configurations différentes sur seize broches du support de test selon ces commandes reçues dans le but de réaliser le test désiré par un utilisateur du système.

La communication sérielle figure dans plusieurs parties du système testeur: au niveau du logiciel Labview pour l'émission des commandes et pour la réception des résultats de test, au niveau de la programmation VHDL pour établir la synchronisation de la fréquence avec l'ordinateur à travers le port de

communication dans le but de créer un pont solide pour un passage certain des bits sans erreur.

A la fin la conception d'une carte imprimée dont on a implémenté le support de test est très importante pour assurer une connexion certaine avec le FPGA surtout lors de la transmission des signaux à haute fréquence dans ces connexion.

J'espère enfin que ce travail sera un produit qui se vendra un jour dans le marché comme un appareil de test indispensable pour la maintenance des systèmes informatiques comportant des cartes électroniques. Et j'aimerais bien le développer pour qu'ils puisse tester tous les circuits étant numériques ou analogiques dans un même dispositif; de même d'ajouter des configurations de test dans la partie de commande sur les entrées et la partie de détection des états des sorties des broches du circuit sous test.

Liste des figures	Page
Figure 1: Classification des circuits logiques.....	11
Figure 2: Evolution des circuits basés sur la mémoire et des circuits logique.....	13
Figure 3: Niveaux de packaging.....	15
Figure 4: Circuit imprimé à plusieurs couches.....	16
Figure 5: Schéma d'un circuit imprimé en verre-époxyde.....	18
Figure 6: circuit imprimé complexe multicouche.....	20
Figure 7: Coupe d'un circuit imprimé à 4 couches.....	21
Figure 8: Les techniques de circuit imprimés à trous traversant.....	22
Figure 9: Les techniques des circuits montés en surface.....	22
Figure 10:Forme structurale d'un circuit MCM.....	25
Figure 11: FPGA et processeur dans un seul même circuit MCM.....	26
Figure 12: Méthode conventionnelle de travail dans un bureau d'études.....	29
Figure 13: Testeur digital 575A par BK precision.....	31
Figure 14: Vue partielle d'un FPGA.....	33
Figure 15: Physionomie et structure d'un FPGA.....	34
Figure 16:Le bloc diagramme d'un FPGA Cyclone II.....	35
Figure 17: Schéma bloc d'un FPGA décrit par VHDL.....	39
Figure 18: Utilisation du VHDL.....	40
Figure 19: Les différents sens d'un signal.....	42
Figure 20:Tensions caractéristiques utilisées sur le bus série RS 232.....	46
Figure 21: Forme des connecteurs DB-9.....	47
Figure 22: Synchronisation d'octets en transmission synchrone.....	49
Figure 23: Synchronisation d'octet en transmission asynchrone.....	50
Figure 24: Système UART de la réception (Prise du logiciel Quartus 7.2).....	53
Figure 25: Simulation tiré du logiciel Quartus 7.2.....	58
Figure 26: Le signal e(t) MLI en bleue et signal s(t) dent de scie.....	63
Figure 27: Filtre passe bas RC.....	64
Figure 28: Signal échelon 1(t).....	66
Figure 29: Forme du signal e(t).....	66
Figure 30: Construction de signal dent de scie sur 3 bits en utilisant Maple.....	67
Figure 31: Signal dent de scie avec précision de 10 bits en utilisant MATLAB.....	68
Figure 32:Vue RTL d'un code VHDL implémenté dans le FPGA.....	76
Figure 33: Codage significatif.....	78
Figure 34: Interface Labview de l'utilisateur du système TCC.....	83
Figure 35:Choix de la configuration sur chaque broche.....	84
Figure 36:Réalisation d'une configuration sur la broche 0.....	84
Figure 37:La fonction "Stacked Sequence Structure".....	85
Figure 38:Détection du niveau logique et Interfaçage de l'indicateur "Sortie pin0".....	85
Figure 39: Mesure de la fréquence et son Interfaçage sur l'indicateur "Fréquence du Pin0".....	86

Figure 40: Le sous programme "Call serial".	86
Figure 41:La fonction "VISA Configure Serial Port".	87
Figure 42: La fonction "VISA Write Function".	87
Figure 43:La fonction "VISA Read .	87
Figure 44:La fonction " VISA Close Function".	87
Figure 45: Property Node.	88
Figure 46: Système de la transmission et de la réception à travers le port série.	88
Figure 48:Assignation des broches IOs (logiciel Quartus 7.2).	90
Figure 47:FPGA EP2C35F672C6.	90
Figure 49: Composition de la carte DE2.	91
Figure 50: Block diagramme de la carte DE2.	92
Figure 51: Configuration JTAG du FPGA.	93
Figure 52: Configuration AS du FPGA.	94
Figure 53: Schéma de la communication sérielle.	95
Figure 54: Les extensions des broches IOs avec les résistances et les diodes de protection.	96
Figure 55: Schéma du DAC connecté à la sortie D-SUB.	97
Figure 56: Signal dent de scie analogique de fréquence 48.5 KHz.	97
Figure 57: Conception du support de test à l'aide du logiciels Proteus 7.2.	98
Figure 58: Partie alimentation dans une carte mère d'un ordinateur portable(chargeur contrôleur intégré typique).	99
Figure 59: Architecture d'un circuit P-Channel Mosfet 4407	100
Figure 60:Une photo de la partie alimentation dans la carte mère DV7 avec son schéma descriptif par HP coopération.	101
Figure 61: Une photo de l'entourage de socket du processeur d'une carte d'un HP DV7.	102
Figure 62:Structure interne d'un Mosfet N-Channel.	103
Figure 63: structure interne d'un circuit intégré MM74HCT00.	104
Figure 64: Configuration des broches du 74HC138.	104
Figure 65: Schéma de test typique du circuit APL59xx.	105
Figure 66: Schéma du support du test pour les composants analogiques.	105
Figure 67: La carte DE2 avec la maquette ou les tests auront lieu.	106

Liste des tableaux.....Page

Tableau 1: Evolution des composants CMS	23
Tableau 2 montre les résultats de la simulation de la mesure de plusieurs fréquences	58
Tableau 3: Codage de l'octet de commande	78
Tableau 4: Capacité d'utilisation du FPGA	89
Tableau 5: Assignation des broches de l'UART.	95
Tableau 6: Fonctionnement du circuit HCT138.	104

Annexe:

APL5912



0.8V Reference Ultra Low Dropout (0.2V@5A) Linear Regulator

Features

- Ultra Low Dropout
 - 0.2V (typical) at 5A Output Current
- Low ESR Output Capacitor (Multi-layer Chip Capacitors (MLCC)) Applicable
- 0.8V Reference Voltage
- High Output Accuracy
 - $\pm 1.5\%$ over Line, Load and Temperature
- Fast Transient Response
- Adjustable Output Voltage by External Resistors
- Power-On-Reset Monitoring on Both VCNTL and VIN Pins
- Internal Soft-Start
- Current-Limit Protection
- Under-Voltage Protection
- Thermal Shutdown with Hysteresis
- Power-OK Output with a Delay Time
- Shutdown for Standby or Suspend Mode
- Simple SOP-8-P Package with Exposed Pad
- Lead Free Available (RoHS Compliant)

Applications

- Front Side Bus VTT (1.2V/5A)
- Note Book PC Applications
- Motherboard Applications

General Description

The APL5912 is a 5A ultra low dropout linear regulator. This product is specifically designed to provide well supply voltage for front-side-bus termination on motherboard and NB applications. The IC needs two supply voltages, a control voltage for the circuitry and a main supply volatege for power conversion, to reduce power dissipation and provide extremely low dropout. The APL5912 integrates many functions. A Power-On-Reset (POR) circuit monitors both supply voltages to prevent wrong operations. A thermal shutdown and current limit functions protect the device against thermal and current over-loads. A POK indicates the output status with time delay which is set internally. It can control other converter for power sequence. The APL5912 can be enabled by other power system. Pulling and holding the EN pin below 0.3V shuts off the output.

The APL5912 is available in SOP-8-P package which features small size as SOP-8 and an Exposed Pad to reduce the junction-to-case resistance, being applicable in 2~3W applications.

Pin Configuration



SOP-8-P (Top View)

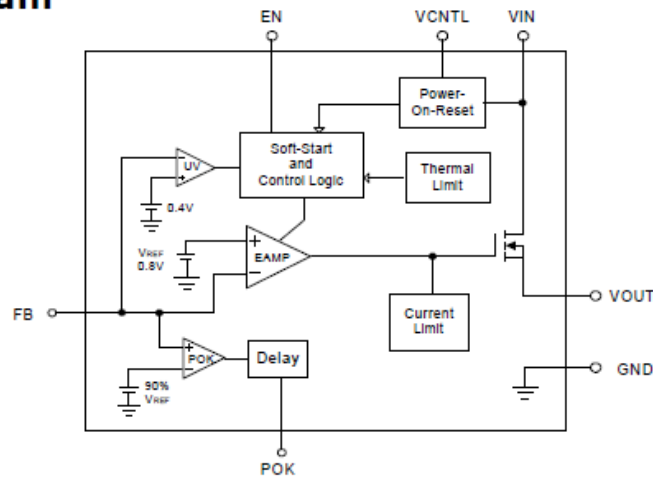
= Exposed Pad
(connected to V_{IN} plane for better heat dissipation)

Ordering and Marking Information

<p>APL5912 - □□□-□□□</p> <p>Lead Free Code Handling Code Temp. Range Package Code</p>	<p>Package Code KA : SOP-8-P Operating Ambient Temp. Range C : 0 to 70°C Handling Code TU : Tube TR : Tape & Reel Lead Free Code L : Lead Free Device Blank : Original Device</p>
<p>APL5912 KA : APL5912 XXXXX</p>	<p>XXXXX - Date Code</p>

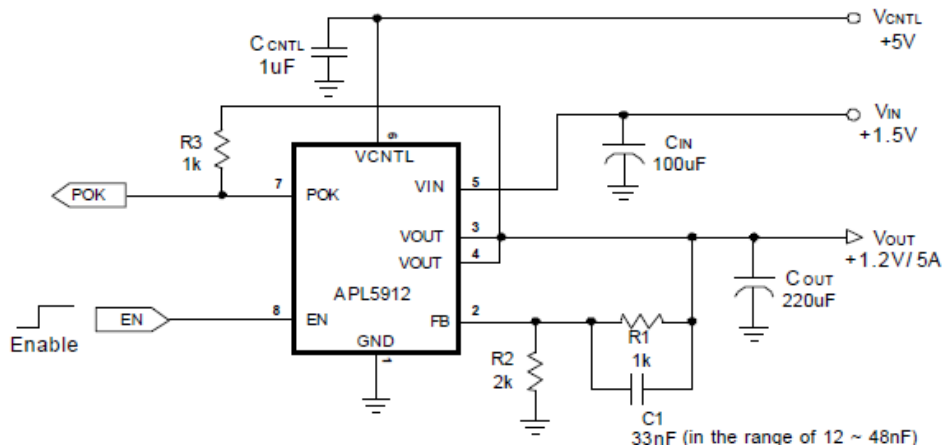
Note: ANPEC lead-free products contain molding compounds/die attach materials and 100% matte tin plate termination finish; which are fully compliant with RoHS and compatible with both SnPb and lead-free soldering operations. ANPEC lead-free products meet or exceed the lead-free requirements of IPC/JEDEC J STD-020C for MSL classification at lead-free peak reflow temperature.

Block Diagram



Typical Application Circuit

1. Using an Output Capacitor with $ESR \geq 18m\Omega$

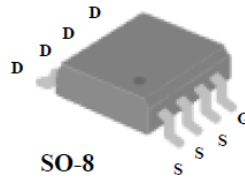


AP4407M



*P-CHANNEL ENHANCEMENT MODE
POWER MOSFET*

- ▼ Simple Drive Requirement
- ▼ Low On-resistance
- ▼ Fast Switching

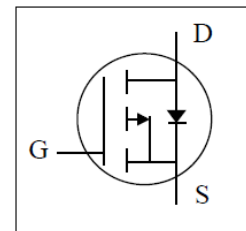


BV_{DSS}	-30V
$R_{DS(ON)}$	14m Ω
I_D	-10.7A

Description

The Advanced Power MOSFETs from APEC provide the designer with the best combination of fast switching, ruggedized device design, low on-resistance and cost-effectiveness.

The SO-8 package is universally preferred for all commercial-industrial surface mount applications and suited for low voltage applications such as DC/DC converters.



Absolute Maximum Ratings

Symbol	Parameter	Rating	Units
V_{DS}	Drain-Source Voltage	-30	V
V_{GS}	Gate-Source Voltage	± 25	V
$I_D@T_A=25^\circ C$	Continuous Drain Current ³	-10.7	A
$I_D@T_A=70^\circ C$	Continuous Drain Current ³	-8.6	A
I_{DM}	Pulsed Drain Current ¹	-50	A
$P_D@T_A=25^\circ C$	Total Power Dissipation	2.5	W
	Linear Derating Factor	0.02	W/ $^\circ C$
T_{STG}	Storage Temperature Range	-55 to 150	$^\circ C$
T_J	Operating Junction Temperature Range	-55 to 150	$^\circ C$

Thermal Data

Symbol	Parameter	Value	Unit
$R_{thj-amb}$	Thermal Resistance Junction-ambient ³	Max. 50	$^\circ C/W$

Electrical Characteristics@T_j=25°C(unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Units
BV _{DSS}	Drain-Source Breakdown Voltage	V _{GS} =0V, I _D =-250uA	-30	-	-	V
ΔBV _{DSS} /ΔT _j	Breakdown Voltage Temperature Coefficient	Reference to 25°C, I _D =-1mA	-	-0.015	-	V/°C
R _{DS(ON)}	Static Drain-Source On-Resistance ²	V _{GS} =-10V, I _D =-10A	-	-	14	mΩ
		V _{GS} =-4.5V, I _D =-5A	-	-	25	mΩ
V _{GS(th)}	Gate Threshold Voltage	V _{DS} =V _{GS} , I _D =-250uA	-1	-	-3	V
g _{fs}	Forward Transconductance	V _{DS} =-10V, I _D =-10A	-	13	-	S
I _{DSS}	Drain-Source Leakage Current (T _j =25°C)	V _{DS} =-30V, V _{GS} =0V	-	-	-1	uA
	Drain-Source Leakage Current (T _j =70°C)	V _{DS} =-24V, V _{GS} =0V	-	-	-25	uA
I _{GSS}	Gate-Source Leakage	V _{GS} = ± 25V	-	-	±100	nA
Q _g	Total Gate Charge ²	I _D =-10A	-	28	45	nC
Q _{gs}	Gate-Source Charge	V _{DS} =-24V	-	5.2	-	nC
Q _{gd}	Gate-Drain ("Miller") Charge	V _{GS} =-4.5V	-	19.8	-	nC
t _{d(on)}	Turn-on Delay Time ²	V _{DS} =-15V	-	12	-	ns
t _r	Rise Time	I _D =-1A	-	11	-	ns
t _{d(off)}	Turn-off Delay Time	R _G =6.8Ω, V _{GS} =-10V	-	97	-	ns
t _f	Fall Time	R _D =15Ω	-	72	-	ns
C _{iss}	Input Capacitance	V _{GS} =0V	-	1960	3200	pF
C _{oss}	Output Capacitance	V _{DS} =-25V	-	590	-	pF
C _{rss}	Reverse Transfer Capacitance	f=1.0MHz	-	465	-	pF

Source-Drain Diode

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Units
V _{SD}	Forward On Voltage ²	I _S =-2.0A, V _{GS} =0V	-	-	-1.2	V
t _{rr}	Reverse Recovery Time	I _S =-10A, V _{GS} =0V,	-	36	-	ns
Q _{rr}	Reverse Recovery Charge	dI/dt=100A/μs	-	34	-	nC

Notes:

- 1.Pulse width limited by Max. junction temperature.
- 2.Pulse width ≤300us , duty cycle ≤2%.
- 3.Surface mounted on 1 in² copper pad of FR4 board ; 125 °C/W when mounted on min. copper pad.



LM311

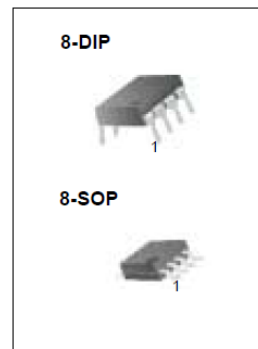
Single Comparator

Features

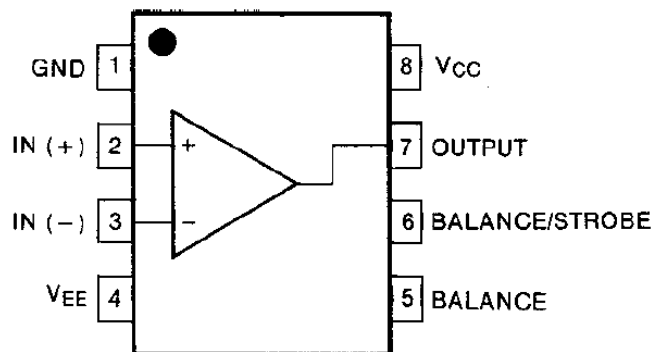
- Low input bias current : 250nA (Max)
- Low input offset current : 50nA (Max)
- Differential Input Voltage : $\pm 30V$
- Power supply voltage : single 5.0V supply to $\pm 15V$.
- Offset voltage null capability.
- Strobe capability.

Description

The LM311 series is a monolithic, low input current voltage comparator. The device is also designed to operate from dual or single supply voltage.



Internal Block Diagram





January 2001

LM111/LM211/LM311 Voltage Comparator

LM111/LM211/LM311 Voltage Comparator

1.0 General Description

The LM111, LM211 and LM311 are voltage comparators that have input currents nearly a thousand times lower than devices like the LM106 or LM710. They are also designed to operate over a wider range of supply voltages: from standard $\pm 15V$ op amp supplies down to the single 5V supply used for IC logic. Their output is compatible with RTL, DTL and TTL as well as MOS circuits. Further, they can drive lamps or relays, switching voltages up to 50V at currents as high as 50 mA.

Both the inputs and the outputs of the LM111, LM211 or the LM311 can be isolated from system ground, and the output can drive loads referred to ground, the positive supply or the negative supply. Offset balancing and strobe capability are provided and outputs can be wire OR'ed. Although slower than the LM106 and LM710 (200 ns response time vs 40 ns)

the devices are also much less prone to spurious oscillations. The LM111 has the same pin configuration as the LM106 and LM710.

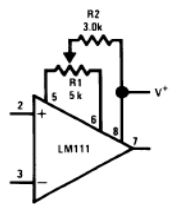
The LM211 is identical to the LM111, except that its performance is specified over a $-25^{\circ}C$ to $+85^{\circ}C$ temperature range instead of $-55^{\circ}C$ to $+125^{\circ}C$. The LM311 has a temperature range of $0^{\circ}C$ to $+70^{\circ}C$.

2.0 Features

- Operates from single 5V supply
- Input current: 150 nA max. over temperature
- Offset current: 20 nA max. over temperature
- Differential input voltage range: $\pm 30V$
- Power consumption: 135 mW at $\pm 15V$

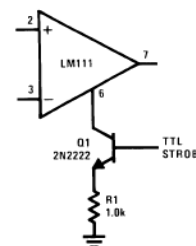
3.0 Typical Applications (Note 3)

Offset Balancing



00570436

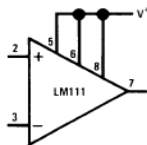
Strobing



00570437

Note: Do Not Ground Strobe Pin. Output is turned off when current is pulled from Strobe Pin.

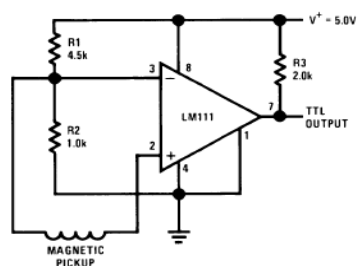
Increasing Input Stage Current (Note 1)



00570438

Note 1: Increases typical common mode slew from 7.0V/ μs to 18V/ μs .

Detector for Magnetic Transducer

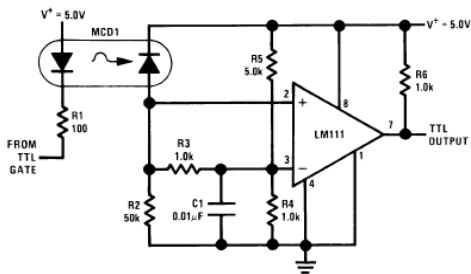


00570439

LM111/LM211/LM311

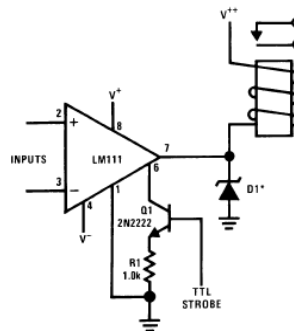
3.0 Typical Applications (Note 3) (Continued)

Digital Transmission Isolator



00570440

Relay Driver with Strobe

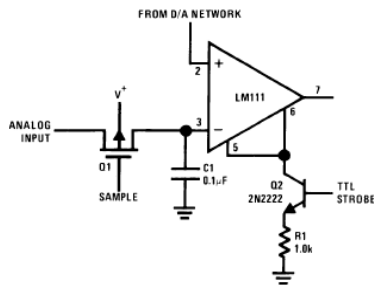


00570441

*Absorbs inductive kickback of relay and protects IC from severe voltage transients on V++ line.

Note: Do Not Ground Strobe Pin.

Strobing off Both Input and Output Stages (Note 2)



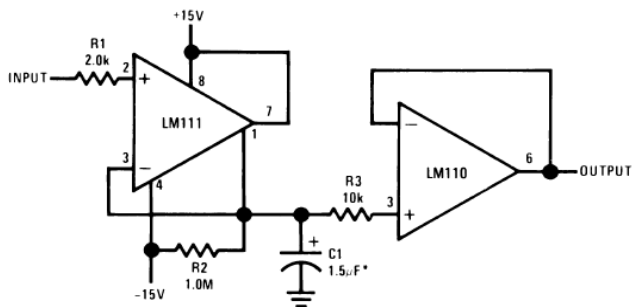
00570442

Note: Do Not Ground Strobe Pin.

Note 2: Typical input current is 50 pA with inputs strobed off.

Note 3: Pin connections shown on schematic diagram and typical applications are for H08 metal can package.

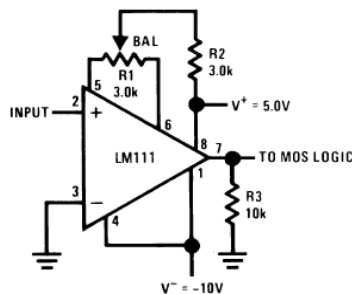
Positive Peak Detector



00570423

*Solid tantalum

Zero Crossing Detector Driving MOS Logic



00570424



Cyclone II Device Handbook, Volume 1



101 Innovation Drive
San Jose, CA 95134
www.altera.com

CI15V1-3.3



1. Introduction

CII51001-3.2

Introduction

Following the immensely successful first-generation Cyclone® device family, Altera® Cyclone II FPGAs extend the low-cost FPGA density range to 68,416 logic elements (LEs) and provide up to 622 usable I/O pins and up to 1.1 Mbits of embedded memory. Cyclone II FPGAs are manufactured on 300-mm wafers using TSMC's 90-nm low-k dielectric process to ensure rapid availability and low cost. By minimizing silicon area, Cyclone II devices can support complex digital systems on a single chip at a cost that rivals that of ASICs. Unlike other FPGA vendors who compromise power consumption and performance for low-cost, Altera's latest generation of low-cost FPGAs—Cyclone II FPGAs, offer 60% higher performance and half the power consumption of competing 90-nm FPGAs. The low cost and optimized feature set of Cyclone II FPGAs make them ideal solutions for a wide array of automotive, consumer, communications, video processing, test and measurement, and other end-market solutions. Reference designs, system diagrams, and IP, found at www.altera.com, are available to help you rapidly develop complete end-market solutions using Cyclone II FPGAs.

Low-Cost Embedded Processing Solutions

Cyclone II devices support the Nios II embedded processor which allows you to implement custom-fit embedded processing solutions. Cyclone II devices can also expand the peripheral set, memory, I/O, or performance of embedded processors. Single or multiple Nios II embedded processors can be designed into a Cyclone II device to provide additional co-processing power or even replace existing embedded processors in your system. Using Cyclone II and Nios II together allow for low-cost, high-performance embedded processing solutions, which allow you to extend your product's life cycle and improve time to market over standard product solutions.

Low-Cost DSP Solutions

Use Cyclone II FPGAs alone or as DSP co-processors to improve price-to-performance ratios for digital signal processing (DSP) applications. You can implement high-performance yet low-cost DSP systems with the following Cyclone II features and design support:

- Up to 150 18 × 18 multipliers
- Up to 1.1 Mbit of on-chip embedded memory
- High-speed interfaces to external memory

Features

The Cyclone II device family offers the following features:

- High-density architecture with 4,608 to 68,416 LEs
 - M4K embedded memory blocks
 - Up to 1.1 Mbits of RAM available without reducing available logic
 - 4,096 memory bits per block (4,608 bits per block including 512 parity bits)
 - Variable port configurations of $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, $\times 18$, $\times 32$, and $\times 36$
 - True dual-port (one read and one write, two reads, or two writes) operation for $\times 1$, $\times 2$, $\times 4$, $\times 8$, $\times 9$, $\times 16$, and $\times 18$ modes
 - Byte enables for data input masking during writes
 - Up to 260-MHz operation

- Embedded multipliers
 - Up to 150 18- \times 18-bit multipliers are each configurable as two independent 9- \times 9-bit multipliers with up to 250-MHz performance
 - Optional input and output registers

- Advanced I/O support
 - High-speed differential I/O standard support, including LVDS, RSDS, mini-LVDS, LVPECL, differential HSTL, and differential SSTL
 - Single-ended I/O standard support, including 2.5-V and 1.8-V, SSTL class I and II, 1.8-V and 1.5-V HSTL class I and II, 3.3-V PCI and PCI-X 1.0, 3.3-, 2.5-, 1.8-, and 1.5-V LVC MOS, and 3.3-, 2.5-, and 1.8-V LV TTL
 - Peripheral Component Interconnect Special Interest Group (PCI SIG) *PCI Local Bus Specification, Revision 3.0* compliance for 3.3-V operation at 33 or 66 MHz for 32- or 64-bit interfaces
 - PCI Express with an external TI PHY and an Altera PCI Express $\times 1$ Megacore[®] function

- 133-MHz PCI-X 1.0 specification compatibility
- High-speed external memory support, including DDR, DDR2, and SDR SDRAM, and QDR II SRAM supported by drop in Altera IP MegaCore functions for ease of use
- Three dedicated registers per I/O element (IOE): one input register, one output register, and one output-enable register
- Programmable bus-hold feature
- Programmable output drive strength feature
- Programmable delays from the pin to the IOE or logic array
- I/O bank grouping for unique VCCIO and/or VREF bank settings
- MultiVolt™ I/O standard support for 1.5-, 1.8-, 2.5-, and 3.3-interfaces
- Hot-socketing operation support
- Tri-state with weak pull-up on I/O pins before and during configuration
- Programmable open-drain outputs
- Series on-chip termination support

- Flexible clock management circuitry
 - Hierarchical clock network for up to 402.5-MHz performance
 - Up to four PLLs per device provide clock multiplication and division, phase shifting, programmable duty cycle, and external clock outputs, allowing system-level clock management and skew control
 - Up to 16 global clock lines in the global clock network that drive throughout the entire device

- Device configuration
 - Fast serial configuration allows configuration times less than 100 ms
 - Decompression feature allows for smaller programming file storage and faster configuration times
 - Supports multiple configuration modes: active serial, passive serial, and JTAG-based configuration
 - Supports configuration through low-cost serial configuration devices
 - Device configuration supports multiple voltages (either 3.3, 2.5, or 1.8 V)

- Intellectual property
 - Altera megafunction and Altera MegaCore function support, and Altera Megafunctions Partners Program (AMPPSM) megafunction support, for a wide range of embedded processors, on-chip and off-chip interfaces, peripheral functions, DSP functions, and communications functions and

intertil

**NOT RECOMMENDED FOR NEW DESIGNS
RECOMMENDED REPLACEMENT PART
ISL6265A**

ISL6265

May 13, 2009

FN6599.1

Multi-Output Controller with Integrated MOSFET Drivers for AMD SVI Capable Mobile CPUs

The ISL6265 is a multi-output controller with embedded gate drivers. A single-phase controller powers the Northbridge (VDDNB) portion of the CPU. The two remaining controller channels can be configured for two-phase or individual single-phase outputs. For uniplane CPU applications, the ISL6265 is configured as a two-phase buck converter. This allows the controller to interleave channels to effectively double the output voltage ripple frequency and thereby reduce output voltage ripple amplitude with fewer components, lower component cost, reduced power dissipation, and smaller area. For dual-plane processors, the ISL6265 can be configured as independent single-phase controllers powering VDD0 and VDD1.

The heart of the ISL6265 is the patented R³ Technology™, Intersil's Robust Ripple Regulator modulator. Compared with the traditional buck regulator, the R³ Technology™ has a faster transient response. This is due to the R³ modulator commanding variable switching frequency during a load transient.

The Serial VID Interface (SVI) allows dynamic adjustment of the Core and Northbridge output voltages independently and in combination from 0.500V to 1.55V. Core and Northbridge output voltages achieve a 0.5% system accuracy over-temperature.

A unity-gain differential amplifier is provided for remote CPU die sensing. This allows the voltage on the CPU die to be accurately regulated per AMD mobile CPU specifications. Core output current sensing is realized using lossless inductor DCR sensing. All outputs feature overcurrent, overvoltage and undervoltage protection.

Ordering Information

PART NUMBER (Note)	PART MARKING	TEMP (°C)	PACKAGE (Pb-Free)	PKG. DWG. #
ISL6265HRTZ	ISL6265 HRTZ	-10 to +100	48 Ld 6x6 TQFN	L48.6x6
ISL6265HRTZ-T*	ISL6265 HRTZ	-10 to +100	48 Ld 6x6 TQFN Tape and Reel	L48.6x6

* Please refer to TB347 for details on reel specifications.

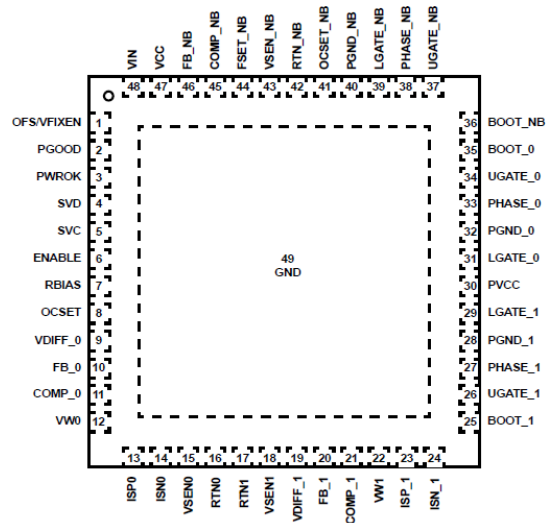
NOTE: These Intersil Pb-free plastic packaged products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate PLUS ANNEAL - e3 termination finish, which is RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

Features

- Core Configuration Flexibility
 - Dual Plane, Single-Phase Controllers
 - Uniplane, Two-Phase Controller
- Precision Voltage Regulators
 - 0.5% System Accuracy Over-temperature
- Voltage Positioning with Adjustable Load Line and Offset
- Internal Gate Drivers with 2A Driving Capability
- Differential Remote CPU Die Voltage Sensing
- Core Differential Current Sensing: DCR or Resistor
- Northbridge Lossless r_{DS(ON)} Current Sensing
- Serial VID Interface
 - Two Wire Clock and Data Bus
 - Supports High-Speed I²C
 - 0.500V to 1.55V in 12.5mV Steps
 - Supports PS1_L Power-Saving Mode
- Core Outputs Feature Phase Shedding with PS1_L
- Adjustable Output-Voltage Offset
- Digital Soft-Start of all Outputs
- User Programmable Switching Frequency
- Static and Dynamic Current Sharing (Uniplane Core)
- Overvoltage, Undervoltage, and Overcurrent Protection
- Pb-Free (RoHS Compliant)

Pinout

ISL6265 (48 LD 6X6 TQFN)
TOP VIEW



Bibliographie:

¹ Université Montpellier, Polytech' Montpellier, cour de "Logique programmable" par Pr. Michel ROBERT.

² <http://www.systemplus.fr/documents/96intercomcm.pdf>, INTERCO/MCM, Système Puce, Interconnexion en Microélectronique : Les circuits multi puce (MCM).

³ Techniques de l'ingénieur, Packaging des circuits intégrés par Xavier SAINT MARTIN Direction technique, Bull SA, E3400 ,page 2.

⁴ Faculté des sciences et techniques-Université de NANTES, rapport de stage septembre 1997, System Plus Microélectronique, Consulting & Softwares, D.E.S.S Conception, mise en oeuvre et qualité des composants électroniques et optoélectroniques.

⁵ Cours Master Recherche «Systèmes Intelligents et Communicants », François Verdier [www-etis.ensea.fr](http://www.etis.ensea.fr), Université de Cergy-Pontoise, Laboratoire ETIS - UMR CNRS 8051.

⁶ Les composants CMS, réalisé par Pr. Marc JOUBERT Lycée modèle électronique à Marseille ,page 14.

⁷ Empaquetage pour circuit intégré présentant des caractéristiques d'interférence électromagnétique améliorées EP1089336 B1(US Patent), Sep. 22. 1999 inventeur Thomas Dixon Dudderar avec son appliquant Lucent Technologies Inc.

⁸ <http://www.powersystemsdesign.com>.

⁹ Techniques de l'ingénieur Conception assistée par ordinateur (CAO) par Patrick GILLET ,T7300, page 4.

¹⁰ <http://www.ekt2.com/files/40%20B&K%20PRECISION%20575A.pdf> .

¹¹ Logique programmable, architecture des FPGA et CPLD, Méthode de conception le langage VHDL. Par Laurent DUTRIEUX et Didier DEMIGNY.

¹² Foundations and Trends R! in Electronic Design Automation Vol. 2, No. 2 (2007) 135–253 c! 2008 I. Kuon, R. Tessier and J. Rose DOI: 10.1561/1000000005, Department of Electrical and Computer Engineering, University of Massachusetts, mherst,MA,USA,essier@ecs.umass.edu, FPGA Architecture: Survey and Challenges Ian Kuon¹, Russell Tessier² and Jonathan Rose¹.

¹³ Cyclone II Device Handbook, Volume 1.

- ¹⁴ **Logique programmable architecture des FPGA et CPLD, méthode de conception le langage VHDL par Laurent DUTRIEUX et Didier DEMIGNY, page207.**
- ¹⁵ **Cours: Le langage VHDL, Ecole Polytechnique fédérale de Lausanne ,Alain Vachoux
Laboratoire de Systèmes Microélectroniques alain.vachoux@epfl.ch.**
- ¹⁶ **Tutorial Quartus II 7.2, introduction for VHDL users by ALTERA Corporation December 2006
page 2.**
- ¹⁷ **Techniques d'ingénieurs, Communication avec les périphériques, Doc. S 8 590, par Docteur,
Professeur Jacques TICHON à la Haute École Paul-Henri-Spaak, Christian COUWENBERGH
Ingénieur civil, Rudi GIOT Ingénieur civil et Salvador GARCIA ACEVEDO Ingénieur industriel
Institut supérieur industriel de Bruxelles (ISIB) .**
- ¹⁸ **RTL HARDWARE DESIGN USING VHDL Coding for Efficiency, Portability and scalability par
PONG P. CHU,2008, Cleveland state university, page 455.**
- ¹⁹ **Techniques de l'Ingénieur, article Maintenabilité. Maintenance, par Jean-Pierre VERNIER
Consultant maintenance GMAO chez Datastream.**
- ²⁰ **Labview 2009 Help, user guide.**
- ²¹ **Intersil corporation, ISL6265 Multi-Output Controller with Integrated MOSFET Drivers for
AMD SVI Capable Mobile CPUs, Datasheet May 13 2009, fiche technique du circuit ISL6265.**

Résumé:

Dans un monde passionné à l'obtention de la technologie moderne, le développement industrielle évolue d'une façon remarquable ce qui implique l'obligation de la présence d'une maintenance électronique effective et impeccable de ces productions; pour cela dans ce projet nous allons concevoir un prototype d'un testeur des composants CMS "TCC"; dont on pourra tester une large gamme des circuits numériques tout en se basant sur un contrôle logique pour diagnostiquer. La société JamalCO s'intéresse à la maintenance des systèmes informatiques à base des circuits imprimés électroniques qui comportent des circuits intégrés de type CMS numériques qui jouent un rôle de fonctionnement important dans le management de la puissance interne et dans le contrôle de ces produits. Le prototype "TCC" est un système complet qui est guidé et contrôlé par le logiciel Labview, managé par un FPGA dont le comportement est décrit par un langage de haut niveau le VHDL, cette description va être responsable de toutes les tâches commandées par un utilisateur et le circuit sous test sera diagnostiquer sur un support spécial et approprié pour circuits CMS comportant jusqu'à 16 broches. Un test sera commandé par un utilisateur du "TCC" suivant six configurations sur les entrées et les sorties du circuit à tester. Donc le "TCC" est un outils de test qui sert la maintenance pour faciliter les tâches pour un bon diagnostic.

Mots clés:

circuit intégré - circuit imprimé - CMS - test - logique programmable - HDL-Communication sérielle.

Abstract:

In a world fascinated in obtaining modern technologies, industrial development evolves in a remarkable way that implies an obligation to the presence of an effective electronic maintenance and spotlessly of these productions; for this reasons we will design a prototype for an IC SMD tester "TCC", which we can test a wide range of digital circuits based on any logic control to be diagnosed. The company JamalCO is interested in maintenance of computer systems based on electronic circuit boards that contain digital integrated circuits SMD that plays an important role in the functioning of the internal power management and control of these products. The prototype "TCC" is a complete system that is guided and controlled by the Labview software, managed by an FPGA whose behavior is described by a high-level language VHDL, this description will be responsible for all tasks controlled by a user and the circuit under test will be diagnosed in a special dock suitable for SMD circuits with up to 16 pins. A test will be controlled by a user of the "TCC" following six configurations of the inputs and outputs of the circuit under test. So the "TCC" is a testing tool that will be used to facilitate maintenance tasks for a proper diagnosis.

keywords:

Integrated circuit - PCB - SMD - test - Programmable Logic - HDL- Serial communication.